

실리콘 직접접합 기술을 이용한 횡방향 구조 트랜지스터

Lateral Structure Transistor by Silicon Direct Bonding Technology

이정환*, 서희돈**
(Jung-Hwan Lee*, Hee-Don Seo**)

Abstract

Present transistors which have vertical structure show increased parasitic capacitance characteristics in accordance with the increase of non-active base area and collector area, consequently have disadvantage for high speed switching performance. In this paper, a horizontal structure transistor which has minimized parasitic capacitance in virtue of SDB(Silicon Direct Bonding) wafer and oxide sidewall isolation utilizing silicon trench technology is presented. Its structural characteristics were designed by ATHENA(SUPREM4), the process simulator from SILVACO International, and its performance was proven by ATLAS, the device simulator from SILVACO International. The performance of the proposed horizontal structure transistor was certified through the VCE-IC characteristics curve, h_{FE} -IC characteristics, and GP-plot.

Key Wards(중요용어) : SDB(실리콘 직접 접합), Lateral Structure Transistor(횡방향 구조 트랜지스터), Trench(트렌치), ATHENA(SUPREM4), ATLAS

1. 서론

고속, 고성능 소자를 얻기 위하여 각종 기생 용량 성분 및 직렬 저항 등을 줄여야 한다. 기존의 SBC(Standard Buried Collector) 바이폴라 공정기술은 깊은 접합, 측면 확산, 측면 공핍층의 존재로 인하여 속도 및 전력 소모 특성에서 좋은 특성을 기대하지 못하였으나, 새로운 형태의 PSA(Polysilicon Self-Align) 소자가 개발됨으로써 소자의 전기적 특성에 상당한 향상을 가져오게 되었다.[1] 즉, 미세 패턴 형성 기술에 의한 에미터 면적 축소, LOCOS(LOCAl Oxidation of Silicon)와 SWAMI(SideWall

Masked Isolation) 등의 산화막 격리 기술,[2] 다결정 실리콘을 확산원으로 이용한 얇은 접합 깊이 형성 기술 및 얇은 에피층 형성 기술 등이 적용됨으로써 불필요한 용량 성분 및 직렬 저항 성분의 감소에 따른 고속 스위칭 특성을 구현할 수 있게 되었다. 그러나 이러한 소자도 수직 방향 형태인 기존의 트랜지스터 구조를 가짐으로 베이스의 비활성 영역과 컬렉터 영역에 의한 면적이 증가하여 주파수의 한계를 넘기가 어렵게 되었다.

본 논문에서는 상기에서 제시된 수직형 트랜지스터가 아닌 횡방향 구조 트랜지스터를 제안한다.[3] 이 구조는 비활성 영역을 최소화하며, 기생 용량을 최소화하기 위해 산화막에 의한 완전 격리가 되도록 실리콘 직접 접합 웨이퍼와 트렌치 기술을 이용하였

* : 영남대학교 대학원
(경북 경산군 대동 영남대학교,
E-mail : hwan@kec.co.kr)
** : 영남대학교 전자정보공학부

다.[4] 특성 확인은 SILVACO사의 ATHANA와 ATLAS로 시뮬레이션하여 나타내었다.

2. 실험

시뮬레이션을 한 소자의 설계는 그림1과 같다. 마스크는 8매이며, 에미터 크기는 $1.5 \times 1.5 \mu\text{m}^2$ 이다.

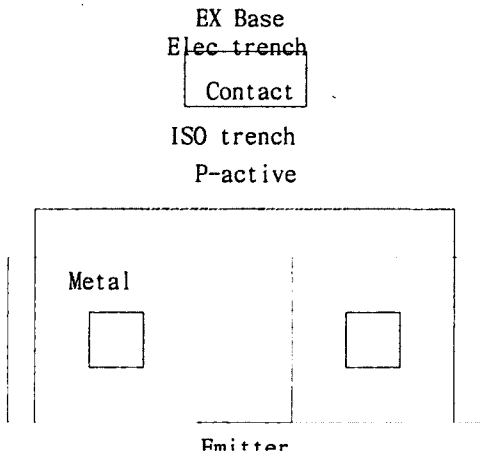


그림 1. 횡방향 트랜지스터의 설계도
Fig. 1. Design Pattern of Lateral Transistor

제작 방법은 다음과 같다. 그림2와 같이 SOI (Silicon On Insulator) 두께가 $1.4 \mu\text{m}$, 저항률 $38 \Omega \cdot \text{cm}$, P-type (100) SDB(Silicon Direct Bonding) 웨이퍼를 이용하여, 소자를 격리할 목적으로 RIE (Reactive Ion Etching)를 이용하여 실리콘을 식각하여(격리 트렌치-ISO trench), 타 소자와 격리시킨다.

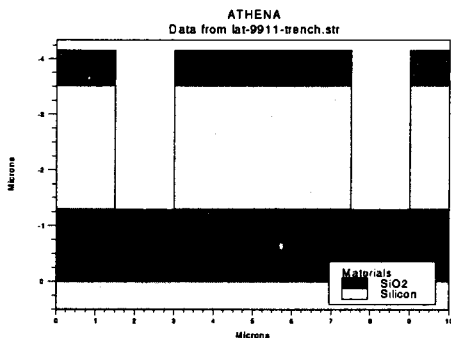


그림 2. 격리 트렌치
Fig. 2. Isolation Trench

그림3과 같이 측벽을 산화시키고, 폴리실리콘을 채워넣는다. 이때 폴리실리콘의 두께는 트렌치 폭의 1.5배 이상 증착하여 폴리실리콘이 평탄하게 되도록 한다. 폴리실리콘을 에치백(etch back)한다.

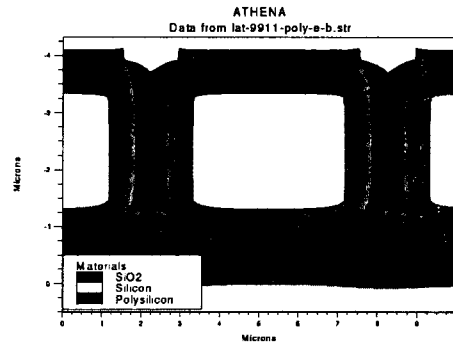


그림 3. 격리 트렌치 - 폴리 refill
Fig. 3. Isolation Trench - polysilicon refill

그림4와 같이 폴리실리콘을 산화하고, PECVD를 이용해 산화막을 4000Å 증착시킨다. 활성 영역을 형성하기 위해 P-active 마스크를 이용하여, 활성 영역의 산화막을 식각하고, 버퍼(Buffer) 산화막을 성장시킨다. 보론을 IMP하여 활성 영역을 P형으로 만든다. 이때 punch through를 보상하며, 전류증폭률을 만족시키며, 속도를 증가시키기 위해 Wb를 최소화하기 위한 dose량을 정한다. IMP후 TEOS (TEtraethyl OrthoSilicate)를 10,000Å 증착하여 확산시킨다.

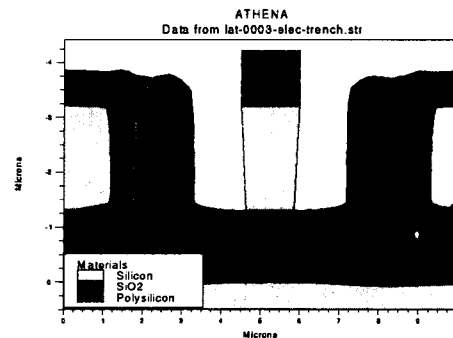


그림 4. 활성 영역 트렌치
Fig. 4. Active Region Trench

이때 TEOS는 aspect ratio가 낮게(60%) 증착하며, 이것은 TEOS에 의해 활성 영역이 감소되는 것을 방지하기 위함이다. 또한, 활성 영역의 농도를 균일하게 하기 위해 고온에서 장시간(1100°C 500분) 확산시켜, 깊이 방향에 따른 농도 분포가 동일하게 한다. 전극 부분을 만들기 위해 전극 트렌치(Electrench) 마스크를 이용하여, RIE로 TEOS 막을 식각하고 나서, 실리콘을 식각한다.

그림5는 폴리실리콘을 증착시킨 후 에치백 공정을 진행하여, 이때 활성 영역에 있는 TEOS 막에 의해 폴리실리콘 전극이 분리된다. 에미터와 컬렉터에 에미터(Emitter) 마스크를 사용하여, 인(Phosphorus: P³¹)를 주입하고, 비활성 베이스(Ex base) 마스크를 사용하여 보론(B¹¹)을 주입한다. 산화막을 성장시켜 접촉창(Contact) 마스크를 사용하여 전극 창을 형성하여 금속을 증착한다. 금속(Metal) 마스크를 이용하여 전극을 분리한다.

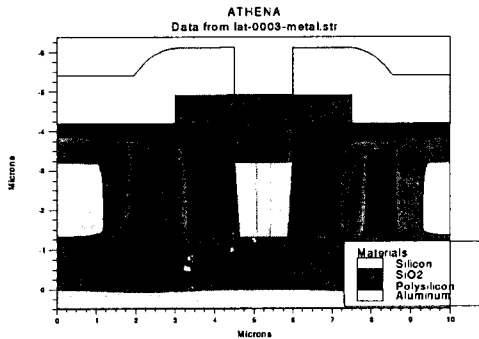


그림 5. 최종 구조
Fig. 5. Final Structure

3. 결과 및 고찰

횡방향 구조 바이폴라 트랜지스터 구조의 주요한 특징은 다음과 같다. 첫째, 베이스-컬렉터 간의 접합 용량의 극소화를 위하여 비활성 영역이 측면을 이용하여 만들어지며, 산화막으로 격리되어 있으며, 기판 용량을 최소화하기 위하여 트렌치 격리 구조를 적용하였고, SDB를 이용한 SOI구조를 형성하였다.

둘째, 에미터와 컬렉터 저항 값 감소를 위하여 n+ 다결정 실리콘 위에 폴리사이드 구조를 고려하였다. 셋째, 보다 얇은 접합깊이 형성은 에미터와 컬렉터에서 확산되어지는 소스에 의해 정해진다. 즉, 베이스 전류를 제어하는 공정인 확산에 의해 베이스 폭이 결정이 된다. 넷째, 비활성 영역을 활성영역의 측면을 이용하여 만들어지므로 소자의 면적이 줄어들 뿐만 아니라 기생 용량이 줄어든다.

SDB를 이용한 SOI 구조의 횡방향 구조 트랜지스터로 각종 기생용량을 최소화하였다. 에미터에서 컬렉터까지 산화막으로 격리되어있으므로 종방향의 베이스-에미터 접합용량의 측면의 접합용량이 줄어들며, 베이스-컬렉터 접합용량이 줄어들며, 컬렉터의 농도가 EPI 같이 농도가 낮지 않으며, 고농도 폴리실리콘이므로 접합용량 및 컬렉터 저항이 줄어든다. 또한, 비활성영역을 활성영역의 측면을 식각하여 소자를 만들므로 면적이 줄어든다.

Base 전달시간(τ_B)은

$$\tau_B = \int_0^{x_B} \frac{dx}{v(x)} = \int_0^{x_B} \frac{qAn_p(x)}{I_n} dx \quad (1)$$

대부분의 트랜지스터에서 $x_B/L_n \ll 1$ 이므로

$$\tau_B = \frac{x_B^2}{2D_n} \quad (2)$$

τ_B 가 작다는 것은 신호지연이 짧다거나, 높은 동작 주파수를 갖고 있음을 의미한다. 그러므로 좋은 주파수 동작을 얻으려면 트랜지스터의 베이스 폭을 작게 설계해야한다.

에미터 전이 커패시턴스 충전시간(τ_E)은

$$\tau_E = r_e C_E = \frac{4\Phi_T}{I_E} C_E \quad (3)$$

이며, 동작 지연을 줄이려면 C_E 가 작아야 한다.

컬렉터 공핍층 주행시간(τ_d)은

$$\tau_d = \frac{x_m}{v_{th}} \quad (4)$$

(ν_{th} :포화속도, x_m :공핍층 폭)

이므로, 공핍층 폭을 최소화하여야한다.

컬렉터 커패시턴스 충전시간(τ_c)은

$$\tau_c = r_{sc} C_c \quad (5)$$

이므로, r_{sc} 와 C_c 의 값이 작아야한다.

그림6은 VCE-IC 특성 곡선이다. 시뮬레이션한 특성 상태가 양호하게 나타나고 있다.

그림7은 컬렉터 전류에 대한 증폭률이다. 전류 증폭률 특성이 양호하게 나타나고 있다.

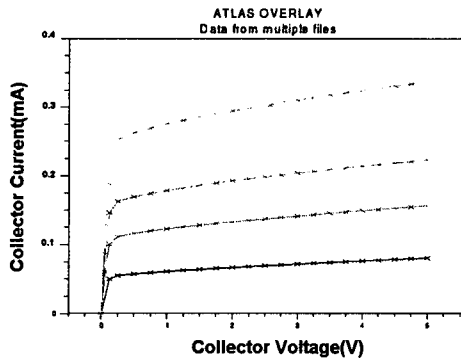


그림 6. VCE-IC 특성
Fig. 6. VCE-IC Characteristic

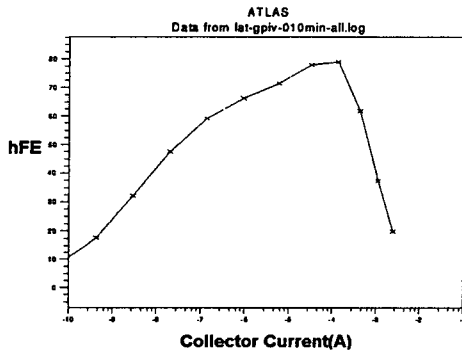


그림 7. hFE - IC 특성
Fig. 7. hFE - IC Characteristic

그림8은 gummel poon plot이다. 베이스 전류(IB)와 컬렉터 전류(IC)의 특성이 저전류 영역과 고전류 영역에서의 상태가 양호하다.

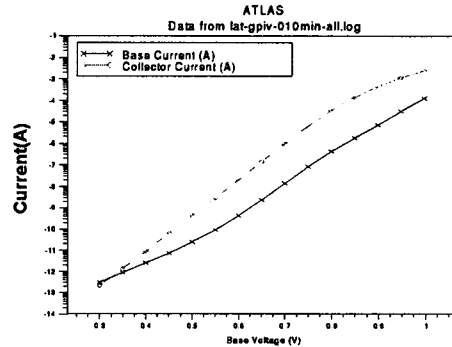


그림 8. Gummel-poon plot
Fig. 8. Gummel-poon plot

4. 결론

횡방향 구조 트랜지스터는 종방향 구조 트랜지스터에서 발생하는 기생용량의 증가를 직접 접합 웨이퍼를 이용하고, 실리콘 트랜치 기술을 접목시켜, 산화막으로 완전 격리함으로 기생 용량을 최소화 하였다. 이로인한 지연 시간 감소를 통한 고속 소자에 적용할 수 있다. 횡방향 구조 트랜지스터의 공정 시뮬레이션을 한 소자를 소자 시뮬레이션을 행하여 특성을 확인한 결과 VCE-IC 특성 곡선, hFE-IC 특성, GP-plot을 통하여 양호한 결과를 확인할 수 있었다.

참고 문헌

- [1] T.H. Ning, R.D. Issac, P.M. Solomon, D.D. Tang, H.N. Yu, G.C. Feth, and S.K. Wiedmann, "Self-Aligned Bipolar Transistors for High-Performance and Low Power Delay VLSI," IEEE Trans. Electron Devices, Vol. ED-28, No. 9, pp.1010-1013, 1981
- [2] R.C.Y. Fang et al., "Defect Characteristics and Generation Mechanism in a Bird Beak Free Structure by Sidewall Masked Technique," J. Electrochem. Soc., Vol. 130, No. 1, pp. 190, 1983.
- [3] 이정환, "횡방향 고속 바이폴라 트랜지스터 및 그의 제조방법", 대한민국특허청 등록번호 0178291
- [4] H.B. Pogge, "Trench Isolation Technology," IEEE BCTM, pp. 18-25, 1990.