

Effective Medium 모델 적용에 의한 poly-Si TFT 특성 Simulation

Poly-Si TFT characteristic simulation by applying effective medium model

박 재우, 김 태형, 노 원열, 최 종선*
(Jaewoo Park, Taehyung Kim, Wonyoel Noh, Jongsun Choi)

Abstract

In the recent years, the Thin Film Transistor Liquid Crystal Display(TFT-LCD) have trend toward larger panel sizes and higher spatial and/or gray-scale resolution. In this trend, Because of its low field effect mobility, a-Si TFT is change to poly-Si TFT. In this paper, both effective-medium model of poly-Si TFTs and empirical capacitance model are applied to Pixel Design Array Simulation Tool (PDAST) and the pixel characteristics of TFT-LCD array were simulated, which were compared with the results calculated by Aim-Spice.

Key Words(중요용어) : Poly-Si, TFT, LCD, Simulation, Capacitance

1. 장

21세기 정보화 사회의 발전과 함께 각종 장치에서 발생하는 여러 가지 전기적인 정보를 시각정보로 변화시켜 인간에게 전달하는 디스플레이는 중요한 매체이다. 이런 여러 가지 디스플레이 기술들 중에서도 TFT-LCD는 저소비전력, 저전압, 평판 등의 장점을 가지고 있어[1-4] 가장 주목을 받고 있다. TFT-LCD가 고해상도, 대면적화해가는 현재의 추세에서 poly-Si TFT는 a-Si TFT에 비해 빠른 응답속도로 인해 각광을 받고 있다. 이러한 poly-Si TFT-LCD의 동작특성을 정확하게 계산할 수 있는 시뮬레이터의 확보는 지속적인 신제품 개발과 성능의 향상을 위해 필수적이다. 본 연구는 effective-medium poly-Si TFT 모델과 VLSI에서 사용되는 실험적 정전용량 모델 계산식을 이미 그 유용성이 보고된 Pixel Design Array Simulation Tool (PDAST) [5-8]에 적용시켜 TFT-LCD의 화소 전

압을 계산하고, 그 결과를 상용 시뮬레이터인 AIM-Spice로 계산된 결과들과 비교해 보았다.

2. 장

2.1 Empirical capacitance model

Poly-Si TFT는 그림 1.에서 보듯이 일반적으로 구조가 a-Si TFT와는 다르므로 각 층간과 전극사이에 걸리는 정전용량이 a-Si TFT와는 다르게 나타나게 된다. 그러므로 이 논문에서는 corner effects나 edge effects를 고려한 실험적 정전용량 모델 계산식을 적용시켜 게이트-공통 전극(Gate-to-Common) 용량 C_{GC} , 데이터-공통 전극(Data-to-Common) 용량 C_{DC} , 그리고 게이트·데이터 전극과 화소 전극 사이에 생기는 상호 연결(mutual coupling) 용량 C_{PG} , C_{PD} , $C_{PG'}$, $C_{PD'}$ 등을 구해 보았다. TFT-LCD 화소의 정전용량 등가 회로는 그림 2.에 나타나 있다. 본 연구에서 적용한 empirical model은 매우 정확하지만 복잡하고 많은 시간이 걸리는 numerical model과 거의 동일한 결과를 나타낸다.[9] 여기서 화소는 부화소(sub-pixel, dot)를 의미한다.

* 홍익대학교 전기제어공학과
(서울특별시 상수동 홍익대학교,
Fax: 02-320-1110
E-mail : kaiser00@nownuri.net)

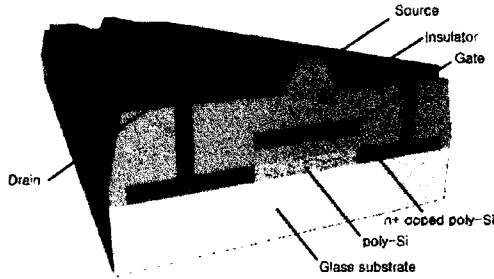


그림 1. poly-Si TFT 구조

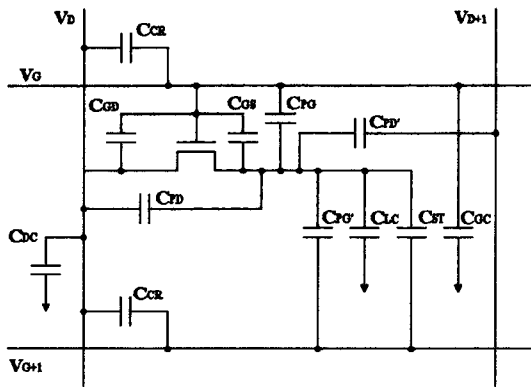


그림 2. TFT-LCD 화소의 정전용량 등가회로

파라메타	물리적 의미
W	금속 배선의 폭
T	금속 배선의 두께
H	유전체의 두께
S	두 평행 금속 배선 사이의 간격

표 1. 수식에 사용되어진 파라메타의 물리적 의미

게이트/데이터 전극과 공통전극 사이의 정전용량 (C_{GC} , C_{DC})은 infinite line-to-ground 구조의 정전용량 계산식[10]을 사용하였고, crosstalk에 직접적인 영향을 끼치는 화소전극과 데이터/게이트 전극간의 coupling 정전용량(C_{PD} , C_{PG} , C_{PD}' , C_{PG}')은 line-to-line 구조의 정전용량 계산식[10]을 사용해서 계산하였다. 각 수식에 사용되어진 파라메타의 물리적 의미는 표 1에 나타내었다. 아래와 같은 실험적 정전용량 모델 계산식에 표 2에 따라 시뮬레이션해서 표 3에 결과값을 나타내었다.

파라메타	값
대각크기	15 inch
해상도	XGA
외관비	4 : 3
제조수	64
게이트 전압	-3~12 V
데이터 전압	-5~5 V
문턱전압	3 V
채널 폭	25 μm
채널 길이	5 μm
게이트 배선 폭	15 μm
실리콘 두께	2000 Å
게이트 배선 두께	2000 Å
절연층 두께	3000 Å
데이터 배선 두께	2000 Å
전계 효과 이동도	70 cm^2/Vs
절연체 유전율	6.5
액정 유전율	9.8, 3.2
배선 물질 저항률	20 $\mu\Omega\text{cm}$
Subthreshold Ideality Factor	7.0
포화 전압 파라메타	0.03

표 2. 시뮬레이션에 사용된 파라메타 값

정전용량	의미	값 [pF]
C_{DC}	Data-to-Common Capacitance	0.306897
C_{GC}	Gate-to-Common Capacitance	0.248986
C_{GS}	Gate-to-Source overlap Capacitance	0.0
C_{PD}	Pixel-to-Data-line Capacitance	0.017820
C_{PG}	Pixel-to-Gate-line Capacitance	0.004577
C_{PD}'	Pixel-to-adjacent-Data-line Capacitance	0.021438
C_{PG}'	Pixel-to-adjacent-Gate-line Capacitance	0.005837

표 3. 계산된 정전용량 값

여기에서 poly-Si TFT는 자기정렬구조를 가져 소오스 전극과 게이트 전극이 중첩되지 않으므로 소오스 전극과 게이트 전극의 중첩에 의한 정전용량, C_{GS} 는 고려하지 않았다.

① C_{GC} , C_{DC}
(Infinite Line-to-ground Capacitance)

$$\frac{C}{\epsilon_{ox}} = 1.15 \times \left(\frac{W}{H}\right) + 2.80 \times \left(\frac{T}{H}\right)^{0.222}$$

② $C_{PD}, C_{PG}, C_{PD}^i, C_{PG}^i$
(Line-to-Line Capacitance)

$$\frac{C}{\epsilon} = 1.064 \left(\frac{T}{S} \right) \left(\frac{T+2H}{T+2H+0.5S} \right)^{0.695} + \left(\frac{W}{W+0.8S} \right)^{1.4148} \left(\frac{T+2H}{T+2H+0.5S} \right)^{0.804} + 0.831 \left(\frac{W}{W+0.8S} \right)^{0.065} \left(\frac{2H}{2H+0.5S} \right)^{3.542}$$

2.2 Effective-medium poly-Si TFT model

Effective-medium 모델에 의한 선형영역과 포화영역에서의 polysilicon TFT 의 드레인 전류는 다음과 같이 구할 수 있다. 여기서 n_{ss} 는 소오스 채널쪽의 Sheet Carrier Density, η 는 Subthreshold Ideality Factor, ϵ_i 는 절연층의 유전율, d_i 는 절연층 두께, Γ 는 포화 전압 파라미터, V_d 는 드레인 전압이며 V_p 는 화소 전압이다.[11]

(선형영역, $V_{DS} \leq V_{SAT}$)

$$I_d = \frac{q\mu W}{L} \left[n_{ss}(V_D - V_P) - \frac{(V_D - V_P)^2}{2a \left(1 + \frac{2V_{sth}}{an_{ss}} \right)} \right]$$

$$V_{sth} = \eta V_{th}$$

(포화영역, $V_{DS} > V_{SAT}$)

$$I_d = I_{sat} \left(1 + \frac{Z}{\gamma} \right)$$

여기서 일반적으로 충전 드레인 전류는 $I_D = dQ_P/dt$ 이며, 화소전극에 축적된 총 전하량은 Cst-on-common, frame inversion 방식인 경우, 다음과 같이 나타낼 수 있다.[12]

$$Q_P(t) = C_{GS} \cdot (V_P(t) - V_G(t)) + C_{ST} \cdot (V_P(t) - V_{ST}(t)) + C_{LC} \cdot (V_P(t) - V_{COM}(t)) + C_{PD} \cdot (V_P(t) - V_D^i(t)) + C_{PD}^i \cdot (V_P(t) - V_D^{i+1}(t)) + C_{PG} \cdot (V_P(t) - V_G^i(t)) + C_{PG}^i \cdot (V_P(t) - V_G^{i+1}(t))$$

$$\frac{dQ_P}{dt} = C_{PX} \cdot \frac{dV_P}{dt} - C_{GS} \cdot \frac{dV_G}{dt} - C_{ST} \cdot \frac{dV_{ST}}{dt} - C_{LC} \cdot \frac{dV_{COM}}{dt} - C_{PD} \cdot \frac{dV_D^i}{dt} - C_{PD}^i \cdot \frac{dV_D^{i+1}}{dt} - C_{PG} \cdot \frac{dV_G^i}{dt} - C_{PG}^i \cdot \frac{dV_G^{i+1}}{dt}$$

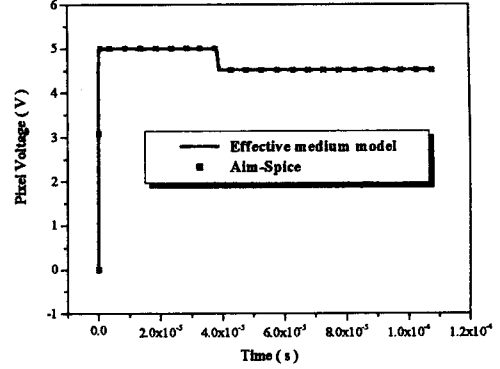


그림 4. Effective-medium 모델과 aim-spice로 구한 화소전압 값

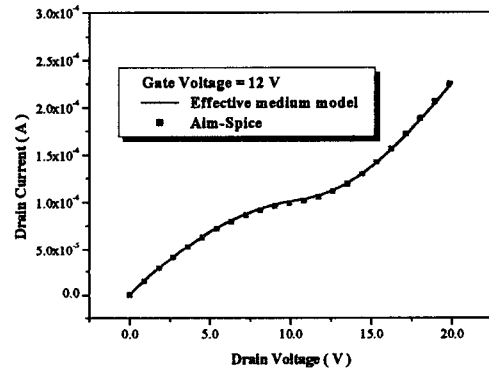


그림 5. 출력 특성 곡선

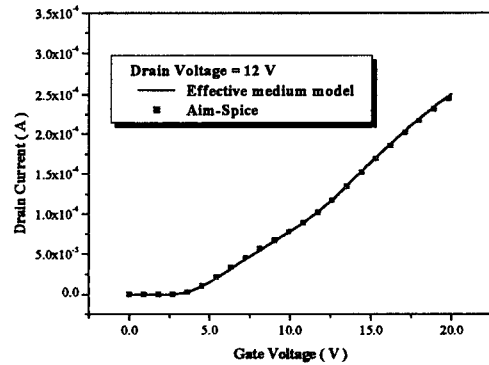


그림 6. Transfer 특성 곡선

여기서 V_p 는 화소전압, V_G 는 게이트전압, V_{ST} 는 부가용량의 대응전극의 전압, V_{COM} 은 화소전극의 대응전극 전압, C_{PD} 는 화소 전극과 데이터 라인 사이의 기생용량, $C_{PD'}$ 는 화소 전극과 이웃한 화소의 데이터 라인 사이의 기생용량이며 V_D^i 는 i 번째의 화소에서의 데이터 전압이다. 위에 언급한 식들에서 $V_p(t)$ 의 시간에 대한 미분 방정식을 얻을 수 있다.[12] effective-medium 회로 모델에서의 화소 전압식은 다음과 같이 구할 수 있다.

(선형상태)

$$\frac{dV_p}{dt} = \frac{q\mu W}{L \cdot C_m} \left[n_{ss}(V_d - V_p) - \frac{(V_d - V_p)^2}{2a \left(1 + \frac{2V_{sth}}{an_{ss}} \right)} \right] + \frac{C_{gs}}{C_m} \frac{dV_g}{dt}$$

(포화상태)

$$\frac{dV_p}{dt} = \frac{I_{sat}}{C_m} \left(1 + \frac{Z}{\gamma} \right) + \frac{C_{gs}}{C_m} \frac{dV_g}{dt}$$

위의 계산된 화소 전압식에 수치해석적인 방법인 뉴턴 축차법을 적용시키면 시간에 따른 화소 전압, $V_p(t)$ 를 구할 수 있다.[12] 이러한 방법으로 오차값을 10^{-6} 이내로 하여 구한 화소 전압 값과 상용 시뮬레이터인 AIM-Spice로 계산된 값과 비교가 그림 3에 나타나 있다. 위 결과에서 effective-medium poly-Si TFT 모델과 VLSI에서 사용되는 실험적 정전용량 모델 계산식을 PDAST에 적용시켜 얻은 결과와 상용 시뮬레이터와 잘 일치하는 것을 알 수 있다.

3. 장

본 논문에서는 poly-Si TFT-LCD의 화소전압을 구함에 있어서 effective-medium poly-Si TFT 모델과 VLSI에서 사용되는 실험적 정전용량 모델 계산식을 적용한 PDAST를 사용하여 화소 전압을 계산하여 보았다. effective-medium poly-Si TFT 모델과 VLSI에서 사용되는 실험적 정전용량 모델 계산식을 적용시킴으로써 poly-Si TFT-LCD 시뮬레이터를 구성할 수 있었고, 이 결과를 상용 시뮬레이터와 비교해 봄으로써 신뢰성을 확인할 수 있었다.

감사의 글

본 논문은 통상산업부와 과학기술처에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었음

참고 문헌

- [1]. 이체우, "전자 Display 기술 동향", 전자공학회지, 22권 3호, pp. 23-34, 1995
- [2]. 한국디스플레이연구소합, "차세대 평판 디스플레이 기반기술개발 연구기획 보고서", 통상산업부, 1995.
- [3]. J. A. Castellano, "Handbook of Display Technology", Academic Press, San Diego, 1992.
- [4]. S. C. Moss and J. F. Graczyk, "Structure of Amorphous Silicon", Proc. of the 10th International Conference on the Physics of Semiconductors, pp. 658-665, 1970
- [5]. 윤영준, "Semi-Empirical 정전용량 모델을 이용한 대면적 고품질 TFT-LCD의 화소 특성 시뮬레이션", 한국 전기 전자 재료 학회 논문지, 제 12 권 제 10 호, pp. 920-925, 1999
- [6]. 이영삼, "대면적, 고품질의 TFT-LCD 화소 설계 최적화 및 어레이 시뮬레이션 특징", 한국전기전자재료학회 추계학술대회, pp. 137-140, 1998
- [7]. 이영삼, "화소 설계 어레이 시뮬레이터 (PDAST)를 이용한 대면적 고품질을 위한 TFT-LCD의 화소 설계". 대한 전기 학회 하계 학술 대회, 1998
- [8]. 윤영준, "새로운 정전용량 계산식을 이용한 대면적 · 고품질 TFT-LCD의 화소 특성 시뮬레이션", 한국전기전자재료학회 춘계학술대회, pp. 613-616, 1999
- [9]. Albert E. Ruehli, "Capacitance Models for Integrated Circuit Metallization Wires", IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 6, pp.530-536, 1975.12.
- [10]. J.-H. Chern, "Multilevel Metal Capacitance Models for CAD Design Synthesis Systems", IEEE Electron Device Lett., Vol.13, No.1, pp.32-34, 1992.
- [11]. Kwyro Lee, Michael Shur, Tor A. Fjeldly, Trond Ytterdal, "Semiconductor Device Modeling for VLSI", Prentice-Hall International Inc, pp.665-666, 1993.
- [12]. T. Tsukada, "TFT/LCD : Liquid-Crystal Displays Addressed by Thin-Film Transistors", Gordon and Breach Publishers, Amsterdam, 1996.