

## 자기인지 신경회로망에서 선형 시냅스 트랜지스터에 관한 연구

### A Study on the Linearity Synapse Transistor in Self Learning Neural Network

강창수, 김동진, 김영호, 유한대학 전자과, 수원대학교 전자재료공학과  
C. S. Kang, D. J. Kim, Department of Electronic Engineering Yuhan College  
Y. H. Kim, , Department of Electronic Material Engineering Suwon University

#### Abstract

A VLSI implementation of a self-learning neural network integrated circuits using a linearity synapse transistor is investigated. The thickness dependence of oxide current density, stress current, transient current and channel current has been measured in oxides with thicknesses between 41 and 112 Å, which have the channel width  $\times$  length  $10 \times 1 \mu\text{m}$  respectively.

The transient current will affect data retention in synapse transistors and the stress current is used to estimate to fundamental limitations on oxide thicknesses. The synapse transistor has represented the neural states and the manipulation which gave unipolar weights. The weight value of synapse transistor was caused by the bias conditions. Excitatory state and inhibitory state according to weighted values affected the drain source current.

**Key Words** Synapse transistor, Excitatory state, Inhibitory state, Stress current, Transient current

#### I. 서론

최근 고속, 고집적 신경회로망의 회로설계와 소자 개발 등이 가속화되고 있다. 고집적 시냅스 설계는 바이어싱, 가중치 그리고 잡음 등의 기능개선에 의해 CPS(connection per second) 또는 CPPS(connection primitives per second)를 향상시킬 수 있다. 시냅스는 ANN(Artificial Neural Network)의 기본요소로써 VLSI ANN에서 최소 영역을 차지하여야 한다.

뉴런의 여기와 금지상태는 PWM 방법으로 시냅스 당 한 개의 금속산화물반도체 전계효과트랜지스터로 인공 신경회로망을 구현하였다. 자기인지 회로망의 최적방법은 동적 가중치 저장구조에서 저장 캐패시터를 어드레싱하는 시냅스 트랜지스터 또는 부유게이트가 요구되기도 한다.

나노기술에 의한 초고집적 반도체 신경회로망 시냅스 트랜지스터의 최소 영역은 미세패턴을 형성시키는 리소그라피 기술과 셀의 설계 기술에 의존한다. 이러한 시냅스 트랜지스터는 단위면적당 전하용량, 누설전류 그리고 전류 구동능력 등이 향상된 트랜지스터를 개발하는데 있다. 본 논문에서는 자기인지 신경회로망에 사용되는 아날로그 기억소자의 얇은 산화막을 갖는 선형 시냅스 트랜지스터를 제작하고 산화막 특성에 의한 전류 구동능력을 측정하여 응용 가능성을 조사하였다.

#### II. 결과 및 토의

채널폭과 길이  $10 \times 1 \mu\text{m}$ , 산화막 두께가 각각 41 Å, 86 Å 그리고 112 Å인 시냅스 트랜지스터의 게이트 바이어스전압에 대한 산화막 전류밀도를 측정한 결과는 그림 1과 같다.

1) 유한대학 전자과  
2610-0744  
cskang@yuhan.ac.kr

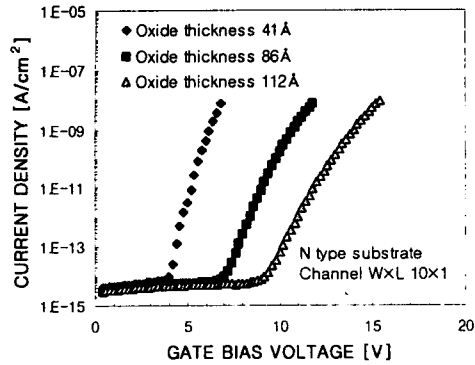


Fig. 1 Gate bias voltage vs. oxide current density of the synapse transistor in the oxide thickness 41 Å, 86 Å and 112 Å

산화막 두께가 감소함에 따라 게이트 바이어스 전압에 대한 산화막 전류밀도 증가도가 커짐을 보여주고 있다. 산화막 41 Å에서 전류밀도 증가율은  $3.57 \times 10^{-9} \text{ A/Cm}^2\text{V}$ , 산화막 86 Å에서 전류밀도 증가율은  $2.12 \times 10^{-9} \text{ A/Cm}^2\text{V}$  그리고 산화막 112 Å에서 전류밀도 증가율은  $1.63 \times 10^{-9} \text{ A/Cm}^2\text{V}$ 를 보여 주었다. 이와같이 산화막 터널링 전류는 산화막 두께 증가에 따라 높은 바이어스 전압이 요구되며 증가도도 둔화됨을 알 수 있다.

소자의 기판은 p형이고, 기판에 n형 우물을 형성하여 채널의 폭과 길이  $10 \times 0.3 \mu\text{m}$ , 산화막 두께 86 Å인 시냅스 트랜지스터에 드레인 전압 5V, 주기 26.9sec인 톱니파형 게이트전압을 각각 0.7V, 2V, 3.2V, 4.2V, 5.3V, 6.3V로 인가하면서 측정된 드레인 소오스 전류는 그림 2와 같다.

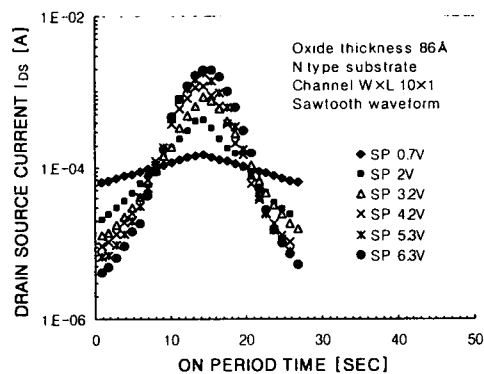


Fig. 2 The relation of period vs. drain source current as a gate voltage of sawtooth waveform in the synapse transistor with the oxide thickness 86 Å

그림 2는 0.7V에서 6.3V까지 톱니파형 게이트전압을

인가하면서 측정된 드레인 소오스 전류이다. 이에 대한 드레인 소오스 전류량은 각각  $5.19 \times 10^8 \text{ C/Cm}^2$ ,  $6.00 \times 10^8 \text{ C/Cm}^2$ ,  $7.24 \times 10^8 \text{ C/Cm}^2$ ,  $1.21 \times 10^9 \text{ C/Cm}^2$ ,  $1.67 \times 10^9 \text{ C/Cm}^2$  그리고  $1.67 \times 10^9 \text{ C/Cm}^2$ 이었다. 톱니파형의 피크 전압을 증가시키면 드레인 소오스 전류가 증가함을 보였고 톱니파형의 피크 전압에서 드레인 소오스 전류가 파형의 피크치를 나타내었다. 톱니파형 전압의 스윙 비율이 클수록 파형의 상승신호와 하강신호의 초기 및 말기시간에 흐르는 드레인 소오스 전류가 감소함을 보여주고 있다.

시냅스 트랜지스터의 산화막 두께 41 Å, 86 Å 그리고 112 Å인 소자에 드레인 전압 5V, 주기 232sec인 톱니파형 전압  $\pm 3.3\text{V}_{PP}$ 를 게이트에 인가하여 측정된 드레인 소오스 전류는 그림 3과 같다.

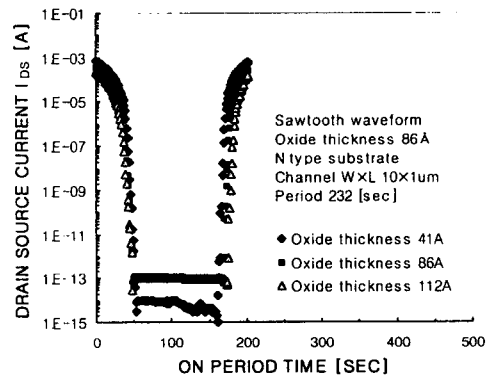


Fig. 3 The relation of period vs. drain source current according to the sawtooth waveform in the oxide thickness 41 Å, 86 Å and 112 Å

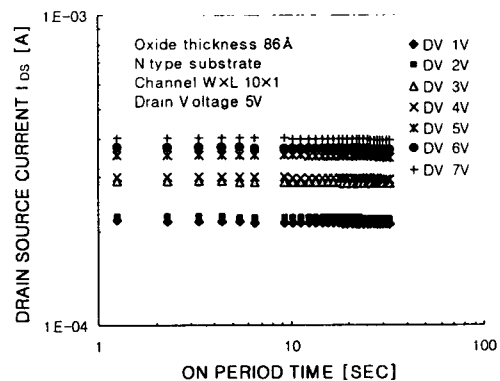


Fig. 4 The relation of drain pulse voltage on period vs. drain source current in the synapse transistor with the oxide thickness 86 Å

그림 3에서 톱니파형의 전압 스위칭율을 0.028V/sec로 하여 주기에 대한 드레인 소오스 전류는 그림 3과 같다. 드레인 소오스 전류의 오프전압은 산화막이 얇을수록 증가함을 보여주고 드레인 소오스 전류의 온전압은 산화막이 얇을수록 작음을 보여 주었다. 그리고 드레인 소오스 전류의 상태변화는 온상태에서 오프상태의 변화보다도 오프상태에서 온상태 변화가 산화막 전하용량의 영향이 큼을 알 수 있다. 산화막이 얇을수록 온, 오프 상태변화에서 드레인 소오스 전류 증가율이 커짐을 보였다.

시냅스 트랜지스터의 산화막 두께 86Å인 소자에 게이트 전압을 4.95V, 드레인 펄스전압을 각각 1V, 2V, 3V, 4V, 5V, 6V 그리고 7V로 변화시키면서 측정한 드레인 소오스 전류는 그림 4와 같다.

그림 4와 같이 일정한 게이트 전압 하에 주기 40초인 드레인 소오스 펄스전압을 변화시키면서 측정한 드레인 소오스 전류는 각각  $2.11 \times 10^{-4}A$ ,  $2.20 \times 10^{-4}A$ ,  $2.85 \times 10^{-4}A$ ,  $2.96 \times 10^{-4}A$ ,  $3.48 \times 10^{-4}A$ ,  $3.68 \times 10^{-4}A$  그리고  $3.94 \times 10^{-4}A$ 로 측정되었다. 드레인 펄스전압을 증가시킬수록 드레인 소오스 전류가 증가함을 보였다.

시냅스 트랜지스터의 산화막 두께 86Å인 소자에 게이트 전압을 4.95V로 하고 드레인 펄스전압을 각각 1V, 2V, 3V, 4V, 5V, 6V 그리고 7V로 변화시켜 측정한 후, 드레인 펄스전압 오프 주기일 때 측정한 드레인 소오스 전류는 그림 5와 같다.

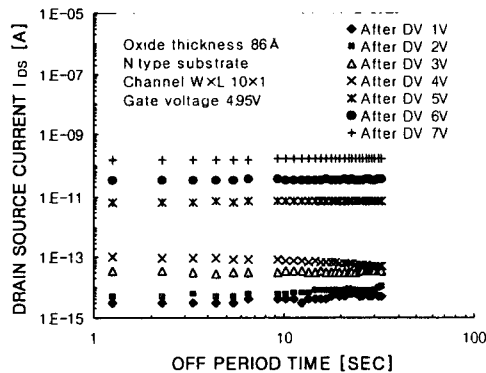


Fig. 5 The relation of drain pulse voltage off period vs. drain source current in the synapse transistor with the oxide thickness 86Å

일정한 게이트 전압 4.95V하에 주기 40초인 드레인 소오스 펄스전압을 변화 인가한 후, 드레인 펄스전압 오프 주기의 드레인 소오스 전류는 각각  $5.00 \times 10^{-15}A$ ,  $8.00 \times 10^{-15}A$ ,  $3.40 \times 10^{-14}A$ ,  $5.40 \times 10^{-14}A$ ,  $7.11 \times 10^{-14}A$ ,  $3.41 \times 10^{-13}A$  그리고  $1.60 \times 10^{-10}A$ 로 측정되었다. 산화막 전하용량에 의한 드레인 소오스 오프 전류는 드레인 펄

스전압이 증가함에 따라 증가하였다. 시냅스 트랜지스터 적의 합 출력인 드레인 소오스 전류는 게이트전압 가중치와 드레인 전압 바이어스 조건에 따른 가중치 조건을 보여준다.

산화막 두께 86Å인 소자에 드레인 소오스 전압을 5V, 게이트 펄스전압을 각각 2.2V, 3.2V, 4.2V, 5V, 6.3V, 그리고 7V로 변화시키면서 측정한 드레인 소오스 전류는 그림 6과 같다.

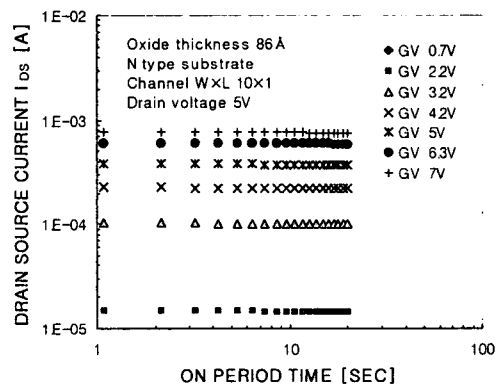


Fig. 6 The relation of gate pulse voltage on period vs. drain source current in the synapse transistor with the oxide thickness 86Å

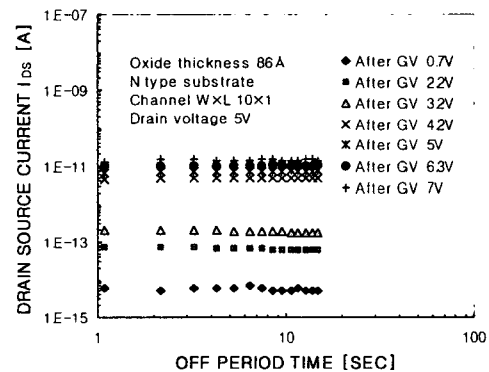


Fig. 7 The relation of drain pulse voltage off period vs. drain source current in the synapse transistor with the oxide thickness 86Å

그림 6과 같이 일정한 드레인 소오스 전압을 5V, 게이트 온 주기 펄스전압을 변화시키면서 측정한 드레인 소오스 전류는 각각  $1.50 \times 10^{-5}A$ ,  $1.02 \times 10^{-4}A$ ,  $2.24 \times 10^{-4}A$ ,  $3.77 \times 10^{-4}A$ ,  $6.00 \times 10^{-4}A$ , 그리고  $7.64 \times 10^{-4}A$ 로 측정되었다. 이 때 게이트전압을 0.7V로 한 후 측정한 드레인 소오스 전류는  $1.60 \times 10^{-14}A$ 로 측정되어 드레인 소오스

전류가 형성되지 않음을 보여 주었다. 측정된 드레인 소오스 전류는 게이트 펄스전압을 증가시킬수록 증가함을 알았다. 일정한 게이트 전압하에 바이어스 드레인 전압 변화에 대한 드레인 소오스 전류보다 일정한 드레인 전압하에 가중치 게이트전압을 변화시키면서 측정된 드레인 소오스 전류 차가 더 큼을 알 수 있다.

산화막 두께 86Å인 소자에 게이트전압을 각각 2.2V, 3.2V, 4.2V, 5V, 6.3V, 그리고 7V로 변화시키면서 드레인 펄스전압을 5V에서 0V로 인가되는 오프 주기시 측정된 드레인 소오스 전류는 그림 7과 같다.

그림 7과 같이 게이트전압을 변화시키면서 드레인 펄스전압 오프 주기시의 드레인 소오스 전류는 각각  $6.2 \times 10^{-14}A$ ,  $1.7 \times 10^{-13}A$ ,  $4.9 \times 10^{-12}A$ ,  $7.3 \times 10^{-12}A$ ,  $1.0 \times 10^{-11}A$  그리고  $1.5 \times 10^{-11}A$ 로 측정되었다. 게이트 전압이 인가되고 드레인 펄스전압이 인가되지 않을 때의 측정된 드레인 소오스 오프 전류는 게이트 전압을 증가시킬수록 증가함을 알 수 있었다. 그러나 게이트전압이 4.2V 이상이 되고 난 후부터는 드레인 소오스의 오프전류가 조금씩 변화됨을 알 수 있다. 측정된 드레인 소오스 전류는 게이트 전압을 증가시킬수록 증가함을 알았다. 이 때 게이트 펄스전압을 0.7V를 측정하고 난 후, 드레인 펄스전압이 5V에서 0V로 인가될 때 드레인 소오스 전류는  $5.00 \times 10^{-15}A$ 로 측정되었다.

일정 게이트 전압하에 드레인 펄스전압 인가 후에 흐르는 드레인 소오스전류 차가 일정 드레인 전압 하에 게이트 펄스전압 인가 후에 흐르는 드레인 소오스 전류 차보다 큼을 알 수 있다. 이와 같은 조건에 의하여 가중치 조건을 실현할 수 있음을 보여준다.

스트레스 전류는 산화막 두께가 감소함에 따라 증가하고 있다. 이러한 현상은 뉴런상태를 나타내는 시냅스 트랜지스터의 터널링 산화막의 두께 한계를 예측할 수 있다. 스트레스 인가 유기전류인 과도전류는 스트레스 전압이 증가함에 따라 증가하였다. 그리고 과도전류는 산화막 두께에 관계없이 시간에 따라 반비례적으로 일정하게 감소하였다. 이러한 현상은 뉴런상태를 표현하는 시냅스 트랜지스터의 산화막 두께와 관계가 없음을 알 수 있다. 이와 같이 뉴런상태를 나타내는 시냅스 트랜지스터의 산화막 두께의 한계는 과도전압보다 스트레스전압에 의해 영향을 받음을 보였다. 시냅스 트랜지스터의 뉴런상태를 나타내는 스트레스전류와 과도전류에 의해 유기되는 드레인 소오스 전류는 시냅스 트랜지스터로 사용하기 위한 좋은 특성을 나타냈다. 이와 같이 자기인지 신경회로망 최적구현을 위한 얇은 산화막을 갖는 아날로그 기억소자의 선형 시냅스 트랜지스터의 특성이 우수하여 응용이 기대된다.

### III. 결론

신경회로망 최적 구현을 위한 시냅스 트랜지스터는

LOCOS 과정과 n<sup>+</sup> 실리콘 게이트로 41 Å, 86 Å 그리고 112 Å 인 얇은 산화막으로 제작하고 산화막 전류밀도, 스트레스전류, 전이전류 그리고 바이어스에 의한 드레인 소오스 전류를 측정하여 응용가능성을 조사하였다.

게이트전압 스윙율이 클수록 상승신호의 시작부분과 하강신호의 끝부분에서 드레인 소오스 전류가 감소하였다. 산화막 두께가 증가할수록 드레인 소오스전류의 온전압이 증가하였고 온전압이 오프전압보다 크게 측정되었다. 시냅스 트랜지스터의 가중치와 바이어스 조건에 따라 여기상태와 금지상태의 전류는 각각 산화막 두께 41 Å 에서  $1.25 \times 10^{-5}A \sim 3.55 \times 10^{-3}A$ ,  $2.18 \times 10^{-7}A \sim 1.49 \times 10^{-6}A$ , 산화막 두께 86 Å 에서  $1.50 \times 10^{-5}A \sim 7.64 \times 10^{-4}A$ ,  $6.2 \times 10^{-14}A \sim 1.5 \times 10^{-11}A$ , 산화막 두께 112 Å 에서  $2.8 \times 10^{-8}A \sim 5.8 \times 10^{-4}A$ ,  $1.5 \times 10^{-14}A \sim 8.4 \times 10^{-14}A$ 로 측정되었다.

얇은 산화막 시냅스 트랜지스터는 특성이 우수하여 고속 고집적 신경회로망 최적구현을 위한 응용이 기대된다.

### V. 참고문헌

- [1] D.E. Johnson, et al., "Neural network implementation using a single MOST per synapse," IEEE Trans. on Neural Network, Vol. 6, No. 4, pp. 1008~1011, 1995
- [2] R.S. Scott, et al., "The superposition of transient low level leakage currents in stressed silicon oxides," IEEE Solid State Electronics, Vol. 38, No. 7, pp. 1325~1328, 1995
- [3] D.J. Dumin, et al., "The charging and discharging of high voltage stress generated traps in thin silicon oxide," IEEE Trans. on Electron Devices, Vol. 43, No. 1, pp. 130~136, 1996
- [4] C. S. Kang, et al., "The search for cathode and anode traps in high voltage stressed silicon oxides" Journal of Elect. Society, Vol. 145, No. 4, pp. 1292~1296, 1998
- [5] Tien Chun Yang, et al., "Dependence of Fermi level positions on the reliability of ultrathin MOS gate oxides", IEEE Trans. on Elec. Dev., Vol. 46, No. 7, pp. 1457~1463, 1999