

## Ge profile 변화에 의한 SiGe HBT 소자 특성 시뮬레이션

### Simulation Study on Effect of Ge Profile Shape on SiGe HBT Characteristics

김성훈\*, 이미영\*\*, 김경해\*, 염병렬\*\*\*, 황만규\*\*\*\*, 이홍주\*\*, 이준신\*

(Sunghoon Kim\*, Miyoung Lee\*\*, Kyunghae Kim\*, Byungryul Ryum\*\*\*, Mangyu Hwang\*\*\*\*, Hoongjoo Lee\*\* and Junsin Yi\*)

#### Abstract

SiGe heterojunction bipolar transistors (HBT) have been studied and applied for advanced high speed integrated circuits. Device characteristics of SiGe HBT depending on the Ge profile of the transistor base region have been analyzed using a device simulator, ATLAS/BLAZE. The models and parameters have been calibrated to the measured characteristics of the device, having a trapezoidal base profile, including the cut-off frequency of 45GHz and the dc current gain of 200. The Ge concentration which increases linearly, exponentially, or root-functionally from the emitter-base junction to the base-collector junction, has been tried to find out the influence on the device characteristics. The cut-off frequency and gain rather strongly depends on the exponential and root-functional Ge base profiles, respectively.

**Key Words(중요용어) : SiGe, HBT, ATLAS, Ge profile, Device Simulation**

#### 1. 서론

최근에 초고속 통신소자 및 회로에 응용하기 위한 Si/SiGe heterojunction bipolar transistor (HBT)에 대한 많은 연구가 진행되고 있다. SiGe은 III-V 화합물 반도체에 비해 경제적으로 유리할 뿐만 아니라, 기존의 Si 공정을 그대로 이용한 BiCMOS 형태의 집적회로의 제작이 가능하다.[1] Si/SiGe HBT는 Si과 SiGe의 에너지 대역 간극의 차이에 의하여, 에미터로부터 베이스로의 전자주입은 증가시키면서 베이스에서 에미터로의 정공주입을 감소시켜 소자의 전류이득을 증가 시키는 원리를 이용한다. 또한 SiGe베이스층 내의 Ge량을 에미터 베이스 접합으로부터 선형적으로 증가시키는 등의 Ge profile 변조를 통해 베이스 내의 전자를 가속시켜 그에 따른 주파수 응답을 향상시킬 수 있다. 이와 관련되어서는

IBM의 Patton등에 의해 발표된 UHV/CVD 저온 공정을 이용한 graded SiGe 베이스를 갖는 소자가 약 75 GHz의  $f_T$ 를 보였으며, 최근에는 자기정렬 및 copper 메탈 인터커넥트 공정기술을 이용한 0.18 $\mu$ m 에미터 폭을 가진 90GHz의 SiGe BiCMOS가 발표되었다. [2,3] 또한  $N_{in}$ 등은 전류이득과 주파수응답에 영향을 주지않으면서도 최소잡음지수(minimum noise figure)를 낮출 수 있도록 하는 SiGe 프로파일 최적화에 대한 연구를 발표하였다. [4]

본 논문에서는 베이스층의 다양한 Ge profile 및 접합 profile의 변화를 주는 설계 방법이 소자 특성에 미치는 영향을 분석하기 위한 시뮬레이션에 대해 논의한다. Ge profile의 모양에 따라 차단 주파수( $f_T$ )와 전류이득( $\beta$ )등의 소자 특성 시뮬레이션을 ATLAS/BLAZE를 사용하여 수행하였다.

#### 2. Device fabrication

그림 1에 SiGe HBT의 단면도를 나타내었다. 비소가 (As) 이온 주입된 메몰 컬렉터 상에 상압 CVD를 이용하여 1100°C에서  $SiH_2Cl_2$  가스를 주입하여 분당 1.2 $\mu$ m 증착율로 0.6 $\mu$ m의 두께를 가진 도핑이 되지 않은 컬렉터 에피층을 성장시켰다. Si 과 Ge 층을 산화막으로 격리된 웨이퍼상에 상압

\* : 성균관대학교 전기전자 및 컴퓨터 공학부  
\*\* : 상명대학교 컴퓨터정보통신학부 컴퓨터시스템학과  
\*\*\* : ASB inc. \*\*\*\* : Silvaco International.  
(경기도 수원시 장안구 천천동 300 성균관 대학교,  
Fax : 0331-290-7159, E-mail : sinclair@joy.skku.ac.kr)

CVD (Atmospheric Pressure Chemical Vapor Deposition) 장비를 사용하여 성장시킬 때 loading 효과에 의해서 아주 심한 박막 두께의 차이를 발생시킨다. 또한 박막 두께에 따른 패턴이 민감도에 따라 달라지므로 압력을 줄이는 것이 좋다. 도핑이 되지 않은 Si 층은 EB 접합 용량을 줄이고 터널링을 피하기 위한 목적으로 사용되었다. 두께가 300Å 인 산화막을 통해서 30keV의 에너지와  $6 \times 10^{15} \text{cm}^{-2}$ 의 도즈량으로  $\text{BF}_2$ 를 이온주입하여 외인성 베이스 영역의 붕소 농도 피크치가  $8 \times 10^{19} \text{cm}^{-3}$ 을 갖게 하였다.  $\text{TiSi}_2$  타겟을 스퍼터링 하여 2000Å의 두께의  $\text{TiSi}_2$  층을 증착하였고 베이스의 전극으로 사용하였다. Si 리치 타겟을 사용한 이유는 Si의 손실을 줄이고, 또한 베이스와 컬렉터의 단락을 줄이기 위한 것이다.

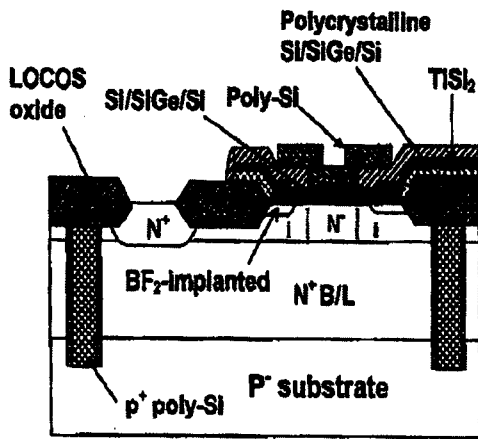


그림 1. SiGe HBT 소자의 단면

### 3. SiGe HBT 소자 시뮬레이션 환경

ATLAS 소자 시뮬레이션을 위해 필요한 모델은 다음과 같이 선택되었다. 캐리어 mobility 모델은, Klassen 모델을 사용하여, 다수 및 소수 carrier 이동도가 온도와 불순물 농도 의존성을 가지게 하였으며, velocity saturation 등과 같이 전기장이 carrier의 이동시간에 영향을 주는 현상을 고려하기 위한 FLDMOB 등이 포함되었다. 또한, 고농도 영역에서의 에너지 대역폭 감소효과 등에 적합한 모델인 BGN 및 Fermi-Dirac 등이 사용되었다. 재결합 모델로는, Shockley-Read-Hall 모델을 사용하여, carrier 수명이 농도에 의존되도록 하였다.

먼저 모든 소자 parameter와 모델 parameter는 그림 2, 그림 3 에서와 같이 200Å SiGe 베이스 층이 19% trapezoidal Ge profile을 가지며 차단주파수 ( $f_T$ )가 37GHz이고, 전류이득( $\beta$ )이  $I_c=1\text{mA}$ 에서 200인 HBT의 실제 측정값에 캘리브레이션 되었다.

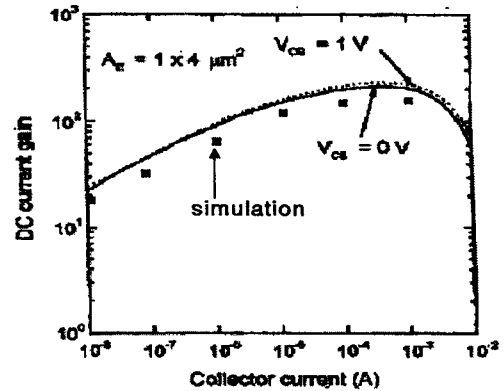


그림 2. collector current에 따른 DC current gain

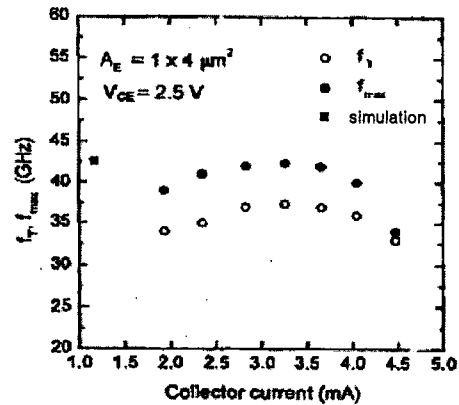


그림 3.  $f_T$ 와  $f_{max}$ 에 의존하는 collector current

### 4. 결과 및 토의

그림 4는 소자 제작 완료 후의 진성 SiGe HBT의 SIMS profile을 나타낸다. E-B간 Si-spacer의 두께는 300Å이다. Ge의 함량은 EB 접합 부분에서 선형적으로 0% 부터 증가하여 최대 붕소 (boron) 농도가  $4.4 \times 10^{18} \text{cm}^{-3}$ 을 갖는 200Å SiGe 층을 가로 질러 0.19% 까지 증가한다. CB간 SiGe-spacer층은 Ge 함량이 0.19%로 균일하게 형성되었다.

이상적인 베이스 전류는 에미터 베이스의 터널링 전류와 에미터와 베이스의 접합 전류에 의해 생긴다. 그것은 그림 4로부터 알 수 있다. DC 전류 이득 대  $I_c$  특성을 그림 2에 나타내었다. DC 전류 이득은 10nA 일때의 20에서부터 최대 약 1mA에서의 200까지 증가한다. 또한,  $V_{CB}$ 에 따른 미소한 DC 전류 이득의 변화를 그림 2에 나타내었다. 이것은 CB 접합에 도핑이 되지 않은 SiGe spacer 삽입하고 낮은 온도에서 RTA를 사용하는 것으로 p' SiGe 베이스 층으로부터의 붕소의 out-diffusion을 막아주어서 효

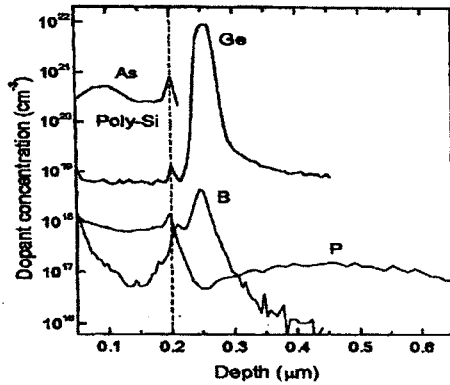


그림 4. 소자 제작후의 SIMS profile

과적으로 기생 전위장벽 효과를 최소화 할 수 있다는 것을 의미한다. 어닐링 후의 기생성분들은 전극, 전극으로부터의 접촉면, 측정된 S-parameters,  $f_T$ ,  $f_{max}$  값으로부터의 상호 관계에 서로 연관되어 있다. 각각의 값들은 그림 5에 나타내어진 AC 전류 이득 ( $h_{21}$ ) 과 unilateral power gain (U) 대 주파수의 그래프에  $-20\text{dB/decade}$  선을 그어 추출하였다. 그림 3에  $f_T$  와  $f_{max}$  대  $I_C$  특성을 나타내었으며 각각 그 피크 값이 37과 42 GHz 이었다. 이 트랜지스터가 동작하기 위해서는  $BV_{CEO}$ 가 3.5V정도가 되어야 하므로  $f_T$ 의 피크치는  $f_T$ 와  $BV_{CEO}$ 의 관계에서 거의 이론적 한계에 도달하였다.

그림 6에 ATLAS/BLAZE 모델을 사용한 소자 시뮬레이션에서 사용된 SiGe HBT 소자의 도핑 profile과 trapezoidal Ge profile을 나타내었다. 모든 소자의 파라미터와 모델들은 trapezoidal Ge profile의 베이스 층을 갖는 SiGe HBT로부터의 실험 결과값에 캘리브레이션 되었다. 베이스에서의 Ge 농도는 에미터-베이스 접합(0%) 으로부터 베이스-컬렉터 접합부(19%) 까지 선형적으로 증가 시켰다. 이 트랜지스터는 시뮬레이션된 DC 전류 이득의 피크값이 그림 8에 보여진 바와 같이 약 200을 갖으며 이것은 실험값과 비교해 볼 때 잘 일치함을 알 수 있다. 또한, 시뮬레이션된 차단 주파수  $f_T$ 값은 그림 9에서와 같이 약 45GHz 이었다.

최적의 Ge profile은 파라미터들이 calibrate된 소자 시뮬레이션에 의해서 얻을 수 있다. 그림 7은 SiGe HBT의 최적화된 도핑 profile과 triangular Ge profile을 나타낸다. 그림 8과 그림 9에 약 320의 DC 전류 이득과 84GHz의 차단주파수  $f_T$ 의 시뮬레이션 결과를 나타내었다.

시뮬레이션 결과에 기초하여 triangular 모양의 Ge profile을 갖는 SiGe HBT는 처음의 소자와 같은 제작 공정에 의하여 제작되었다. 그림 10과 그림 11에 실제작된 소자의 전류 이득값 ( $\beta=675$ ) 및 차단 주파수 ( $f_T=84\text{GHz}$ ) 를 나타내었다.  $BV_{CEO}$ 는 2.6V 이었다. SiGe HBT의 베이스 영역의 triangular 모양

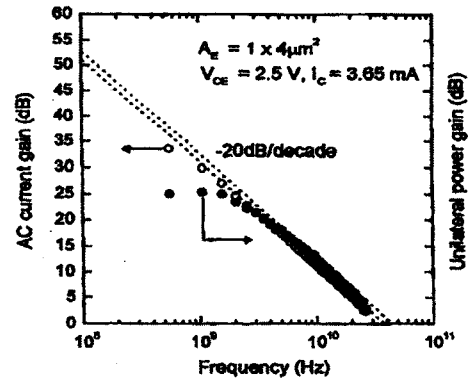


그림 5. 주파수에 따른 AC 전류 이득과 unilateral power gain 특성

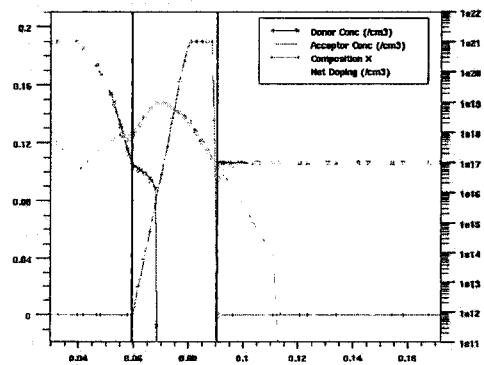


그림 6. 시뮬레이션에 사용된 도핑 profile 과 trapezoidal Ge profile

의 Ge의 경사는 고주파 동작에 있어서 더 나은 특성을 제공한다. 소자 시뮬레이션은 triangular Ge profile을 갖게 디자인된 HBT의 차단 주파수 특성을 정확하게 예측하였으나 실험시의 DC 전류 이득은 시뮬레이션과 비교하여 더 높게 나온 것을 알 수 있었다.

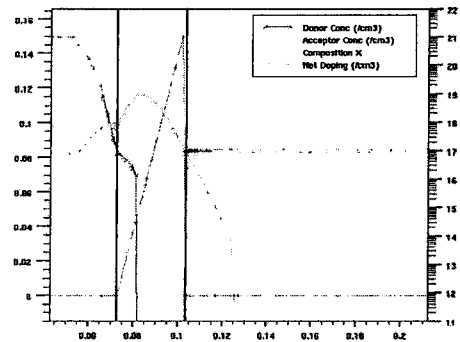


그림 7. 시뮬레이션에 사용된 도핑 profile 과 triangular Ge profile

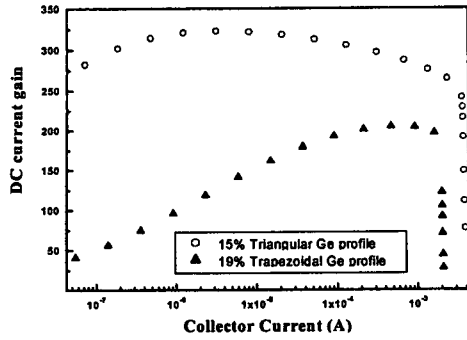


그림 8. 컬렉터 전류에 따른 DC 전류 이득 시뮬레이션 결과

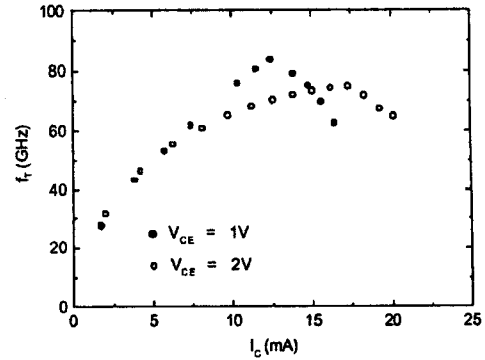


그림 11. 컬렉터 전류에 따른  $f_T$  와  $f_{max}$  (Triangular Ge profile)

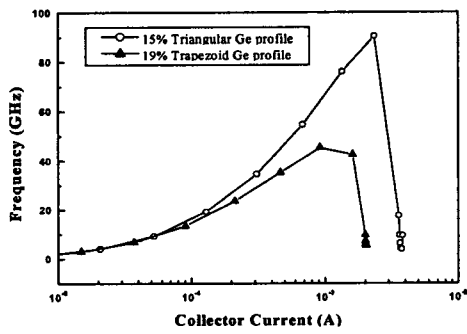


그림 9. 컬렉터 전류에 따른 차단주파수  $f_T$  시뮬레이션 결과

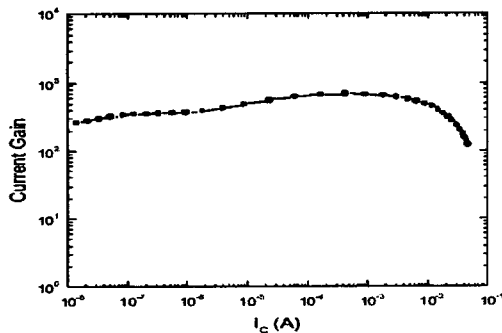


그림 10. 컬렉터 전류에 DC 전류 이득 (Triangular Ge profile)

#### 4. 요약

SiGe HBT의 Ge profile의 효과를 소자 시뮬레이션을 사용하여 연구하였다. 시뮬레이션은 소자 파라미터를 맞추는 것과 모델들을 적용하는 것에 의해서 수행되었다. 파라미터는 trapezoidal Ge profile을 갖는 HBT 소자의 실험값에 calibrate 되었다. HBT의 고주파 특성을 개선하기 위하여 triangular 모양을 갖는 15% Ge profile은 60nm의 베이스를 선택하였다. SiGe HBT는 Si 컬렉터 대해서는 높은 성장률 ( $>1.2\mu\text{m}/\text{min}$ ), Si/SiGe 베이스 층에 대해서는 낮은 성장률 ( $\sim 20\text{A}/\text{min}$ ) 을 모두 제공할 수 있는 a production CVD reactor 사용하여 제작되었다. Triangular Ge profile을 갖는 SiGe HBT의 차단주파수는 trapezoidal Ge profile을 갖는 구조와 비교하여 84GHz로 더욱 높은 특성을 나타내었으며 DC 전류 이득이 개선되었다.

#### 참고 문헌

- [1] J. D. Cressler, "SiGe HBT Technology : A new Contender for Si-Based RF and Microwave Circuit Applications," IEEE Trans. Microwave Theory and Techniques, Vol. 46, No.5, pp 572-581, 1998.
- [2] G. L. Patton, et al., "75 GHz  $f_T$  SiGe-Base Heterojunction Bipolar Transistors," IEEE Electron Device Letters, Vol. 11, No. 4, pp 171-173, 1990.
- [3] G. Freeman, et al., "A 0.18um 90GHz  $f_T$  SiGe HBT BiCMOS, ASIC-Compatible, Copper Interconnect Technology for RF and Microwave Applications," IEDM 99, pp569-572, 1999.
- [4] G. Niu, et al., "SiGe Profile Design Tradeoffs for RF Circuit Applications," IEDM 99, pp573-576, 1999.