

Thickness Determination of Ultrathin Gate Oxide Grown by Wet Oxidation

장효식, 황현상, 이확주*, 조현모*, 김현경*, 문대원*

광주과학기술원, *한국표준과학연구원

최근 반도체 소자의 고집적화 및 대용량화의 경향에 따라 MOSFET 소자 제작에 이용되는 게이트 산화막의 두께가 수 nm 정도까지 점점 얇아지는 추세이고 Giga-DRAM급 차세대 ULSI 소자를 제작하기 위해 5nm 이하의 게이트 절연막이 요구된다. 이런 절연막의 두께감소는 게이트 정전용량을 증가시켜 트랜지스터의 속도를 빠르게 하며, 동시에 저전압 동작을 가능하게 하기 때문에 게이트 산화막의 두께는 MOS 공정 세대가 진행되어감에 따라 계속 감소할 것이다. 따라서 절연막 두께는 소자의 동작 특성을 결정하는 가장 중요한 요소이므로 이에 대한 정확한 평가 방법의 확보는 공정 control 측면에서 필수적이다. 그러나, 절연막의 두께가 작아지면서 게이트 산화막과 crystalline silicon 간의 계면 효과가 박막의 두께에 심각한 영향을 주기 때문에 정확한 두께 계측이 어렵고 계측 방법에 따라서 두께 계측의 차이가 난다. 따라서 차세대 반도체 소자의 개발 및 양산 체계를 확립하기 위해서는 산화막의 두께가 10nm 보다 작은 1nm-5nm 수준의 박막 시료에 대한 두께 계측 방법이 확립이 되어야 한다. 따라서, 본 연구에서는 습식 산화 공정으로 제작된 3nm-7nm의 게이트 절연막을 현재까지 알려진 다양한 두께 평가 방법을 비교 연구하였다.

절연막을 MEIS (Medium Energy Ion Scattering), 0.015nm의 고감도를 가지는 SE (Spectroscopic Ellipsometry), XPS, 고분해능 전자현미경 (TEM)을 이용하여 측정 비교하였다. 또한 polysilicon gate를 가지는 MOS capacitor를 제작하여 소자의 Capacitance-Voltage 및 Current-Voltage를 측정하여 절연막 두께를 계산하여 가장 좋은 두께 계측 방법을 찾고자 한다.