

증착조건에 따른 ZrO_2 게이트 유전막의 특성

유정호,* 남석우,** 고대홍*

*연세대학교 세라믹공학과, +삼성전자 반도체연구소

반도체 소자가 미세화 됨에 따라 게이트 유전막으로 사용되는 SiO_2 의 박막화가 요구되나, boron penetration에 의한 V_t shift, 게이트 누설전류, 다결정 실리콘 게이트의 depletion effect 그리고 quantum mechanical effect 때문에 $\sim 20\text{\AA}$ 급에서 한계를 나타내고 있다. 이에 $0.1\ \mu\text{m}$ 이상의 design rule을 갖는 logic이나 memory 소자에서 요구되어지는 $\sim 10\text{\AA}$ 급 게이트 산화막은 $SiO_2(K=3.9)$ 를 대신하여 고유전율을 갖는 재료의 채택이 필수 불가결하게 되었다. 고유전 박막 재료를 사용하면, 두께를 두껍게 해도 동일한 inversion 특성이 유지되고 carrier tunneling이 덜하여 등가 산화막의 두께를 줄일 수 있다. 이러한 고유전박막 재료중 가장 활발히 연구되고 있는 재료는 Ta_2O_5 , Al_2O_3 , STO 그리고 BST등이 있으나 Ta_2O_5 , STO, BST등은 실리콘 기판과 직접 반응을 한다는 문제를 가지고 있으며, Al_2O_3 는 유전율이 낮다($K\sim 10$)는 문제를 가지고 있다. 이에 실리콘과 열적으로 보다 안정한 ZrO_2 , HfO_2 또는 그 silicates등의 재료가 최근 주목 받고 있다. 본 실험에서는 ZrO_2 박막의 증착조건에 따른 물리적, 전기적 특성 변화에 대하여 연구하였다.

RCA방식으로 세정한 P-type (100) 실리콘 기판 위에 reactive DC sputtering 방법으로 압력 5mtorr, power 100-400W, 기판 온도는 $100\sim 500^\circ\text{C}$ 로 변화시켜 ZrO_2 박막을 증착한 후 산소와 아르곤 분위기에서 $400\sim 800^\circ\text{C}$, 10-120min으로 열처리하였다. 증착 직후의 시편들과 열처리한 ZrO_2 박막의 미세구조와 전기적 특성 변화를 관찰하였다. 우선 굴절율(RI)를 이용해 ZrO_2 박막의 밀도를 예측하여 power와 기판 온도에 따라 이론값 2.0-2.2에 근접한 구조를 얻은 후 XRD, XPS, AFM, 그리고 TEM을 사용하여 ZrO_2 박막의 chemical bonding, surface roughness 그리고 interfacial layer의 특성을 관찰하였다. 그리고 C-V, I-V measurement를 이용해 capacitance, 유전율, 누설전류등의 전기적 특성을 관찰해 최적 조건을 설정하였다.