

Simulation Results of the 4 stage Single Flux Quantum Voltage Multiplier

4 stage 단자속 양자 Voltage Multiplier의 Simulation 결과

Hyung-Gon Chu, Ku-Rak Jung and Joonhee Kang

추형곤, 정구락, 강준희

Department of physics, University of Incheon, Incheon 402-749, korea

인천광역시 남구 도화동 177 인천대학교 물리학과

Analog-to-digital converter has attracted a lot of interests as one of the most prospective area of an application of Josephson Junction technology. Recently, the development of a digital-to-analog converter has been pursued to achieved the high performance. One of the main advantage in using single flux quantum logic in a digital-to-analog converter is the low voltage drop in a single Josephson Junction and hence the resolution of the output voltage of this digital-to-analog converter can be very high. In this work, we have used a software, called WRspice, to study a voltage multiplier circuit which is the basic block in building a digital-to-analog circuit. In simulation, we operated a voltage multiplier with 4 Josephson Junctions per stage and studied the dependence on the circuit bias currents and the circuit inductors of the voltage multiplier. Our simulation results showed a fast operation and reasonable circuit margins.

1. 서론

고속 정보 통신의 발달에 따른 고속 데이터 전송은 필수적이다. 이러한 고속 데이터 전송의 신호처리를 위한 초고속 전자소자의 개발이 절실히 요구되고 있으나 반도체 소자의 내부적인 한계성과 작동속도를 높이기 위해 드는 제작비의 급속한 증가로 인하여 새로운 물질을 이용한 초고속 전자소자의 개발 필요성이 요구되고 있다. 초전도 조셉슨 소자는 초전도체만이 갖는 특이한 양자현상을 갖고 있어 반도체로는 불가능한 빠른 전환속도를 낼 수 있는 전자소자를 제작하는 것이 가능하며, 이를 이용한 초고속 전자소자의 개발이 선진국에서는 많이 연구되어 왔다. 초전도 소자 중에서도 단자속양자(SFQ)소자는 현재의 기술수준으로 가장 적합한 소자이다. 본 연구에서

는 Simulation을 통하여 SFQ Voltage Multiplier의 stage에 따른 input bias current와 inductance의 margin values을 연구하였다. [1][2]

2. 실험

그림 1은 SFQ 2 stage voltage multiplier의 회로도이다. 1-stage의 I1-1, I1-2, I1-3, I1-4는 input bias current들이다. 각각의 junction에 흐르는 Ic값은 $I_{c11} = 125\mu A$, $I_{c12} = 200\mu A$, $I_{c13} = 250\mu A$, $I_{c14} = 375\mu A$, $I_{c15} = 250\mu A$, $I_{c16} = 250\mu A$ 의 값을 사용하였으며, I_{cRn} 값은 $300\mu V$ 가 되도록 하였다. (단, BJ14의 I_{cRn} 값은 $112.5\mu V$ 가 되게 $R_n=0.3$ 을 사용하였다.) 그리고 stage의 마지막 저항값은 5Ω 을 사용하였다. [3][4]

Bias current I1-1의 왼쪽에서 pulse 1개가

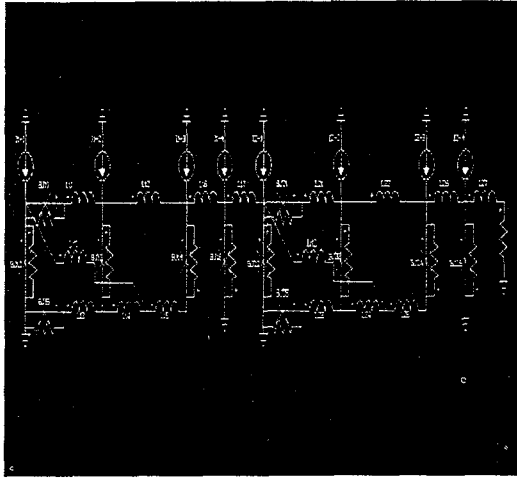


그림 1. SFQ 2-stage Voltage Multiplier.

input 되면 각 stage의 junction들이 swithcing(조셉슨 phase가 2π -jump) 되어 stage를 지날때마다 pulse 1개가 multiply되어 2-stage의 output에서는 3개의 pulse가 생기도록 하였다. [5][6] Total simulation time은 0 - 1000ps로 하였으며 pulse generator의 current 값을 조절하여 pulse가 1000ps 안에서 3개가 생성되도록 하였다.

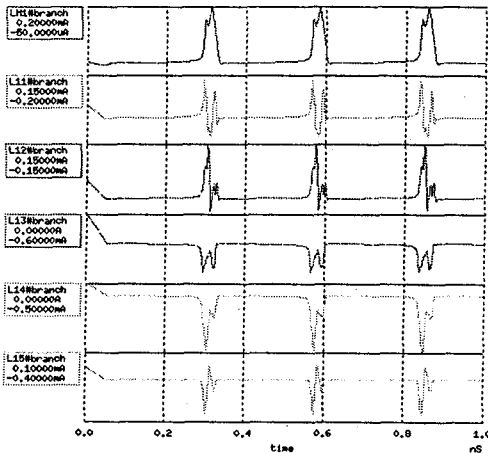


그림 2. inductor들에 흐르는 current 값.

본 연구에서는 중앙 inductance LM1, LM2값을 2ph - 6ph까지 바꾸어 주고, 각 stage의 input bias current를 걸어주면서 각각의 junction들과

inductance에 흐르는 voltage와 current값을 관찰하였다.

3. 결과

그림 2에서는 1st stage의 inductor에 흐르는 current를 보여주고 있다. LM1에 흐르는 current의 모양을 보면 pulse의 모양과 비슷함을 볼 수 있는데 이는 LM1에 current가 끊임없이 순조롭게 흐름을 나타낸다. 그림 3은 4개의 stage를

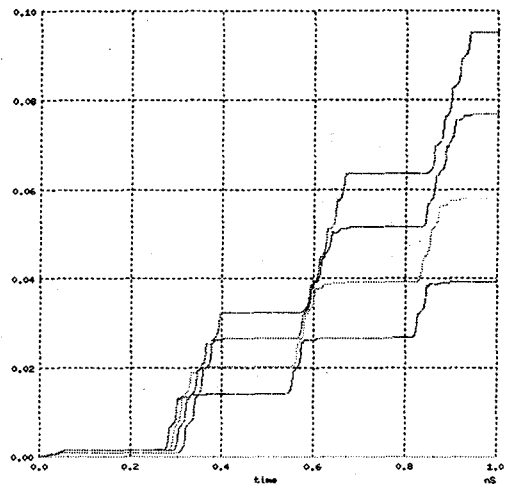


그림 3. 각각의 stage에서의 output junction들의 phase 값들.

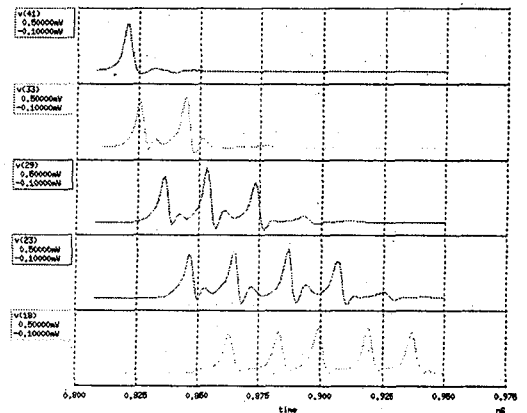


그림 4. 각각의 stage에서의 output junction들에 의한 voltage pulse들.

불렸을 때 output되는 phase의 모양을 보여주고 있다. 각각의 junction에서 2π 씩 phase 변환을 일으켜 1st stage output phase는 4π 가 되고, 2nd stage output phase는 6π , 3rd stage output phase는 8π , 최종적으로 4th stage output phase는 10π 가 된다. 또한, 그림 4에서는 4개의 stage를 불렸을 때 stage 1개를 지날 때마다 pulse가 1개씩 더 생겨 최종적으로 output되는 pulse는 5

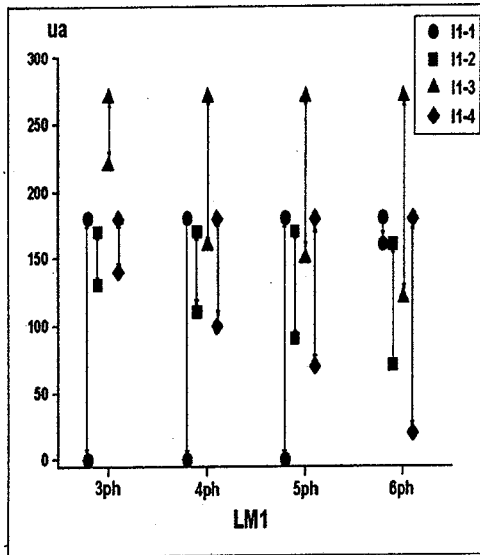


그림 5. 1-stage의 경우에 있어서의 LM1값에 따른 input bias current의 허용범위.

개가 됨을 보여주고 있다. 그림 5와 그림 6은 1 stage인 경우의 LM1값의 변화에 따른 input bias current와 inductance의 허용범위를 나타내고 있으며 이 범위 안에서만 정상적인 작동을 하게 된다. I1-1에는 작은 current만 흘러주어도 회로가 정상적으로 작동함을 볼 수 있다. LM1값이 커질수록 I1-1의 current값의 범위는 좁아지고 I1-2, I1-3, I1-4의 current값의 범위는 점점 넓어짐을 볼 수 있다.

Inductor의 값에서는 L11값과 L12값의 범위가 대체로 넓은 반면 L13, L14값은 범위가 다른 inductor의 범위에 비해 굉장히 작은 범위를 갖는다는 것을 알 수 있다. Inductor L12의 값이 커질수록 swithing time이 늘어남을 관찰하였다. 보통 정상적인 회로의 작동일 경우는 swithing

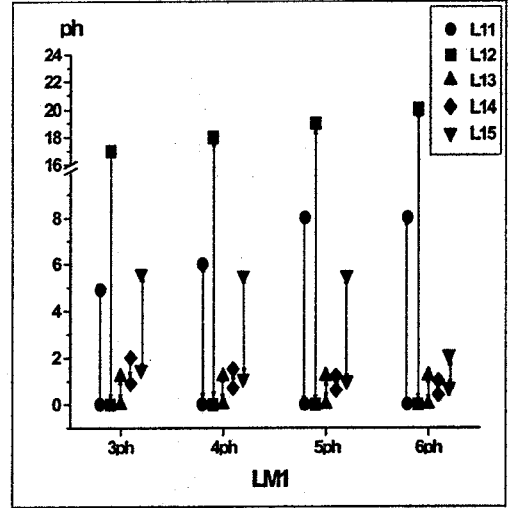


그림 6. 1-stage의 경우에 있어서의 LM1값에 따른 inductance의 허용범위

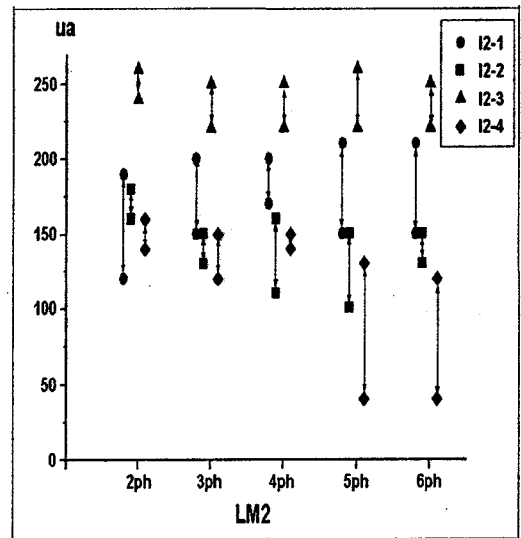


그림 7. 2-stage의 경우에 있어서의 LM2값에 따른 input bias current의 허용범위.

time이 25 - 30ps 정도이나 L12값이 늘어남에 따라 40 - 50ps 정도까지 늘어남을 알 수 있었다.

그림 7 그림 8은 2 stage인 경우의 LM2값에 따른 input bias current와 inductance의 허용범위를 보여준다. 이 경우는 1 stage에 input bias current와 inductance의 값을 회로가 정상적으로

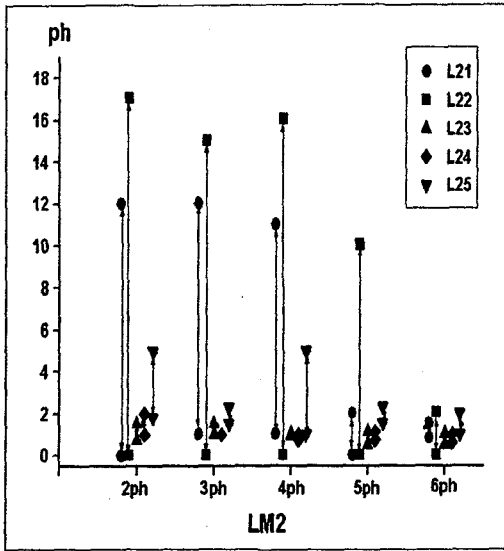


그림 8. 2-stage의 경우에 있어서의 LM2값에 따른 inductance의 허용범위.

작동되는 중간(평균)값을 input 시킨 상태에서 측정 한 값이다.

4. 결론

본 연구에서는 Xictool software와 WRspice software를 사용하여 단자속 양자 회로의 설계와 simulation을 수행하였다. 4 stage voltage multiplier를 구성하여 정상적으로 작동하는 회로의 값들을 구하였으며 1 stage인 경우에 대하여 회로값들의 작동범위를 구하였다. 또한 junction의 switching time이 inductance의 값들에 의존함을 알 수 있었다. 본 연구의 결과로 얻은 voltage multiplier의 회로는 디지털-아날로그 변환기의 제작에 응용될 수 있으며 보다 큰 inductance 값들의 범위를 얻기 위한 연구가 요구된다.

감사의 글

본 연구는 한국표준과학연구원의 "표준유지향상(전기분야) 연구"의 위탁과제로 수행되었음을 감사드립니다.

참고문헌

- [1] V. K. Semenov, "Digital to Analog conversion based on processing of the SFQ pulses", IEEE Transactions on Applied Superconductivity, vol.3, pp 2637-2640, 1993
- [2] A. Shoji, S. V. Polonsky, "RSFQ - Based D/A converter for AC voltage standard",
- [3] K. K. Likharev, V. K. Semenov, "RSFQ Logic /Memory Family : A new Josephon-junction technology for sub-terahertz-clock-frequency Digital systems", IEEE Transactions on Applied Superconductivity, vol.1, No.1, pp 3-7, 1991
- [4] R. D. Sandell, B. J. Dalrymple, and A. D. Smith, "An SFQ Digital to Analog Converter" IEEE Transactions on Applied Superconductivity, vol.7, No.2, pp 2468-2470, 1997
- [5] V. K. Semenov, M. A. Voronova, "DC Voltage multipliers : A novel Application of synchronization in josephson junction arrays", IEEE Transactions on magnetics, vol.25, No.2, pp 1432-1435, 1989
- [6] C. A. Hamilton, C. J. Burrough and R. L. Kautz, "Josephson D/A converter with Fundamental Accuracy" IEEE Transactions on Instrumentation and Measurement, vol.44, No.2, pp 223-225, 1995