

오디오 무선전송을 위한 TCM 모뎀의 Viterbi 디코더 설계

김 성 진*, 정 희 석, 강 철 호
광운대학교 전자통신공학과

Viterbi Decoder Design of TCM Modem for Audio Wireless Transmission

Kim, Sung-Jin*, Chung, Heui-Suck, Kang, Chul-Ho
Kwangwoon University
E-Mail : mylily@dspalpha.kwangwoon.ac.kr

요 약

무선 환경에서는 한정된 주파수 자원과 소비전력을 고려하여 시스템을 설계하여야 한다. 이와 같은 조건을 만족하는 모뎀기술이 Trellis Coded Modulation(TCM) 방식이다. TCM의 복호 알고리즘으로는 확률적인 최적의 경로추적 알고리즘인 Viterbi 복호 알고리즘을 적용한다.

본 논문에서는 오디오 데이터의 무선전송을 위한 무선모뎀시스템의 수신단에 필요한 Viterbi 디코더를 설계하였다. 설계된 Viterbi 디코더는 고음질의 2채널 무선 오디오 신호(705.6kbps) 처리를 목적으로 하였다. 수신된 데이터에 8-level soft decision을 적용하였다. ACS(Add Compare Select)부와 TB(Traceback) 메모리 블록은 데이터의 고속처리를 위해 병렬로 설계하였고, traceback depth는 50으로 하였다. 시뮬레이션 결과 설계된 Viterbi 디코더는 1bit, 2bit 등 랜덤하게 발생하는 에러에 대해 정정 능력이 우수하였다.

I. 서 론

TCM은 대역폭과 전력이 제한된 채널환경에서 채널 부호화 기술과 변조기술을 결합시켜 대역폭의 증가없이 에러정정 능력을 개선시키는 통신기술이다.

TCM의 복호 알고리즘으로는 확률적인 최적의 경로추적 알고리즘인 Viterbi 알고리즘을 적용하였으며 Viterbi 복호 알고리즘은 초기에는 구속장이 $K = 6, 7$ 정도까지 개발되었으나 설계 기술과 반도체 기술의 발

전에 힘입어 최근 구속장이 큰 것($K=9$) 까지도 개발되었다. Viterbi 디코더는 BM(Branch Metric) 부, ACS(Add Compare Select) 부, TB(Traceback) 부 등 주요 3개의 모듈로 구성된다[1]. ACS 모듈은 Viterbi 디코더의 심장부로서 많은 계산을 반복해야 하는 부분으로 Viterbi 디코더의 고속화에 걸림돌이 되는 소위 병목에 해당된다. 이러한 병목 현상을 해결하기 위하여 다수의 ACS 모듈을 채용한 병렬 경로 계산 방법들이 제안되고 있으며 병렬화의 정도는 구체적인 응용 분야에서 요구되는 동작 속도에 따라 달라진다.

본 논문에서는 TCM 변복조기술을 이용하여 고음질의 오디오신호를 무선으로 전송하기 위한 무선모뎀시스템의 수신단에 필요한 Viterbi 디코더를 설계하였다.

II. Viterbi 복호 알고리즘

Viterbi 복호방식은 채널을 통과한 수신 비트들에 대해 확률적으로 가장 근사한 경로를 선택하는 최대확률 복호화(maximum likelihood decoding) 복호 방식이다[2]. 단, 여러 정정 부호의 복호화에 사용되는 Viterbi 복호방식은 구속장의 길이가 짧은 길쭉부호에만 적용할 수 있다. 이는 구속장의 길이가 길어질수록 요구되는 메모리 양이 급격히 증가하기 때문에 실제적으로 구속장의 길이가 9이상인 경우에는 구현하기가 매우 어렵게 된다. 이와 같이 구속장 길이가 짧은 길쭉부호에서만 사용할 수 있는 한계성에도 불구하고 Viterbi 복호방식이

많이 사용되는 이유는 soft decision의 구현이 비교적 쉽고 hard decision 과 하드웨어상 복잡도가 거의 유사하기 때문에 구현측면에서 큰 이점을 가지고 있다. AWGN의 환경에서 soft decision을 수행한 Viterbi 복호는 hard decision에 비하여 약 2~3dB정도의 부호화 이득을 얻을 수 있다.

Viterbi 복호방식은 매 단계마다 모든 경로들의 branch metric을 계산하여 최종적으로 가장 최적의 metric 값을 갖는 경로를 찾아내는 과정이므로 다른 복호방식보다 복호시 지연이 생길 수 있고 그 지연이 길게 될 수 있다는 단점도 있지만, 어느정도의 복호 깊이(traceback depth)를 설정하여 부분적으로 복호화를 시켜서도 정보를 추출할 수 있고, 그때의 traceback depth는 이론적으로는 무한대의 값이 가장 좋지만 실제적으로는 구속장 길이의 약 5~6배정도 이상을 규정하고 있다. Viterbi 복호방식의 가장 큰 문제점은 구속장의 길이가 길어짐에 따라 메모리 용량이 크게 증대되어 실제 구현시에 큰 어려움이 있기 때문에 이것을 적절하게 조절하는 과정이 필요하게 된다.

III. Viterbi 디코더 설계

3.1 부호기(Encoder)

본 연구에서 선정한 부호기 모델은 메모리의 수가 4이고 정보율이 2/3인 Feedback 구조의 Ungerboeck 부호기이다[3]. 부호기의 형태는 그림 1와 같다. 그림 1에서 메모리가 4이므로 상태수는 모두 16가지이며 메모리의 상태에 따라 출력 codeword가 결정된다. 부호기의 입력 bit가 2개이기 때문에 한 상태에서 다른 상태로 전이할 경우의 수는 모두 4가지가 된다.

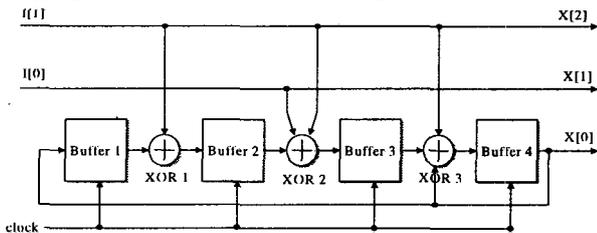


그림 1. Ungerboeck 부호기의 블록 다이어그램

3.2 Viterbi 디코더의 동작구조 및 특징

본 논문에서는 고음질의 2채널 이상의 고속의 데이터 처리를 위해서 그림 2에서 보는 바와 같이 16개의 ACS부를 병렬로 설계하였고, 또한 ACS부의 병렬화에 따라 결정되는 생존경로들을 데이터의 지연없이 동시에 저장할 수 있도록 traceback memory를 병렬로 설계하였다. 설계된 Viterbi 디코더의 구조는 그림 2에서와 같이 8-level soft decision되어 수신되는 데이터와 부호어와의 거리값을 계산하는 BM부, 생존 경로를 결정하는 16개의 병렬 ACS 부, 16개의 생존 경로를 저장하는 16개의 traceback memory, 복호되는 데이터의 순서를 바

꾸어주는 출력부, 그리고 전체 Viterbi 디코더를 제어하는 제어부로 구성된다.

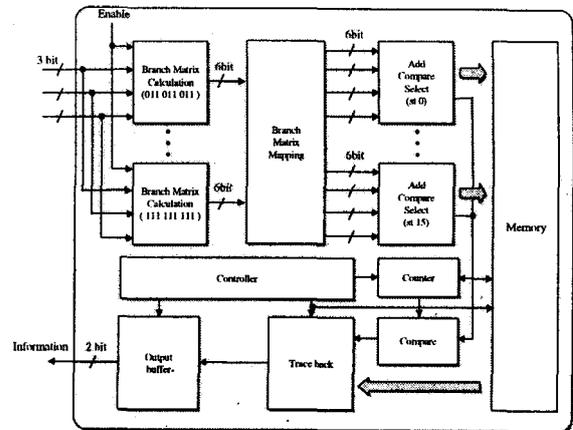


그림 2. Viterbi 디코더의 블록 다이어그램

3.3 기능 모듈 설계

3.3.1 Branch Metric(BM) 부

BM(Branch Metric) 부는 수신된 심볼과 부호기에서 발생 가능한 부호어들의 거리값을 계산하는 모듈이다.

각 branch metric 값에 대한 블록도는 다음 그림 3과 같이 codeword 발생기, 부호 비교기, 그리고 덧셈기로 구성된다.

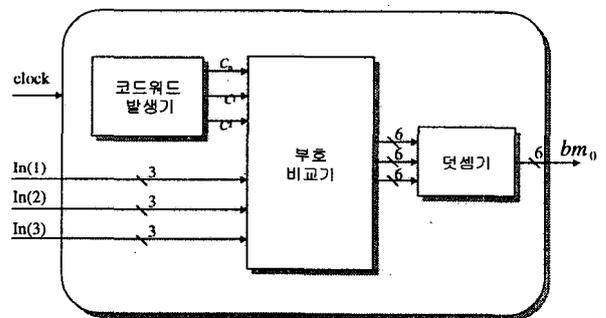


그림 3. BMC의 블록도

3.3.2 Add Compare Select(ACS) 부

ACS부는 BM부에서 계산된 가지값과 이전까지의 경로값으로 각 상태의 새로운 경로값을 계산하며 생존 경로를 결정하는 모듈이다. 본 논문에서는 고속의 데이터 처리를 위해 ACS모듈을 병렬화하여 구현하였다. 한 조의 ACS부는 branch metrics와 state metrics에 대한 덧셈연산을 수행하는 Adder, 각각 n bit씩 이루어진 두 입력을 비교하는 Comparator, 그리고 비교된 것중에서 하나를 선택하는 Selector part로 구성된다. 본 논문에서 선택한 부호기는 메모리가 4개이므로 16개의 state가 생성되므로 16개의 ACS연산이 필요하다. 그림 4는 하나의 ACS의 블록을 나타낸 것이다.

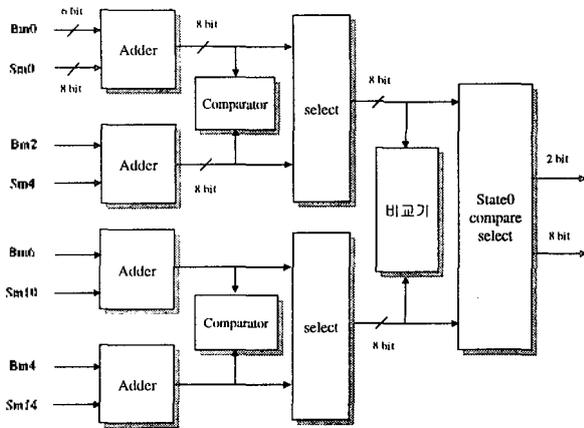


그림 4. 한 state에서의 ACS 연산 과정

3.3.3 Traceback(TB) 부

Traceback(TB) 부는 traceback memory에 저장된 모든 상태의 생존 경로 정보를 이용하여 송신단에서 전송한 원 정보를 복호 하는 모듈이다. 병렬 ACS 설계와 마찬가지로 ACS에서 선택되는 생존 경로를 동시에 저장하기 위해서 traceback memory를 병렬로 설계하였다. 16개의 ACS에서 선택된 생존경로들은 모두 2bit의 정보비트이다. 따라서 이들 data가 저장되어야 하는 traceback memory의 크기는 state가 16개이고 traceback depth가 50이므로 1.6k bit이다. 그림 5는 병렬 Traceback memory 구조를 나타내고 있다.

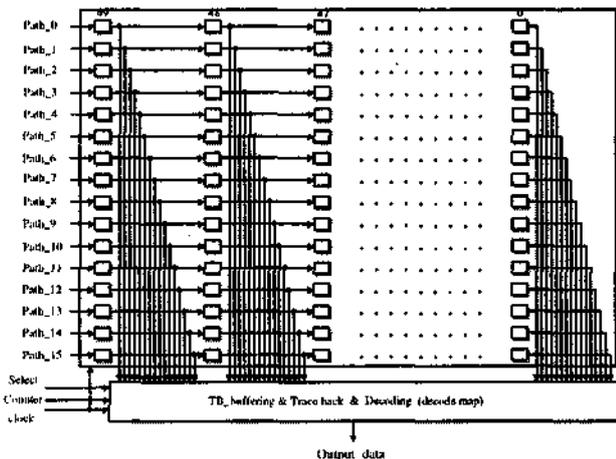


그림 5. 병렬 traceback memory 구조

3.3.4 제어부

제어부는 Viterbi 디코더의 각 블록을 제어하는 역할을 수행하고, 외부 모듈과의 인터페이스를 담당한다. 내부적으로는 외부에서 들어온 명령 데이터를 분석하고 그 명령에 맞는 각 모듈의 제어신호를 출력한다. 제어부는 ACS부 연산시, traceback memory에 데이터를 쓰고

읽을 때 그리고 출력부의 데이터를 정렬할 때 필요한 신호를 발생한다.

3.3.5 출력부

출력부는 traceback 과정을 통해서 복호되는 데이터의 순서가 역순이므로 이를 재정렬 하기 위해 복호된 data를 출력 메모리에 저장하여 원래의 데이터 순으로 바꾸어주어 출력하는 모듈이다. traceback depth가 50이므로 출력되는 data는 100bit의 데이터이다. 100bit의 데이터를 저장할수 있는 메모리1 과 메모리2, MUX, 출력을 제어하는 출력제어부로 구성되어 있다. 출력부의 흐름은 그림 6에 나타나 있다.

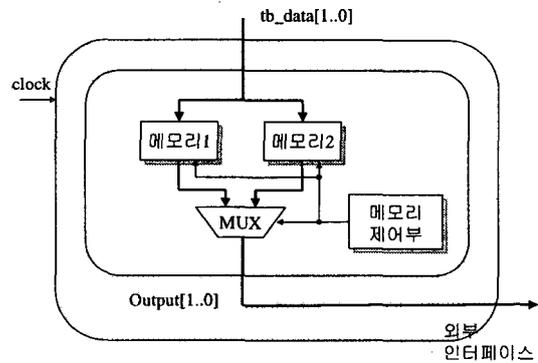


그림 6. 한 state에서의 ACS 연산 과정

IV. 실험 및 결과

4.1 실험 방법

본 논문에서 제안된 하드웨어 Viterbi 디코더는 VHDL(Very High Speed IC Hardware Description Language)[4]을 이용한 하향식(Top-down)[5] 방식으로 설계하였다. VHDL로 설계된 Viterbi 디코더의 합성 및 최적화 과정과 검증은 Synopsys의 Design_analyzer와 Altera사의 Max+plusII를 통해 이루어 졌다[6]. Viterbi 디코더의 설계 과정은 그림 7과 같다.

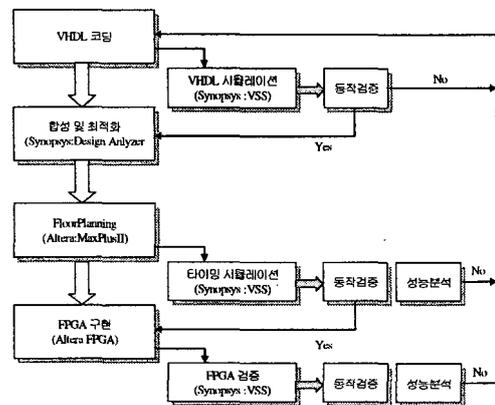


그림 7. Viterbi 디코더의 설계 흐름

4.2 실험 환경

본 논문에서 설계한 Viterbi 디코더는 메모리가 4이고 부호율이 2/3인 TCM 부호기의 출력을 이용하여 데이터 복호실험을 수행하였다. traceback depth는 일반적으로 구속장의 5~6배를 이용하나 C 시뮬레이션 결과 traceback depth가 50인 경우, 에러확률이 10^{-5} 인 지점에서 traceback depth가 1000인 경우에 비하여 단지 1~1.5dB 정도의 차이밖에 나지않아 하드웨어 설계시 메모리의 규모를 작게 할수 있어 traceback depth를 50으로 하여 시뮬레이션을 수행하였다. 동작 검증 시뮬레이션에서는 AWGN 채널을 만드는 것 대신에 임의로 수신되는 데이터에 에러를 발생시켜 송신된 원래의 데이터가 복호되는지를 실험하였다.

4.3 실험 결과

구현된 VHDL 코드크기는 3,299 Line이며 선택한 FPGA 칩은 FLEX10K 계열의 칩이고, 4399개의 Logic Cells을 이용하였다. 그림 8, 그림 9는 수신 데이터에 1 bit 와 2 bit의 에러가 발생한 경우의 Viterbi 디코더의 동작 결과이다.

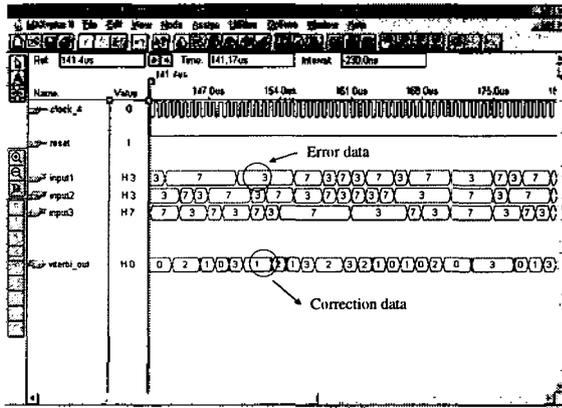


그림 8. 1 bit 에러가 발생한 경우의 Viterbi 디코더 출력 데이터

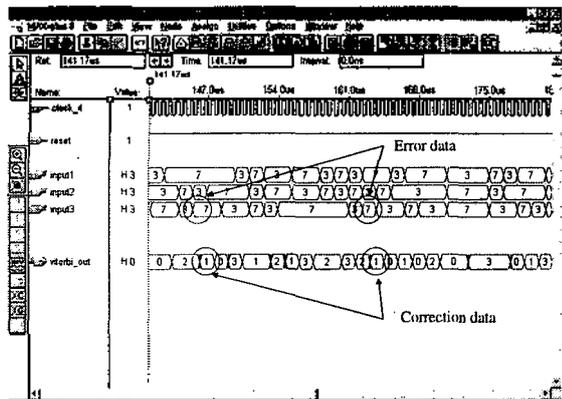


그림 9. 2 bit 에러가 발생한 경우의 Viterbi 디코더

IV. 결론

본 논문에서는 오디오 신호의 무선전송을 위한 TCM 모델의 수신단에 필요한 Viterbi 디코더를 설계하였다. 고음질의 2채널 무선 오디오 신호(705,6kbps) 처리를 목적으로 Viterbi 디코더의 ACS 부와 traceback 메모리 블록을 병렬로 설계하였으며 동작 및 수행절차를 분석하여 전체 사양 및 각 기능모듈별 사양을 작성하였으며 실험을 통해 FPGA 설계와 동작분석 및 성능분석을 수행하였다.

본 논문에서 설계된 Viterbi 디코더는 알테라사의 FPGA 칩인 FLEX10K 시리즈를 이용하였으며 traceback 메모리는 칩 자체에서 제공하는 내부 RAM을 이용하였다. 또한 마이크로 프로세서의 제어없이 입력되는 클럭만으로 동작할 수 있도록 설계되었으며 이 용한 Logic Cells의 수는 4399개 였다.

앞으로의 과제는 논리회로 설계를 최적화하여 데이터 처리속도를 향상시키고 전체적인 게이트 수를 줄이는 것이다.

참 고 문 헌

- [1] G. Fettweis, H. Meyr, "A 100 Mbit/s Viterbi Decoder Chip : Novel Architecture and its realization," *IEEE International Conference on Communications*, Atlanta, No. 307. 4, pp 463-467, April 1990.
- [2] Andrew J. Viterbi, Jim K. Omura, *Principles of Digital Communications and Coding*, McGraw-Hill Inc., 1979
- [3] Gottfried Ungerboeck, "Trellis-Coded Modulation with Reduction Signal Sets. Part I. Introduction", *IEEE Comm Magazine*, Vol. 25 No. 2, pp. 5~ 11, February 1987.
- [4] Zainalabedin Navabi, "VHDL, Analysis and Modeling of Digital System", Layout, and Simulation", *IEEE Press*, 1998.
- [5] R. Jacob Baker, Harry W. Li, David E. Boyce, "CMOS, Circuit Design, Layout, and Simulation", *IEEE Press*, 1998.
- [6] Pran Kurup, Taher Abbasi, "Logic Synthesis Using Synopsys", KAP, 1995.