

# 산화막의 질화, 재산화에 의한 계면트랩밀도 특성 변화

백도현\* · 이용재\*

동의대학교

## Characteristics Variation of Oxide Interface Trap Density by Thermal Nitridation and Reoxidation

Do-hyun Baek\* · Yong-jae Lee\*

\*Dong Eui University

E-mail : baekdo@hyomin.dongeu.ac.kr

### 요 약

70Å-thick oxides nitrided at various conditions were reoxidized at temperatures of 900°C in dry-O<sub>2</sub> ambients for 5~40 minutes. The gate oxide interface properties as well as the oxide substrate interface properties of MOS(Metal Oxide Semiconductor) capacitors with various nitridation conditions, reoxidation conditions and pure oxidation condition were investigated. We studied I<sub>g</sub>-V<sub>g</sub> characteristics, ΔV<sub>g</sub> shift under constant current stress from electrical characteristics point of view and breakdown voltage from leakage current point of view of MOS capacitors with SiO<sub>2</sub>, NO, RNO dielectrics. Overall, our experimental results show that reoxidized nitrided oxides show improved charge trapping properties, I<sub>g</sub>-V<sub>g</sub> characteristics and gate ΔV<sub>g</sub> shift. It has also been shown that reoxidized nitrided oxide's leakage current density is better than pure oxide's or nitrided oxide's from leakage current(1 μA) point of view.

### 1 서 론

ULSI(Ultra Large Scale Integrated)에서 소자 크기가 계속적으로 작아짐에 따라 박막 유전체(10nm이하)의 안정성은 더 중요하다.[1] 또한 높은 밀도 DRAM(Dynamic Random Access Memory)의 제작에 대해서 낮은 누설전류, 낮은 결합밀도, 고장에 대한 긴 평균시간을 지닌 높은 믿음직한 초박막 유전체를 향상시키는 것이 필요하다. 비록 열적 성장 SiO<sub>2</sub> 박막은 비휘발성 메모리(EEPROM)과 DRAM캐패시터 유전체에 대하여 터널 절연체로 사용되어 지고 있지만 SiO<sub>2</sub> 박막은 5nm보다 더 얇은 박막으로 사용하기에는 적합하지 않다. [2] 바람직한 절연막은 균일성이 좋아야 하고 소자의 안정성을 유지하기 위해서 Hot-Carrier(이하 HC)주입에 대한 내구성이 요구된다.

과거 몇 년동안 MOS소자에 대하여 게이트 산화막의 질화에 대하여 작은 구조의 소자에서 순수 산화막을 사용할 때 신뢰성 문제점과 기술적

인 관점에서 광범위하게 연구되어 왔다. 질화는 불순물 확산에 대하여 순수 산화막의 장벽특성을 향상시키고, HC 스트레스와 이온방사노출에 대하여 내인성을 향상시키는 것으로 알려져있다. 하지만, 질화는 산화막내의 고정전하를 증가시키고, Si-SiO<sub>2</sub>의 계면에서 많은양의 전자트랩을 가지게 된다. 이 계면 전자트랩들은 산화막에서 수소와의 혼합으로 생기는 것으로 보고되어졌다.[3] 이러한 단점을 재산화를 통하여 계면 전자트랩 및 고정전하의 양을 줄일 수 있고, 질화 및 재산화는 조건(900°C, dry O<sub>2</sub>)에 따라 상당히 다른 경향을 보여준다.

본 연구에서는 산화막과 시간을 각각 달리한 질화산화막(NO)(2, 5, 10, 20분) 및 재산화 질화산화막(RNO)(5, 10, 20, 40분)을 게이트 유전체로 이용하는 MIS(Metal Insulator Semiconductor) 구조의 캐패시터를 제작하여, 이 소자의 게이트 전압인가에 따른 전류특성 및 게이트에 정전류(-8mA/cm<sup>2</sup>) 인가시의 게이트 전압이동, 표면전위에 따른 계면 트랩전하 밀도 변화, 게이트에 -1 μA 전류때의 전압을 측정하여 비교, 분석하였다.

## II. 소자제작

이 논문에서 사용한 소자들은 그림 1에 보여지는 다음 소자제작 공정 순서를 거친 것이다.

비저항이 3~5Ω·cm이고 (100)의 결정방향을 가진 p형 실리콘 웨이퍼에 필드 산화막층을 약 4000Å 정도 성장시키고, 게이트 산화막을 형성시키기 위해 창을 사진식각 작업으로 열어 70Å 두께의 게이트 산화막을 건식 산소 분위기에서 900°C, 13분 동안 성장시켰다. 그리고 질화와 재산화는 표 1의 조건에 따라 질화시 900°C, NH<sub>3</sub> 분위기에서, 재산화시에는 900°C, DryO<sub>2</sub> 분위기로 공정처리 하였다.

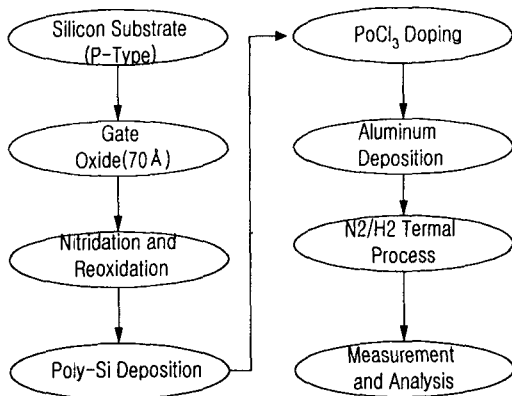


그림 1. 소자 제작 공정 순서  
Fig. 1 Process Sequence

표 1. 질화와 재산화 조건  
Table 1. Condition of Nitridation and Reoxidation

| 조건 구분  | 질화조건   | NO(10)에 대한 재산화 조건 |
|--------|--------|-------------------|
| NO(2)  | 2 min  | RNO(5) 5 min      |
| NO(5)  | 5 min  | RNO(10) 10 min    |
| NO(10) | 10 min | RNO(20) 20 min    |
| NO(12) | 12 min | RNO(40) 40 min    |

또한, 0.4μm 두께의 다결정 실리콘 게이트 전극은 LPCVD방법으로 실란(Silane)을 625°C에서 25분동안 도핑하여 형성하였다. 6.4×10<sup>-3</sup>mm<sup>2</sup>의 면적을 갖는 n<sup>+</sup> 폴리실리콘 게이트가 리소그라피 및 건식 식각 기술을 이용하여 패터를 형성하였다. 0.5μm 두께의 SiO<sub>2</sub>막을 화학기상증착 공정으로 웨이퍼 위에 증착되었고, 1000°C에서 30분간 질소(N<sub>2</sub>)분위기에서 열처리 되었다. 알루미늄 전극을 형성하기 위한 접착 창을 사진식각 작업으로 열

어 순수한 알루미늄을 증착한 다음 수소(H<sub>2</sub>)분위 기에서 450°C 30분간 열처리 하였다.

## III. 실험 및 결과 고찰

그림 2는 P형 기판의 게이트 전극에 (-)전압을 인가하면서 측정모드인 MOS 커패시터에서 측정하여 나타낸 것이다.

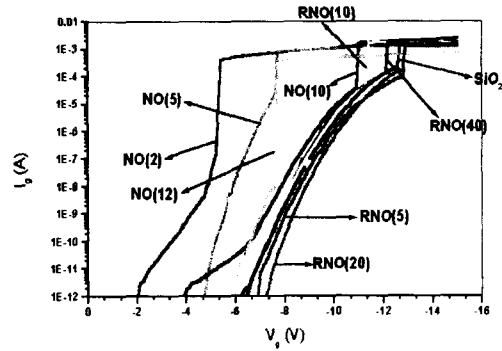


그림 2. SiO<sub>2</sub>, NO, RNO의 산화막을 가진 MOS의 Ig-Vg 특성곡선  
Fig 2. Ig-Vg characteristics of MOS with SiO<sub>2</sub>, NO, RNO

그림 2에 보여지는 바와 같이 질화는 표면영역에 질소를 넣으므로써 다결정 실리콘과 산화막 계면에서의 장벽높이를 감소시켜 Fowler - Nordheim 터널링(이하 FN) 전류를 증가시킨다고 보고되어 있다[3]. 그림에서 NO(2),NO(5)은 FN 전류가 증가하는데 NO(10)에서는 감소하는 경향을 나타낸다. 이는 질화과정에서 NH<sub>3</sub>가 열분해할 때 생성된 H, OH, NH등의 수소를 포함한 반응기들이 산화막 층내로 많이 침투하면서 전자의 트랩을 증가시키기 때문이다. 질화시간이 증가함에 따라 FN전류가 감소하는 것은 SiO<sub>2</sub>/Si 계면에 질소가 많아짐에 따라 Si-H결합(3.17eV)과 strained Si-O결합을 더 강한 Si-N결합(4.5eV)으로 대체함으로써 강화시켜 주기 때문인 것으로 해석할 수 있다. [4]

RNO(5),RNO(10),RNO(20),RNO(40)은 그림 2에 보여지는 바와 같이 질화시킨 것중에서 가장 특성이 좋은 NO(10)을 재산화하여 측정된 것으로, FN전류특성이 그림 2와 같이 많이 회복이 된 것을 알 수 있다. 이것은 질화를 시킨 NO(10)를 재산화 시키면 수소(H)원자가 밖으로 외확산(outdiffusion)되어 실제 재산화 질화 산화막에는 수소원자가 질화된 산화막보다 적은량을 포함하는 것으로 생각할 수 있다. 그림 2에 그려진 재산

화 질화 산화막 중에서 RNO(20)이 가장 좋은 특성을 지닌 것으로 나타난다. 그림 2를 보충하기 위한 그림 3(a)은 각 웨이퍼에서 각 소자를 여러 번 측정하여 FN 전류의 시작점과 산화막의 항복점을 평균하여 나타내었다. 여기서, 산화막의 항복점은 그림 2에서 각 소자에 인가한 전압에 대해 전류가 갑자기 많이 흐르는 점(수  $\mu\text{A}$ 에서 수백 mA)을 산화막의 항복점이라 설정하였고, 측정치의 오차를 줄이기 위하여 1pA이하의 전류를 잡음으로 설정하고, 1pA에서 수 pA로 흐르는 점을 FN전류의 시작점이라 설정하였다.

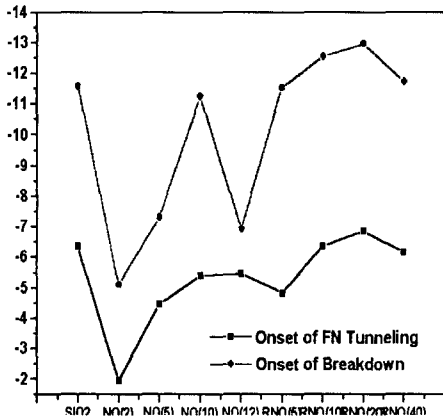


그림 3. 각 산화막의 산화막 항복점과 FN전류 시작점의 평균치  
Fig 3. Average of onset of breakdown and FN tunneling in each MOS oxide device

그림 2, 3에서 질화시간이 긴 NO(12)와 재산화시간이 긴 RNO(40)은 다시 특성이 나쁘게 나타난다. NO(12)는 시간이 길어짐에 따라 질화가 심화되고, Si/SiO<sub>2</sub> 계면에 Si-Nx-Oy 형태의 복잡한 구조에 의한 결합과, 산화막 표면에 질소(N)가 형성되면서 접합부분에 균일성이 낮아지면서 FN 전류가 다시 증가하는 것으로 생각된다. 또한 재산화시간이 길어지면서 Si/SiO<sub>2</sub> 계면에 산화막의 두께가 커짐에 따라서 균일성이 나빠짐으로 인하여 FN 전류가 다시 증가하는 것으로 생각할 수 있다.

질화와 재산화의 특성이 좋은 몇 소자와 기존 열산화막을 게이트 전극에 음의 정전류(-8mA/cm<sup>2</sup>) 스트레스를 인가한 후 정전류에 따른 게이트 전압의 변화량( $\Delta V_g$ )을 측정하였다. 이 측정을 하는 목적은 게이트 전극으로부터 음의 정전류(전자)를 일정하게 주입하였을 때, 게이트 전극의 전압이 변화하면서 동시에 전자트랩에 관해 측정할 수 있기 때문이다.

그림 4에 보여지는 바와 같이  $|V_g|$ 의 감소는 음의 정전류 스트레스 동안에 산화막내에 양전하가 생성되었다는 것을 의미하고,  $|V_g|$ 의 증가는 음전하의 생성을 나타낸다. 그림에서 알 수 있듯

이 질화에 의해 음전하가 많이 생성됨을 알 수 있다. 이는 상당한 전자 트랩이 일어났음을 나타낸다. NH<sub>3</sub>분위기에서 질화를 하면 질소가 기존의 열산화막으로 확산되어 들어갈 때, 수소가 부분적으로 산화막에 포함된다. 이 산화막 내의 수소가 전자의 트랩으로 작용한다. 이런 음전하에 의하여 유전체내에서 국부적으로 전계가 증가하게 되어 다른 전자의 트랩핑을 유도하게 되므로 결국 이런 현상들이 반복되는 정제환 메커니즘에 의하여 유전체는 국부적인 항복특성을 나타내게 된다.

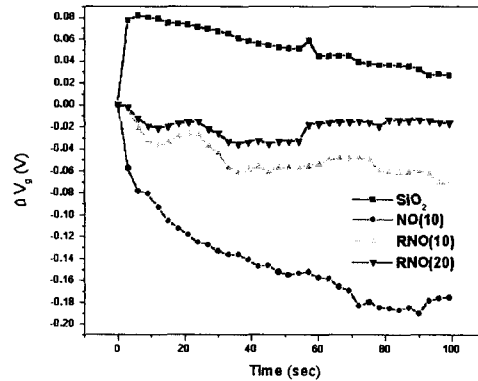


그림 4. 정전류(-8mA/cm<sup>2</sup>) 스트레스 동안 스트레스 시간의 함수로서 게이트 전압의 이동( $\Delta V_g$ )  
Fig 4. Gate voltage shift( $\Delta V_g$ ) as a function of stress time under constant current stress

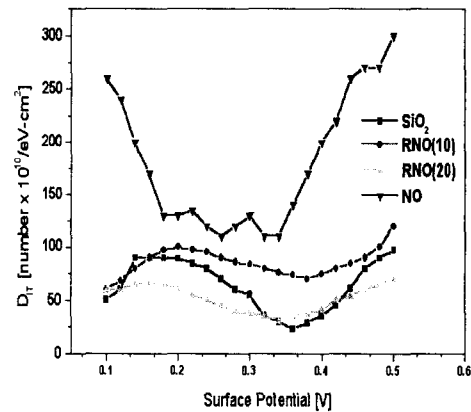


그림 5. 표면전위에서 계면 트랩밀도 분포  
Fig 5. Interface trap density distribution in surface voltage

이러한 전자의 트래핑이 재산화에 의해 상당히 감소함을 보이고 있다. 그림 4에서 질화산화막

NO(10)이 Vg변화량이 가장 심하며, RNO(20) 산화막이 가장 적은 것으로 나타난다. 이 현상은 질화산화막내의 수소(H<sub>2</sub>)에 의한 전자트랩으로 설명되며, 재산화 질화산화막 RNO(20)은 재산화에 의해 수소를 outdiffusion시켜 수소에 의한 전자트랩이 많이 줄어든 결과이다. 이 결과는 그림 5에 나타나는 산화막의 계면트랩밀도에 영향을 미친다. 표전면위에서의 계면 트랩밀도는 그림 5에 나타나는 바와 같이 재산화 질화산화막(RNO(20))이 가장 적게 나타나며, 질화산화막(NO(10))이 가장 많은량을 나타낸다. 질화산화막은 수소에 의한 전자의 트랩으로 Si/SiO<sub>2</sub> 계면에 트랩된 전자가 많이 존재하는 것으로 생각된다. 반면에, 재산화 질화산화막은 재산화에 의해 Si/SiO<sub>2</sub> 계면에 전자트랩이 많이 줄어든다.

[4] J. Ahn, et al, "Electrical properties of ultrathin MOS gate dielectrics fabricated by furnace oxidation of Si in N<sub>2</sub>O ambient" presented at 33rd Electronic Materials Conference, Colorado, 1991.

#### IV 결 론

본 논문에서 70Å의 기존 열 산화막을 전기적 특성을 향상시키기 위해 질화 및 재산화 질화산화막의 전기적 특성을 비교·분석한 결과는 다음과 같다.

산화막의 전류-전압특성과 항복특성이 질화 및 재산화 조건에 상당히 의존적이다. 이에 최적의 조건을 찾는 것이 요구되는데, 본 논문에서는 질화시간을 10분으로 한 NO(10)이 가장 최적의 질화 산화막이었으며, 이 NO(10)을 다시 재산화시켰을 때, 최적의 시간은 20분으로 한 RNO(20)이었다. 기존 열 산화막을 질화시킨 질화산화막은 계면 트랩밀도, 게이트 전압이동, 게이트 항복전압에서 상당히 열화되었으나, 이를 재산화 한 결과 열화가 복원되었다. 특히, 재산화 질화산화막은 항복전압 및 계면 트랩밀도부분에서는 기존의 열산화막 보다 많은 향상이 나타난다.

#### V. 참고문헌

- [1] Li-shuenn Wang and Mou-shiung Lin "Quantitative Study of Charge-to-Breakdown of Thin Gate Oxide for a P<sup>+</sup>-Poly-Si Metal Oxide Semiconductor Capacitor" J. Electrochem. Soc., Vol. 144, No 2, February 1997.
- [2] M.K Mazumer et al "Effects of the oxidation process on the electrical characteristics of oxidized nitride films" Applied Physics Letter 69(8), 19 August 1996.
- [3] Aniruddha B. Joshi, et al "Effect of Rapid Thermal Reoxidation on the Electrical Properties of Rapid Thermally Nitrided Thin-Gate Oxides" IEEE trans. Electron Devices, vol. 39, pp. 883-892 1992.