

다결정 실리콘 박막 트랜지스터의 온도 의존성

이정석^{*} · 이용재^{*}

^{*}동의대학교

Temperature-Dependence of Poly-Si Thin Film Transistors

Jung-Suk Lee^{*} · Yong-Jae Lee^{**}

^{*}Dong Eui University

E-mail : jsl@hyomin.doneui.ac.kr

요 약

고상결정화(SPC)로 제작된 다결정 박막의 전기적 특성 변화를 측정함으로써 다결정 박막 트랜지스터(poly-Si TFT's)에 대한 온도 변화 (25~125°C)의 영향을 연구하였다. 채널 길이가 각각 1.5, 10 μm 인 SPC로 제작된 n-채널 poly-Si TFT는 온도 변화에도 불구하고 높은 전계 효과 이동도 (μ_{FE} : 1.5와 10 μm 에서 각각 ≥ 82 and $\geq 60 \text{cm}^2/\text{V}\cdot\text{s}$), 낮은 문턱전압 (V_{th} : 1.5와 10 μm 에서 각각 ≤ 1.52 and $\leq 2.75\text{V}$), 낮은 Subthreshold swing (S_n), 그리고 양호한 ON-OFF 특성이 나타났다. 따라서, SPC로 제작된 poly-Si TFT는 액정표시장치의 주변회로에 적용할 수 있다.

ABSTRACT

The influence of temperature variation (25~125°C) on poly-Si thin-film transistors (TFT's) was investigated by examining the electrical properties change of poly-Si films formed by solid phase crystallization (SPC). The n-channel poly-Si TFT's fabricated by SPC with channel length of 1.5 and 10 μm , respectively, exhibit good characteristics with a high μ_{FE} (≥ 82 and $\geq 60 \text{cm}^2/\text{V}\cdot\text{s}$ in 1.5 and 10 μm , respectively), low V_t (≤ 1.52 and $\leq 2.75\text{V}$ in 1.5 and 10 μm , respectively), low S_n , and good ON-OFF characteristics in spite of temperature variation. Thus, poly-Si films formed by SPC can be applied for the application to poly-Si TFT liquid crystal display with peripheral integrated circuits.

1. 서 론

최근, 정보통신 시대를 맞이하여 인간과 컴퓨터기기와의 인터페이스로서 정보전달의 역할을 담당하는 정보디스플레이소자는 매우 중요한 위치를 차지하게 되었다. 정보디스플레이소자 중에서도 박막 트랜지스터 액정 디스플레이(TFT-LCD)가 많이 사용되고 있지만 고밀도, 대면적화에 있어서는 아직도 많은 문제가 있다. TFT-LCD가 고밀도, 대면적화 되고 디스플레이 부분과 구동회로부분을 동일 기판 위에 제작하기 위해서 TFT의 이동도의 증가가 절실히 요구되고 있지만 현재 양산되고 있는 비정질 실리콘 박막 트랜지스터(a-Si:H TFT)로는 이점을 만족하기가 어렵다. 최근에 이런 문제점을 효과적으로 해결할 수 있는 방법으로 저온 다결정 실리콘 박막 트랜지스터(poly-Si TFT)가 많은 주목을 받고 있다.^[1] 저온 poly-Si TFT는 이동도가 크기 때문에 유리

기판 위에 주변회로를 집적할 수 있는 장점이 있어서 생산비용 저감 측면에서도 많은 관심을 끌고 있다. 그러나, Poly-Si TFT는 내부에 존재하는 grain 때문에 단결정 MOSFET보다 동작이 복잡하고 그 동작 메카니즘에 관하여 아직 완전하게 이해되지 않고 있다. 특히, 고성능이고 높은 신뢰성을 가지는 전기적 특성을 얻기 위한 연구는 아직 미흡한 상태이다.

따라서 본 연구에서는 저온($\leq 600^\circ\text{C}$)공정의 고상결정화(SPC)를 통하여 다결정 박막 트랜지스터를 제작하였고 On-Off 전류, 전계 효과 이동도(μ_{FE}), subthreshold swing, 그리고 여기에너지와 같은 전기적 특성을 측정하였다. 특히, 전기적 특성의 외부온도(25~125°C) 의존성에 대해서 실험하였다. 이 결과로부터 온도 변화에 따른 전기적 특성 변화를 분석하여 외부온도가 전기적 특성변화에 미치는 영향을 규명하고자 한다.

II. 소자 제작

그림 1은 유리기판에 저온 공정 기술($\leq 600\text{Å}$)로 제작된 poly-Si TFT의 단면도이다. TFT구조는 Top 게이트 형태의 구조이다. 먼저 SiO_2 의 기초 산화막을 APCVD(Atmospheric Pressure Chemical Deposition)법으로 유리기판 위에 증착한 다음, 1000Å 의 채널 박막은 450°C 에서 Si_2H_6 를 이용하여 LPCVD(Low Pressure CVD)방법으로 증착하였다. 이 채널 막은 450°C 에서 비정질 상태로 증착되기 때문에 600°C 의 N_2 분위기에서 10h동안 어닐링하였다. 어닐링 후에 채널 막이 $1\mu\text{m}$ 의 평균 grain size를 가지고 채널 두께에 걸쳐 완전히 결정화되었음을 TEM 관측으로 확인하였다. 게이트 $\text{SiO}_2(1000\text{Å})$ 와 게이트 폴리실리콘막(1000Å)은 550°C 에서 각각 LPCVD로 증착하였다. 게이트 패턴을 형성한 후에 소오스와 드레인, 게이트를 형성하기 위하여 100KeV 의 에너지로 $5 \times 10^{15}\text{cm}^{-2}$ 의 인을 이온 주입하였다. 그런다음, PSG(Phosphorus silicate glass)을 증착한 후에 앞에서 주입된 이온을 여기시키기 위해서 600°C , N_2 분위기에서 열적 어닐링을 행하였다. 전극을 형성하기 위한 접촉 창을 사진 식각으로 열어 알루미늄을 증착하였다. 특히, 알루미늄을 증착하기 전에 전극의 접촉저항을 줄이기 위해 텅스텐 실리사이드 (WSi_2)를 형성하였다. 또한, 소자 성능을 향상시키기 위하여 접촉 창을 열기 전에 순수한 수소 플라즈마($1.3\text{W}/\text{cm}^2$)에서 350°C , 30분간 수소화 공정을 행하였다. 측정된 소자의 채널 폭은 $5\mu\text{m}$ 이고 채널 길이는 각각 $1.5\mu\text{m}$ 와 $10\mu\text{m}$ 이다.

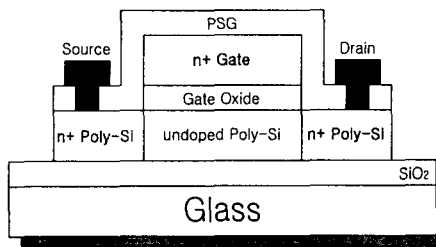


그림 1 유리기판 위에 제작된 n-채널 poly-Si TFT의 단면도.

Fig. 1 Cross-sectional view of an n-channel poly-Si TFT on glass substrates.

III. 실험 및 결과 고찰

SPC로 제작된 다결정 박막 트랜지스터의 전류-전압 특성에 대한 외부 온도의 영향의 분석 결과는 다음과 같다.

그림 2는 게이트 전압이 10V 일 때, 채널 길이가 $10\mu\text{m}$ 에서 온도 변화에 따른 출력 특성(I_d - V_d)의

변화를 나타낸다. 그림에서 알 수 있듯이 온도가 올라감에 따라 드레인 전류가 감소한다. 이는 온도가 올라감에 따라 이동도가 감소하기 때문이다. 또한, 낮은 드레인 전압에서 텅스텐 실리사이드 (WSi_2)에 의한 낮은 저항으로 전류 crowding 효과는 나타나지 않았다. Poly-Si에 접촉해 있는 텅스텐 실리사이드의 면저항은 $\sim 20\Omega/\text{square}$ 이다.

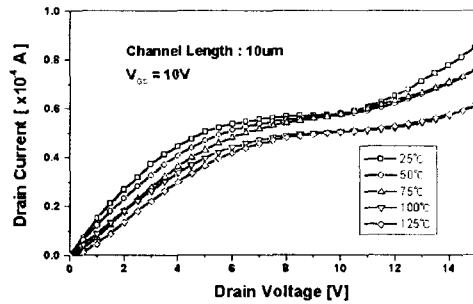
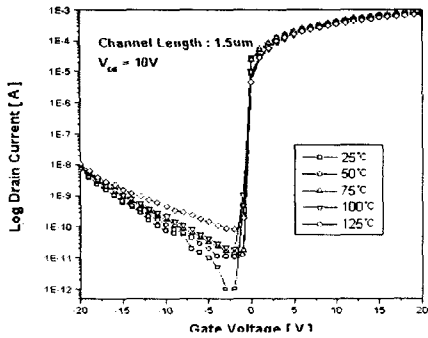


그림 2 $V_g=10\text{V}$ 에서 poly-Si TFT의 온도 변화에 따른 출력 특성의 변화($W=5\mu\text{m}$, $L=10\mu\text{m}$).

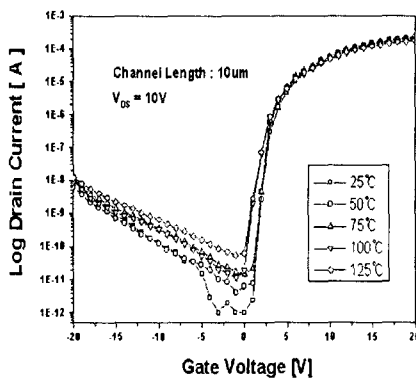
Fig.2 Temperature dependence of the Output characteristics of the poly-Si TFT ($W=5\mu\text{m}$, $L=10\mu\text{m}$).

그림 3은 V_d 가 10V 일 때, 채널길이가 1.5 와 $10\mu\text{m}$ 인 poly-Si TFT의 전달 특성의 온도 의존성을 나타내고 있다. 전달 특성의 온도 의존성은 열적 생성 영역과 부임계 영역, 그리고 ON 영역의 세 부분으로 나누어진다. 열적 생성 영역에서는 캐리어의 열적 생성에 의해 온도가 증가함에 따라 드레인 전류가 증가한다. 부임계 영역에서의 드레인 전류는 진성 Fermi-level과 band tail 상태의 밀부분 사이에 존재하는 의사 Fermi-level 때문에 온도와 함께 증가한다. 마지막으로 ON 상태에서, 외부 온도는 드레인 전류에 큰 영향을 미치지 않는다. 그 이유는 양호한 다결정 실리콘에서는 전형적으로 tail 상태 밀도가 낮기 때문이다. 따라서, ON 상태에서 드레인 전류의 채널 여기에너지는 band tail 상태의 폭과 같다.^[2]

그림 4는 poly-Si TFT의 채널 활성화에너지 (channel activation energy, E_a)를 나타낸 그림으로 그림 3으로부터 구해진다. ON-상태 전류 영역에서 여기에너지 값은 grain 경계에서의 전위장벽 높이를 나타내고, OFF-상태 전류 영역에서 최소 누설전류의 여기에너지는 대략적으로 실리콘 대역 간극에너지의 반이 된다. $10\mu\text{m}$ 의 채널 활성화에너지는 $V_g=-4\text{V}$ 에서 거의 0.49eV 이고 $1.5\mu\text{m}$ 에서는 0.35eV 였다. E_a 가 감소할 때 트랩으로부터의 캐리어 생성율은 증가한다.^[3] 채널 길이가 감소할 때 E_a 가 감소하는데 이것은 결국 채널 길이가 감소하면, 누설전류가 증가를 의미한다.



(a)



(b)

그림 3 $V_d=10V$ 에서 poly-Si TFT의 온도 변화에 따른 전달 특성의 변화($W=5\mu m$)

(a) $L=1.5\mu m$ (b) $L=10\mu m$.

Fig.3 Temperature dependence of the transfer characteristics of the poly-Si TFT.

(a) $L=1.5\mu m$ (b) $L=10\mu m$.

또한, E_a 는 V_g 가 증가함에 따라 0.02eV로 감소하는데, 이것은 작은 grain 경계 상태 밀도로 인하여 Fermi level이 전도대(conduction band) 바로 아래에 존재함을 의미한다.

온도는 문턱전압(threshold voltage, V_t), 전계효과 이동도(field-effect mobility, μ_{FE}), Subthreshold 특성과 같은 소자 파라미터와 성능에 영향을 주기 때문에, 각각 온도가 변화함에 따른 $1.5\mu m$ 와 $10\mu m$ 소자의 V_t , μ_{FE} , Subthreshold swing, S_i 특성의 변화를 그림 5에 나타내었다. 여기에서 문턱전압과 전계효과 이동도는 $V_d=1V$ 에서의 전달 특성으로부터 구한 전달컨덕턴스 (transconductance g_m)의 선형영역으로부터 구하였다. 즉, 전달 컨덕턴스는 다음과 같이 정의된다.^[4]

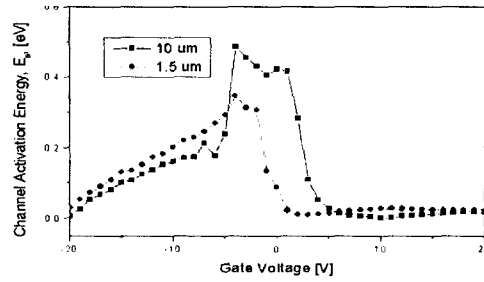
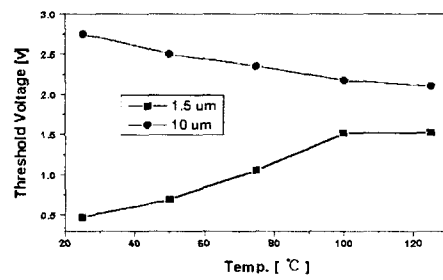
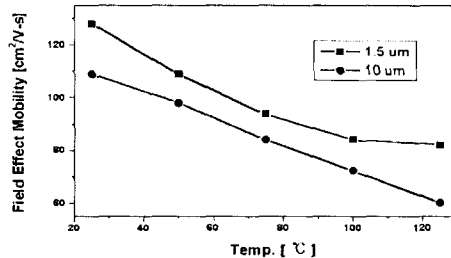


그림 4 $1.5\mu m$ 와 $10\mu m$ n-채널 poly-Si TFT의 채널 활성화에너지

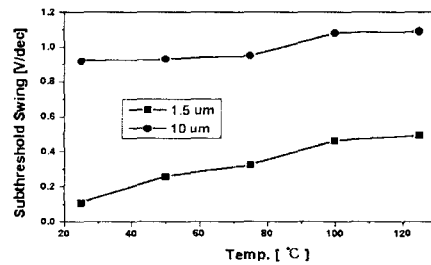
Fig. 4 Activation energy of 1.5 and $10\mu m$ n-channel poly-Si TFT's



(a)



(b)



(c)

그림 5 (a) 문턱전압(V_t) (b) 전계효과 이동도(μ_{FE}) (c) Subthreshold swing(S_i)의 온도 변화의 영향

Fig.5 Effect of Temperature variation on (a) Threshold vottage, V_t (b) Field effect mobility, μ_{FE} (c) Subthreshold swing, S_i

$$g_m = \left. \frac{\partial I_D}{\partial V_g} \right|_{V_{DS}=\text{constant}} \quad \text{----- (1)}$$

식 (1)로부터 전계 효과 이동도, μ_{FE} 는

$$\mu_{FE} = \frac{L g_m}{W C_{ox} V_{DS}} \quad \text{----- (2)}$$

또한, Subthreshold swing, S_t 은 $V_d=10V$ 에서의 전달 특성으로부터 다음 식에 의해 구해진다.^[5]

$$S_t = \ln 10 \left(\frac{dI_D}{dV_G} \right)^{-1} = 2.3 \left(\frac{kT}{q} \right) \left(1 + \frac{C_d}{C_{ox}} \right) \quad \text{----- (3)}$$

그림 5 (a)에서 채널 길이에 따라 문턱전압이 다른 특성을 보이고 있는데, 이는 undoped poly-Si 층의 트랩 밀도가 채널길이에 따라 다른 영향을 주는 것으로 판단된다. 따라서 이에 대한 추가적인 연구가 요구된다. 전계 효과 이동도와 Subthreshold 특성에서는 전체적으로 온도가 올라감에 따라 특성이 열화됨을 보이고 있다. 이동도의 열화현상은 온도 상승에 따른 격자진동의 증가로 설명될 수 있으며, Subthreshold 특성은 식 (3)에서 나타나 있는 것과 같이 온도에 비례하게 된다. 또한 전체적으로 채널길이가 $1.5 \mu m$ 인 소자의 특성이 $10 \mu m$ 소자보다 우수함을 알 수 있는데, 이는 grain 크기가 $1 \mu m$ 이므로 $1.5 \mu m$ 소자에서는 단결정 소자에 가깝게 되기 때문이다.

Poly-Si TFT의 각 소자는 온도 변화에도 불구하고 높은 전계 효과 이동도 (μ_{FE} : 1.5와 $10 \mu m$ 에서 각각 ≥ 82 와 $\geq 60 \text{ cm}^2/\text{V}\cdot\text{s}$), 낮은 문턱전압 (V_{th} : 1.5와 $10 \mu m$ 에서 각각 ≤ 1.52 와 $\leq 2.75V$), 그리고 낮은 Subthreshold swing (S_t : 1.5와 $10 \mu m$ 에서 각각 ≤ 0.492 와 ≥ 1.09 V/decade)을 갖는다.

V. 결 론

이상의 실험에서 고상 결정화로 성장시킨 poly-Si TFT에 대한 온도영향의 결과는 다음과 같다.

온도 변화에 따른 출력 특성에서 온도가 올라감에 따라 드레인 전류가 감소하는 이유는 그림 5 (b)에서와 같이 온도가 올라감에 따라 이동도가 감소하기 때문이다. 또한, 낮은 드레인 전압에서 텅스텐 실리사이트(WSi_2)에 의한 낮은 접촉 저항으로 전류 crowding 효과는 나타나지 않았다.

온도 변화에 따른 전달 특성에서 온도가 올라감에 따라 누설전류는 증가하는 반면에 ON 전류는 거의 변화가 없었다. 따라서 최대 ON/OFF 전류 비율은 온도에 따라서 감소하게 된다. 125°C 에서 최대 ON/OFF 전류 비율은 1.5와 $10 \mu m$ 에서 각각 8.7×10^6 과 3.42×10^6 로 양호하였다. 또한, 각 소자는 온도 변화($25 \sim 125^\circ\text{C}$)에도 불구하고 높은

전계 효과 이동도 (μ_{FE} : 1.5와 $10 \mu m$ 에서 각각 ≥ 82 와 $\geq 60 \text{ cm}^2/\text{V}\cdot\text{s}$), 낮은 문턱전압 (V_{th} : 1.5와 $10 \mu m$ 에서 각각 ≤ 1.52 와 $\leq 2.75V$), 그리고 낮은 Subthreshold swing (S_t : 1.5와 $10 \mu m$ 에서 각각 ≤ 0.492 와 ≥ 1.09 V/decade)을 갖는다.

따라서, 고상결정화로 제작된 n-채널 poly-Si TFT는 액정표시장치의 주변회로 및 화소의 스위칭 소자에 모두 적용할 수 있어 박막 트랜지스터 액정 디스플레이(TFT-LCD)의 주변회로를 화소의 스위칭 소자와 동시에 유리기판 위에 제작이 가능한 것으로 생각된다.

참고문헌

- [1] 장진, "저온 다결정 실리콘 박막 트랜지스터 개발 동향" 전기전자재료 학술지 제 12권 제2호, pp.1~6, 1999.
- [2] C.H. Kim, K.S. Sohn and J. Jang, "Temperature dependent leakage currents in polycrystalline silicon thin film transistors," J. Appl. Phys., Vol. 81, No. 12, 8084 (1997).
- [3] K. R. Olasupo, M. K. Hatalis, "Leakage Current Mechanism in Sub-Micron Polysilicon Thin-Film Transistors", IEEE Trans. on Electron Devices, vol 43, NO.8 pp 1218, 1996.
- [4] D. K. Schroder, "SEMICONDUCTOR MATERIAL AND DEVICE CHARACTERIZATION", John Wiley & Sons, Inc., pp. 230, 1990.
- [5] S. Wolf, "Silicon Processing", Lattice Press, pp. 196, 1995.