

전송선로를 가진 카오스 회로에서의 카오스 동기화

배영철

여수대학교

Chaos Synchronization of Chaos Circuit with Transmission Line

Young-chul Bae

Nat'l Yosu University

E-mail : ycbae@yosu.yosu.ac.kr

요 약

Pecora와 Carroll[10]이 제시한 구동 동기 이론을 적용하여 전송선로를 가진 Canonical Chua 회로에서 카오스 동기화가 이루어짐을 확인하였다. Pecora와 Carroll[10]이 제시한 구동 동기 이론은 동기될 한쌍의 카오스 회로를 구동 응답 시스템이라 하면 구동 시스템의 상태 변수 중 몇 개의 상태 변수만을 응답 시스템으로 전송하면 전송된 몇 개의 상태 변수들에 의해 전송되지 않은 나머지 상태 변수들을 가지고 응답 시스템에 나타나게 하여 동기를 이루는 방법으로 이때 응답 시스템 회로에는 불필요한 부분이 존재한다.

본 논문에서는 이 불필요한 부분을 제거하고 이를 전송 선로로 치환하여 Chua 회로의 구동부와 응답부 사이에 놓아 전송선로를 구성하여 카오스 동기화가 이루어짐을 시계열 데이터와 위상 공간으로 확인하였으며 이 결과를 이용하여 카오스 암호화 통신에 이용할 수 있을 것으로 보인다.

ABSTRACT

A number of recent paper have investigated the feasibility of synchronizing chaotic system. In this paper we proposed the chaotic synchronization of the canonical Chua's circuit with RLCG transmission line by drive-response system. We expected that to be available to apply this secure communication with RLCG transmission line.

1. 서 론

최근에 카오스 현상에 대한 관심이 물리학, 화학, 생물학, 공학 등에서 높아지고 있으며 이에 대한 응용이 활발하게 진행되고 있다 [1-3]. 간단한 전기 및 전자 회로를 구성하여 카오스 현상이 존재함을 증명하는 논문도 발표되고 있으며 [4-5] 이를 대표하는 것으로 Chua 회로를 들 수 있다 [6-9]. Chua 회로는 다양한 카오스 현상을 관찰할 수 있을 뿐만 아니라 카오스 동기화, 카오스 제어, 암호 통신 등에 이용할 수 있다.

카오스 신호는 점근적으로 안정하지 않기 때문에 임의의 초기점에서 근접하게 시작한 궤적은 시간이 지남에 따라 지수적으로 멀어지는 초기 조건에 민감한 특성을 가지고 있기 때문에 카오스 시스템은 동기화가 어려울 것으로 생각하고 있다. Chua 회로를 이용하여 카오스 동기화를 구현하고자 하는 노력이 계속되고 있으며 몇몇 관심있는 발표도 나오고 있다 [10-12]. Chua와 Itoh [12]는 결합동기 이론과 구동동기 이론을 적용하여 Chua 회로의 동기화를 이루었고 Pecora와 Carroll [10]은 Lorentz 시스템에서의 동기화 방법

을 제시하였다.

본 논문에서는 Chua 회로를 일반화한 Canonical Chua 회로에서 Pecora와 Carroll[10]이 제시한 구동 동기 이론을 적용하여 불필요한 회로를 없애 전송선로를 구성한 후 카오스 동기화 방법을 제안하였다.

II. Chua 회로와 Canonical Chua 회로

Chua 회로는 매우 단순한 자율, 3차계 시스템으로 Reciprocal이며 1개의 비선형 소자인 3 구분 선형 저항 (3 segment piecewise - linear resistor) 과 4개의 선형 소자인 (R, L, C_1, C_2)로 구성되는 발진회로다.

Chua 회로의 카오스 어트랙터는 Matsumoto [6]가 컴퓨터 시뮬레이션으로 처음 제시하였으며 이후 실험에 의한 Chua 회로의 카오스 어트랙터를 증명한 연구[9]도 있었다.

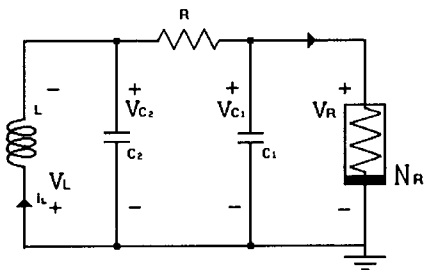
Matsumoto에 의해 제안된 Chua 회로[6]를 그림 1(a)에 나타냈으며 상태방정식은 다음과 같이 표시할 수 있다.

$$C_1 \frac{dv_{C_1}}{dt} = G (v_{C_2} - v_{C_1}) - g(v_{C_1})$$

$$C_2 \frac{dv_{C_2}}{dt} = G (v_{C_1} - v_{C_2}) + i_L \quad (1)$$

$$L \frac{di_L}{dt} = -v_{C_2}$$

여기서 $G = 1/R, g(\cdot)$ 는 식 (2) 와 같이 표현되는 구분 선형 함수(piecewise-linear function)이며 그림 1(b)에 나타내었다.

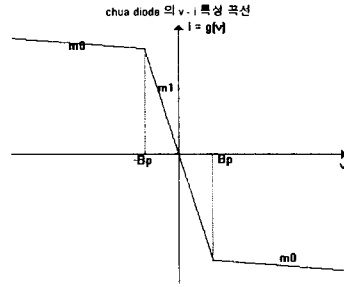


(a) Chua 회로

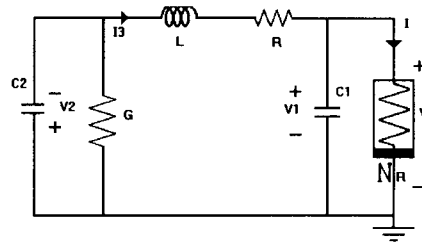
(b) 구분 선형 함수

그림 1. Chua 회로와 구분 선형 함수

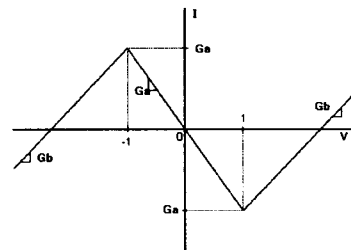
Canonical Chua 회로는 Chua 회로를 일반화하기



위해 구성한 회로로 그림 2와같이 나타낼 수 있다.



(a) Canonical Chua 회로



(b)구분 선형 함수

그림 2. Canonical Chua 회로와 구분 선형 함수

그림2(a)의 Canonical Chua 회로의 상태 방정식은 다음과 같다.

$$\frac{dv_1}{dt} = \frac{1}{C_1} [-f(v_1) + i_3]$$

$$\frac{dv_2}{dt} = \frac{1}{C_2} [-Gv_2 + i_3] \quad (2)$$

$$\frac{di_3}{dt} = -\frac{1}{L} [v_1 + v_2 + Ri_3]$$

여기서

$$f(v) = G_b v + \frac{1}{2}(G_a - G_b)(|v+1| - |v-1|)$$

이다.

III. 구동 동기 이론[10]

Pecora와 Carroll[10]에 의해 제시된 구동 동기 이론은 다음과 같다
식(3)과 같은 자율 n차원 동력학 시스템을 고려하자.

$$\frac{du}{dt} = F(u) \quad (3)$$

이 시스템을 두 개의 부시스템 ($u = (v, w)$)로 나누면 식(4)와 같이 정리할 수 있다.

$$\frac{dv}{dt} = G(v, w), \quad \frac{dw}{dt} = H(v, w) \quad (4)$$

여기서

$$v = (u_1, \dots, u_m), \quad G = (F_1, \dots, F_m),$$

$$w = (u_{m+1}, \dots, u_n), \quad H = (F_{m+1}, \dots, F_n)$$

이다.

다음에 w 부시스템과 동일한 새로운 부시스템 w' 를 만들면 $(2n-m)$ 차원 시스템으로 다음식과 같이 나타낼 수 있다.

$$\frac{dv}{dt} = G(v, w), \quad \frac{dw}{dt} = H(v, w),$$

$$\frac{dw'}{dt} = H(v, w') \quad (5)$$

이때 $v-w$ 시스템을 구동 시스템(drive system), w' 부시스템을 응답 시스템(response system)이라 한다. 만약 $w'(t)$ 가 $w(t)$ 에 점근적으로 수렴하게 된다면 동기화가 되었다고 말한다. 즉 구동 동기 이론은 구동 시스템 상태 변수 중 몇 개의 상태 변수만을 응답 시스템으로 전송하면 전송된 몇 개의 상태 변수들에 의해 전송되지 않은 나머지 상태 변수들을 가지고 응답 시스템에 나타나게 하여 동기를 이루는 방법이다. 구동 동기 이론에 의한 동기화 결과는 응답 시스템의 CLE(Conditional Lyapunov exponent)가 모두 음수일 때 동기화가 이루어진 것으로 본다.

부시스템이 선형일 때 CLE는 difference system을 이용하여 식(6)을 계산한 다음 식(7)을 계산한다.

$$\zeta(t) = \dot{\omega}(t) - \dot{\omega}'(t) = h(v, w) - h(v, w') \quad (6)$$

$$\zeta(t) = \omega(t) - \omega'(t) \quad (7)$$

이때 부시스템이 선형이라면 식(7)은 식(8)과 같이 놓을 수 있다.

$$\dot{\zeta}(t) = A\zeta(t) \quad (8)$$

여기서 A 는 $(n-m) \times (n-m)$ 상수 행렬이다.

A 의 고유값을 $(\lambda_1, \lambda_2, \dots, \lambda_{n-m})$ 이라 할 때 이들 고유값의 실수부가 CLE가 된다.

이때 CLE의 모든 값이 음수이면 $\lim_{t \rightarrow \infty} \zeta(t) = 0$ 되어 부시스템은 동기화, CLE가 양수이면 부시스템은 동기화 되지 않음을, CLE가 0이라면 수렴도 발산도 하고 초기 조건에 의한 일정거리를 유지함을 나타내기 때문에 CLE 값으로 동기화를 판정할 수 있다.

IV. Canonical Chua 회로의 구동 동기 회로

Chua[12] 등은 Pecora와 Carroll[10]에 의해 제시된 구동 동기 이론을 Chua 회로에 적용하였으나 본 논문에서는 전송선로의 치환이 용이한 Canonical Chua에 구동 동기 이론을 적용하였으며 파라미터 값을 식(9)과 같이 정하였다.

$$C_1 = 1,$$

$$C_2 = -0.632, \quad G = -0.0033, \quad L = -1.02,$$

$$G_a = -0.419, \quad G_b = 0.839, \quad R_0 = -0.33 \quad (9)$$

그림 3에 Canonical Chua 회로의 V_1 구동 동기 회로를 나타내었으며 상태방정식은 식(10),(11)과 같이 정리된다.

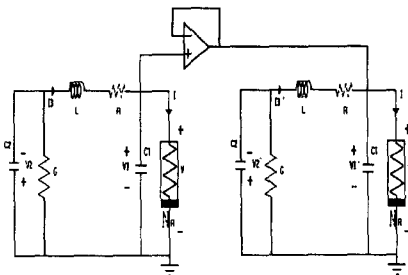


그림 3. Canonical Chua 회로의 V_1 구동 동기화 회로

$$\frac{dv_1}{dt} = \frac{1}{C_1} [-f(v_1) + i_3]$$

$$\frac{dv_2}{dt} = \frac{1}{C_2} [-Gv_2 + i_3] \quad (10)$$

$$\frac{di_3}{dt} = -\frac{1}{L}[v_1 + v_2 + Ri_3]$$

$$\frac{dv_2'}{dt} = \frac{1}{C_2}[-G(v_2') + i_3']$$

$$\frac{di_3'}{dt} = -\frac{1}{L}[v_1' + v_2' + Ri_3'] \quad (11)$$

Canonical Chua 회로의 V_1 구동 회로는 부시스템이 선형이므로 CLE를 계산하기 위해서 다음과 같은 difference system을 정의하였다.

$$p = v_{c_2} - v_{c_2}' \quad , \quad q = i_L - i_L' \quad (12)$$

(12)식을 이용하여 상태 방정식을 세우면 식(13)와 같고 (13)을 정리하면 식(14)와 같다.

$$\begin{aligned} C_2 \frac{dp}{dt} &= -Gp + q \\ L \frac{dq}{dt} &= -p - R_0q \end{aligned} \quad (13)$$

$$\begin{bmatrix} \dot{p} \\ \dot{q} \end{bmatrix} = \begin{bmatrix} -\frac{G}{C_2} & \frac{1}{C_2} \\ -\frac{1}{L} & -\frac{R_0}{L} \end{bmatrix} \begin{bmatrix} p \\ q \end{bmatrix} \quad (14)$$

식(14)의 고유값의 실수부가 CLE 이므로 식(14)의 고유값을 다음과 같이 구한다.

$$\begin{aligned} |\lambda I - A| &= \begin{vmatrix} \lambda + \frac{G}{C_2} & -\frac{1}{C_2} \\ \frac{1}{L} & \lambda + \frac{R_0}{L} \end{vmatrix} \\ &= \lambda^2 + \left(\frac{LG + C_2R_0}{LC_2}\right)\lambda + \frac{1 + GR_0}{LC_0} = 0 \end{aligned} \quad (15)$$

식(15)를 풀면

$$\lambda = \frac{-(LG + C_2R_0) \pm \sqrt{G^2L^2 + R_0^2C_2^2 - 2LC_2(GR_0 + 2)}}{2LC_2} \quad (16)$$

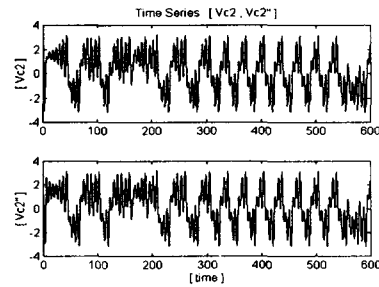
식(16)에 식(9)의 파라미터 값을 대입하면

$\lambda = -0.1644 \pm j1.2353$ 의 값이 계산된다. 이 고유값을 이용하면 다음과 같은 동기화 관련 식으로 정리 할 수 있다.

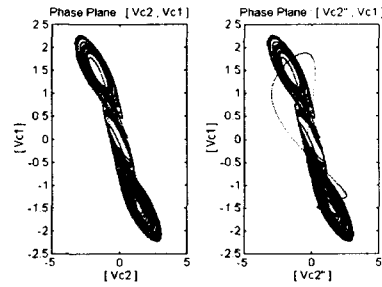
$$\xi(t) = e^{-0.1644t} [A \cos(1.2353)t + B \sin(1.2353)t] \quad (17)$$

CLE는 $(-0.1644, -0.1644)$ 이며 $\lim_{t \rightarrow \infty} \xi(t) = 0$ 가 되어 부시스템은 동기화 됨을 알 수 있다.

Chua 회로와 동일하게 그림3의 Canonical Chua V_1 구동 동기화 회로에서도 응답 회로 부분에서 불필요한 부분이 존재함을 알 수 있다. V_1 구동에 의한 동기화 결과를 그림 4에 나타내었다.



(a) 시계열 데이터(상:구동부, 하:응답부)



(b) 위상 공간(좌:구동부, 우:응답부)

그림4. Canonical Chua 회로의 V_1 구동 동기화 회로에 의한 결과

그림4에서 볼 수 있듯이 Canonical Chua 회로에서 시간 t 가 증가함에 따라 완전한 동기화가 이루어짐을 알 수 있다.

V. 전송선로를 가진 카오스 동기화

Chua 회로에 구동 동기 이론[12]을 적용하면 Chua 회로의 응답 시스템중 불필요한 부분이 존

재한다. Canonical Chua 회로에서도 Chua 회로와 동일하게 구동 동기 이론을 적용하면 불필요한 부분이 존재한다. 그림3에서 V_1 구동 동기예 의한 불필요한 부분은 비선형 저항 N_R 과 C_1 부분이다. 이 두 요소를 제거하면 전송선로와 동일한 회로가 구성 됨을 알 수 있다.

본 논문에서는 이 불필요한 부분을 제거하여 전송 선로로 치환한 후 전송 선로를 중간에 두고 Canonical Chua를 양단에 두어 전송선로를 중심으로 왼쪽단은 구동회로로 오른쪽단은 응답회로를 구성하고 구성된 회로에서 카오스 동기화가 이루어짐을 제안하였다.

제안한 전송 선로를 가진 동기화 회로를 그림 5에 나타내었다.

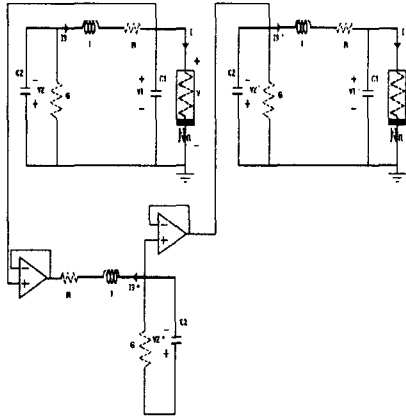


그림 5. 전송 선로를 가진 카오스 동기화 회로

그림 5의 상태방정식을 다음과 같이 정리할 수 있다.

왼쪽 구동부의 상태방정식

$$\begin{aligned} \frac{dv_1}{dt} &= \frac{1}{C_1}[-f(v_1) + i_3] \\ \frac{dv_2}{dt} &= \frac{1}{C_2}[-Gv_2 + i_3] \\ \frac{di_3}{dt} &= -\frac{1}{L}[v_1 + v_2 + Ri_3] \end{aligned} \quad (18)$$

중간 전송선로단의 상태방정식

$$\begin{aligned} \frac{dv_2'}{dt} &= \frac{1}{C_2}[-G(v_2') + i_3'] \\ \frac{di_3'}{dt} &= -\frac{1}{L}[v_1' + v_2' + Ri_3'] \end{aligned} \quad (19)$$

오른쪽 응답부의 상태방정식($V_1=V_1''$)

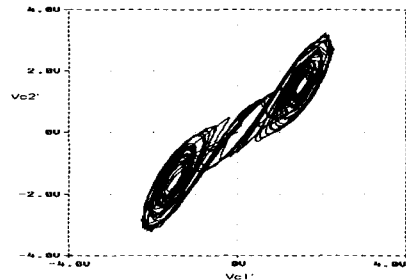
$$\begin{aligned} \frac{dv_1''}{dt} &= \frac{1}{C_1}[-f(v_1'') + i_3''] \\ \frac{dv_2''}{dt} &= \frac{1}{C_2}[-Gv_2'' + i_3''] \\ \frac{di_3''}{dt} &= -\frac{1}{L}[v_1'' + v_2'' + Ri_3''] \end{aligned} \quad (20)$$

VI. 시뮬레이션 및 결과 검토

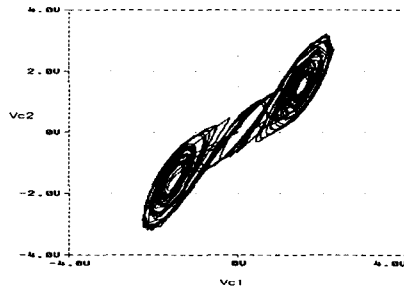
구동 동기 이론을 이용하여 전송 선로를 가진 Canonical Chua 회로의 동기화 방법은 그림5의 회로를 이용하여 컴퓨터 시뮬레이션을 수행하였다. PSpice로 시뮬레이션을 행하기 위해 식(9) 파라미터 값을 진폭 및 주파수 Scaling 하였다. 진폭 Scaling을 위해 R,L의 값은 1,000배 C,G의 값은 1/1,000배 하고 주파수 Scaling을 위해 L 과 C를 2×10^4 으로 나누어 식(21)과 같이 계산 하였다.

$$\begin{aligned} L &= -51[mH], R_0 = -330[\Omega], C_1 = 50[nF], \\ C_2 &= -31.6[nF], G = -3.3[\mu S], \\ G_a &= -0.419[mS], G_b = 0.839[mS] \end{aligned} \quad (21)$$

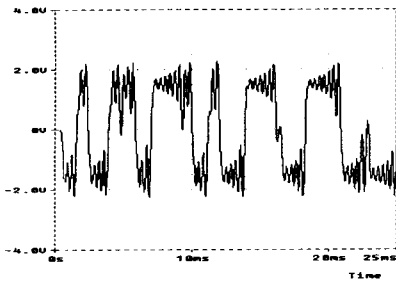
전송 선로를 가진 Canonical Chua 회로에서의 동기화 결과는 그림6과 같으며 정확하게 동기화가 이루어져 있음을 알 수 있다.



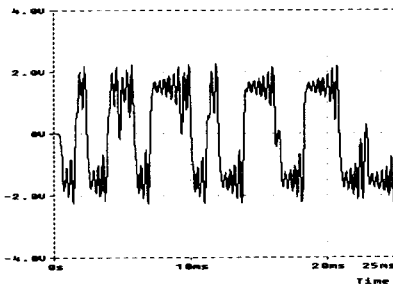
(a) 구동부의 위상공간



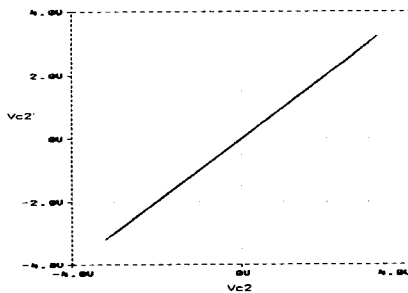
(b) 응답부의 위상공간



(c) 구동부의 시계열 데이터



(d) 응답부의 시계열 데이터



(e) 동기화 척도

그림 6. 동기화 결과

VII. 결론

본 논문에서는 Chua 회로의 구동 동기 개념을 Canonical Chua 회로에 적용하여 불필요한 부분을 제거하여 전송 선로를 구성한 후 전송선로 양단에 Canonical Chua 회로의 구동부와 응답부를 구성한 후 구동동기 개념을 이용한 동기화 방법을 제안하였다. 컴퓨터 시뮬레이션 결과 위상 공간과 시계열 데이터 모두에서 완전한 동기화가

이루어졌음을 알 수 있으며 이를 이용하여 전송 선로를 가진 회로에서 암호화 통신에 적용할 수 있을 것으로 보이며 실선로에 적용이 과제로 남는다.

참고문헌

- [1] 배영철, 카오스의 응용, 전자 저널, pp 110 - 112, 1993.
- [2] 배영철, 임화영 "주기적 외력을 인가한 bonhoeffer - Van der Pol 오실레이터 모델에서의 카오스 현상 해석에 관한 연구" 1995 한국통신학회지 제20권 11호 pp 2991 - 3000, 1995
- [3] 고재호, 배영철, 임화영 "연속시간 시스템에서의 카오스 피드백 제어" 1995 제어계측연구회 학술 발표회 논문집, pp 112 - 114, 1995
- [4] M. Kuramitsu and K. I. Mori "A simple Electric Circuit Generating chaos" Technical report IEICE, NLP 93 - 68, pp 31 - 38, 1994
- [5] Y. Ueda & N. Akamatsu "Chaotically Transitional phenomena, in the Forced Negative - Resistance Oscillator" IEEE Trans, Circuit Syst., Vol. CAS-28, No. 3, pp 217 - 224, 1981
- [6] T. Matsumoto "A chaotic Attractor from chua's circuit", IEEE Trans. Circuit Syst., Vol. CAS-31, No. 12, pp 1055 - 1058, 1984
- [7] T. S. Parker, and L. O. Chua "The Dual Double Scroll Equation" IEEE Trans. Circuit Syst., Vol. CAS-32, No. 9, pp 1059 - 1073, 1987
- [8] G. O. Z'hong and F. Ayrom "Experimental Confirmation of chaos from chua's circuit" Int. J. Circuit Theory Appl. Vol. 13, pp 93 - 98, Jan, 1985
- [9] T. Matsumoto, L. O. Chua, and M. Komuro. "The Double Scroll" IEEE. Trans. Circuit Syst. Vol. CAS-32, No. 8, pp 798 - 818, 1985
- [10] L. M. Pecora and T. L. Carroll "Synchronization in Chaotic System" Phy. Rev. Lett. Vol. 64, No.8, pp. 821-824, 1990
- [11] M. Itoh, H. Murakami, L. O. Chua "Communication System Via Chaotic Modulations" IEICE. Trans. Fund. Vol. E77-A, No.6, pp. 1000-1005, 1994
- [12] L. O. Chua, M. Itoh, L. Kocarev, and K. Eckert "Chaos Synchronization in Chua's Circuit" J. Circuit. Systems and computers, Vol. 3, No. 1, pp. 93-108, 1993