

버스트 트래픽 환경에서의 이중 평면 패킷 스위치의 성능 분석

이 현 태* , 손 장 우**

*목원대학교 정보통신공학과, **대우고등기술원

Performance Analysis of Dual-Plane Nonblocking Switches under Burst Traffic

Hyeun Tae Lee*, Janwoo Son**

*Mokwon University, **Institute for Advanced Engineering

E-mail : htlee@mokwon.ac.kr

요 약

본 논문에서는 이중 평면 패킷 스위치 구조를 가지는 이중 입력 /이중 스위칭 평면 구조(DQDP), 평면 선택 능력을 가진 DQDP(DQDP-PS) 구조, 출력 그룹 큐잉 능력을 가진 DQDP(DQDP-OGQ) 구조에 대한 지연 성능 분석을 연구하였다. 성능 분석을 통하여 랜덤 트래픽하에서는 거의 동일한 성능을 보이지만 버스트 트래픽 환경에서는 DQDP-PS와 DQDP-OGQ 스위치만이 이상적인 출력 버퍼 패킷 스위치의 성능에 가까운 지연 특성을 얻을 수 있었다.

ABSTRACT

In this paper, delay performances are evaluated and compared for three dual-plane switch architectures; dual input queue/dual switching plane (DQDP The terms of DQDP, DQDP-PS and DQDP-GQ were not used in [Turner88], [Lee96] and [Son97]. All these term are designated in this letter for convenience.) switch, DQDP with plane selector (DQDP-PS) switch and DQDP based on output group queueing (DQDP-OGQ) switch. We show that under random traffic these switches give almost identical delay performances to that of the output queueing switch but under bursty traffic only the DQDP-PS and the DQDP-OGQ switches can do.

1. 서 론

입력 큐잉 스위치는 버퍼와 스위칭 패브릭의 I/O 포트 속도가 거의 같아야 하는 운영상의 요구에 따라 고속의 포트를 지원한다. 그러므로, Gbit 스위치나 Gbit Cross-Connect 시스템 같은 고속 스위칭 구현에 있어서, 입력 큐잉 스위치는 N배의 speed-up이 요구되는 출력 큐잉보다 경제적이고 현실적으로 더 유용하다. 그러나, FIFO 입력 큐를 가지는 입력 큐잉 스위치의 최대 성능은 HOL(Head-Of-Line) 블러킹에 의해 0.586으로 제한된다. 지금까지 여러 제안(windowing[1][2], per-output port queueing[3], input expansion[4][5],

output expansion[6], speedup[7][8], 등)을 통하여 입력 큐잉 스위치가 가지는 HOL 블러킹을 줄임으로서 출력 큐잉에 가까운 성능을 얻을 수 있는 방법이 제시 되었다. 입력 큐잉 스위치의 성능 향상을 위해 이중 평면 스위치 구조 (그림.1)를 도입하였다. 이중 평면 스위치 구조(그림.1(a), (b), (c))는 논문 [9],[10],[11]에서 각각 제안하고 있다.

본 논문에서, 스위칭 평면은 크로스바 스위치와 같은 내부 버퍼를 갖지 않는 무충돌 스위치로 가정한다. 이 세가지 구조의 지연 성능은 랜덤 트래픽 환경에서, 거의 출력 큐잉 스위치의 성능을 가진다. 그러나, 버스티 트래픽 일 때, 이 세가지 구조의 지연 성능은 출력

큐잉 스위치의 성능과 차이를 보여준다. 본 논문에서는 버스티 트래픽 환경에서의 새가지 구조에 대한 지연 성능 평가를 수행하고 지연 특성 결과를 분석한다.

II. DQDP 스위치

DQDP(Dual-input Queue/Dual switching Plane) 스위치는 HSP(High Switch Plane)와 LSP(Low Switch Plane)의 두 개의 스위칭 평면으로 구성된다. 각 스위칭 평면은 각각 입력 큐 HIQ(High Input Queue)와 LIQ(Low Input Queue)를 가지고 출력 큐는 두 평면에서 공유한다. 입력되는 셀을 이중 입력 큐로 분산시키는 방법은 두 가지 접근이 가능하다. 하나는, 스위치 내에서 패킷 순서 보장이 요구되지 않는 경우이다. 이때, 입력되는 셀은 두 개의 입력 큐상에서 랜덤하게(선택적으로) 분산시킨다. 또 하나는, ATM 망에서와 같이 패킷의 순서 보장이 이루어져야 하는 경우에는 각 입력 포트 당 가상 회선 라우팅이 지원되어야 한다. HOL 셀 중재는 상위 평면(N개 HIQ와 하나의 HSP(High Switching Plane)로 구성, 흰색으로 표현)과 하위 평면(N개 LIQ와 하나의 LSP(Low Switching Plane)로 구성, 회색으로 표현)에서 독립적으로 실행된다. DQDP 스위치는 랜덤 트래픽하에서 1.0의 최대 처리율을 가진다. 왜냐하면 각 스위치 부분의 순수 입력 큐잉 스위치이고 최대 처리율이 0.586 이기 때문이다[12][13]. DQDP 스위치에서, 두 개 셀을 입력 포트 큐로부터 한 셀 구간 동안 출력 포트에 전송 시킬 수 있다. 그러나, 비록 입력측의 두 개 셀이 동시에 출력 포트에 전송 시킬 수 있는 거시 항상 가능한 것은 아니다. 만약 둘 다 HIQ에 저장된다면, 단지 하나의 셀만이 HSP 통해서 목적지 출력 포트에 보낼 수 있고, 비록 LSP의 출력 포트가 존재하더라도 동시에 두 개를 보낼 수 없다. 그림.1(a)은 이와 같은 상황을 설명한다. 이것은 HIQ와 LIQ가 각각 HSP, LSP에 직접적으로 연결되어 있기 때문이다. 그러므로, 동일 출력 포트를 목적지로 가지는 두 셀은 서로 다른 입력 큐(하나 셀은 HIQ에 저장, 다른 셀은 LIQ에 저장)에 저장될 때 처리될 수 있다. 이것이 DQDP 스위치 성능을 저하 시키는 요인이다.

III. DQDP-PS 스위치

DQDP-PS(DQDP- Plane Selector) 스위치는 그림.1(b)에서 보여준다. PS(Plane Selector)는 입력 큐와 스위칭 평면 사이에 위치하고, PS는 셀이 전송될 때 필요한 평면을 선택한다. 각 PS는 두 가지 가능한 상태(bar와 cross 상태)를 가진다. 따라서, HIQ에 저장되는 셀은 DQDP와 달리 HSP 혹은 LSP 둘 다 접근할 수 있다. 따라서, 입력 큐에 있는 셀들이 전송되기 위해 기다리는 시간을 감소시킨다. 이 DQDP-PS 스위치에서는 HOL 셀의 중재를 순차적으로 2N개의 입력 큐에 대하여 실행해야 한다. 이것은 HOL 셀이 입력 포트의 HIQ에 저장되어 있는 경우 두 개 스위칭 평면 중에 하나

(예를 들면, LSP) 선택하게 된다. HOL 셀이 해당 입력 포트의 LIQ에 저장된다면 이전에 선택된 동일한 스위칭 평면(LSP)을 접근할 수 없다. 만약 입력 큐에서의 가상 회선 단위 라우팅이 지원된다면 패킷 순서를 보장할 수 있다. PS는 각 스위칭 평면이 버퍼가 없는 스위치 패브릭을 가지는 경우에는 패킷 순서 보장에 문제가 없다.

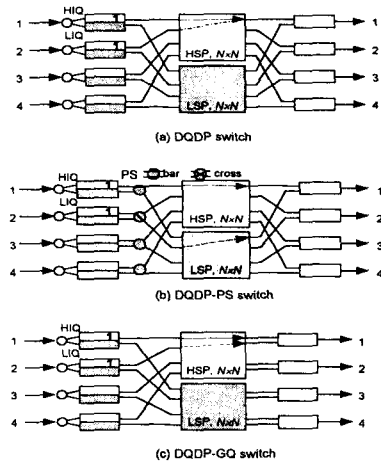


그림. 1 이중-평면 스위치 구조

IV. DQDP-OGQ 스위치

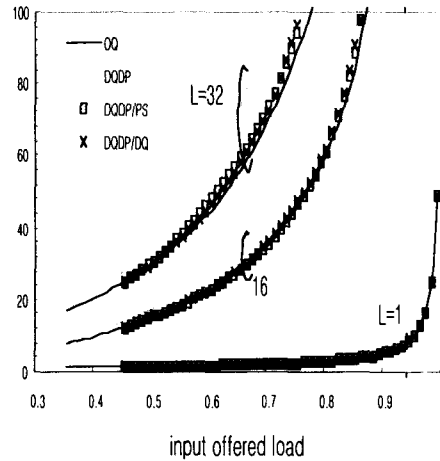
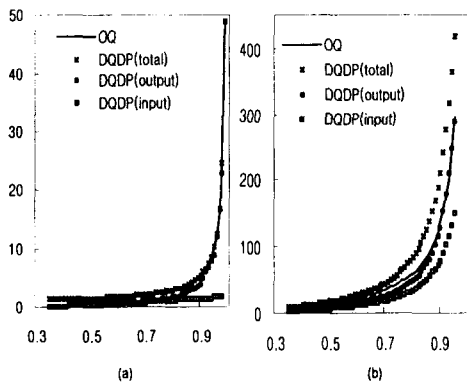
DQDP-OGQ(DQDP- Output Group Queue)는 그림.1(c)에 보인다. 각 입력 포트에 있는 이중 입력 큐(HIQ, LIQ)가 목적지 출력 포트 그룹에 따라 관리되고, 각 큐는 DQDP 스위칭 같이 스위칭 평면에 따라 직접적으로 연결되어 있다. 목적지 출력 포트가 $\{1, 2, \dots, N/2\}$ 이면 HIQ에 저장하고 목적지 포트가 $\{N/2+1, \dots, N\}$ 이면 LIQ에 저장한다(또는 $\{2, 4, \dots, N\}$ 는 HIQ, $\{1, 3, \dots, N-1\}$ 는 LIQ[11]). 이것은 DQDP-OGQ의 장점으로, $N \times N$ 규모의 각 스위칭 평면을 통해서 각 스위칭 평면의 출력 포트를 두 개의 출구로 확장 가능하다. 이것은 목적지 별로 구분된 셀의 목적지 포트 수는 N 이 아니고 $N/2$ 이기 때문이다. 그러므로, 각 스위칭 평면에 있는 하나의 출력 포트 당 두 개의 출구를 가진다. HIQ에 저장되는 셀들은 DQDP-OGQ 스위치에 있다. HSP의 두 출구로 접근이 가능하다. 항상 하나의 셀 시간 동안에 하나의 출력 포트에 두 셀을 보낼 수 있다(DQDP 스위치에는 항상 불가능). 이것은 입력 포트에 있는 셀들의 기다리는 시간을 줄이는 결과가 된다. 중재는 상위 평면과 하위 평면 사이에서 독립적으로 수행된다. 패킷의 순서 보장은 이중 입력 큐가 목적지 출력 포트들에 의해 관리된다면 당연히 보장된다.

V. 성능분석

제안된 세가지 스위치의 지연 특성을 출력 큐잉 스위치와 비교하기 위해, 균일 부하 조건 하에서 랜덤 또는 버스티 트래픽 상에서 시뮬레이션을 수행하였다. 사용한 버스티 트래픽 모델은 기하분포의 활동구간과 비활동 구간을 갖는 ON-OFF 모델이다. 활동 구간 동안, 셀은 입력 회전 속도로 입력 포트에 도착하고 이 셀들이 같은 목적지 출력 포트를 가지는 버스티 트래픽이다. 스위치 크기 N 은 32로 한다.

그림.2(a)는 DQDP의 1 평균 입력 큐잉 지연, 평균 출력 큐잉 지연, 그리고 전체 큐잉 지연(입력과 출력 큐잉 지연의 합)을 나타내고, 랜덤 트래픽 환경에서의 출력 큐잉 스위치의 출력 큐잉 지연을 보여준다. DQDP 스위치의 입력 큐잉 지연은 제공된 부하 범위에서 거의 영이고, 전체 지연은 거의 출력 큐잉 스위치와 동일하다. 그러나, 그림.2(b)와 같이 버스티 트래픽 환경에서는, DQDP 스위치의 입력 큐잉 지연은 제공되는 부하에 비례해서 커진다. 이것은 DQDP 스위치의 전체 지연을 증가시킨다. 이와 같이, DQDP 스위치의 전체 큐잉 지연은 출력 큐잉 스위치 보다 아주 크다. 이것은 DQDP 스위치 상에서의 전송 제한 요소가 지연 성능에 나쁜 영향을 미친다는 사실을 증명해 준다.

그림.2(c)는 DQDP, DQDP-PS, DQDP-OGQ 스위치의 전체 큐잉 지연을 보여주고, 버스트 길이 $L=1, 16, 32$ 때 출력 큐잉 스위치의 지연 성능을 나타낸다. 랜덤 트래픽($L=1$)이 적용될 때, 위의 세가지 이중-평면 스위치의 지연 특성은 출력 큐잉 스위치의 지연 성능과 동일하다. 버스티 트래픽($L=16, 32$)이 적용될 때는 모든 스위치의 지연 폭선이 상승한다. DQDP의 전체 지연은 작은 부하 (< 0.35)일 때의 출력 큐잉 스위치의 지연 성능과 같다. 그러나, 0.35 보다 큰 부하 때는, DQDP 스위치의 지연 폭선은 제공되는 부하에 비례해서 출력 큐잉 스위치 지연 성능과 차이를 나타낸다. DQDP-PS, DQDP-OGQ 스위치에서는 평균 전체 지연은 부하 범위에서 대한 출력 큐잉 스위치와 거의 동일하다.



(c)

그림. 2 이중-평면 스위치의 큐잉 지연

VI. 결론

본 논문에서는 이중 평면 패킷 스위치 구조를 가지는 이중 입력 / 이중 스위칭 평면 구조 (DQDP), 평면 선택 능력을 가진 DQDP(DQDP-PS) 구조, 출력 그룹 큐잉 능력을 가진 DQDP(DQDP-OGQ) 구조에 대한 지연 성능 분석을 연구하였다. 성능 분석을 통하여 랜덤 트래픽하에서는 거의 동일한 성능을 보이지만 버스티 트래픽 환경에서는 DQDP-PS와 DQDP-OGQ 스위치만이 이상적인 출력 버퍼 패킷 스위치의 성능에 가까운 지연 특성을 얻을 수 있었다.

본 논문은 버스트성이 심한 인터넷 트래픽을 처리하는 고속 라우터의 스위치 패브릭의 구조로서 제안될 수 있을 것이다. 제시된 이중 스위칭 평면 구조는 스위치 성능 개선 측면에서 매우 관심이 있는 구조로서 이중 평면 스위치 구조에서 입력 버퍼의 구조와 스위칭 평면의 선택 구조는 스위치의 성능 특히 지연 특성에 매우 중요한 영향을 준다는 사실을 성능 분석을 통하여 보여주었다.

참고문헌

- [1] M.G. Hluchyj and M.J. Karol, "Queueing in High-performance Packet Switching," IEEE JSAC, vol.6 no.9, pp.1468-1479, Dec. 1988.

- [2] S.C Liew, "Performance of Various Input-buffered and output-buffered ATM Switch Design Principles under Bursty Traffic: Simulation Study," IEEE Tr. on Commun., vol.42 no.2/3/4, pp.1371-1379, April 1994.
- [3] C. Koliass and L. Kleirock, "The Odd-Even Input-Queueing ATM switch: Performance Evaluation," IEEE ICC'96, pp.1674-1679, 1996.
- [4] Y. Oie, M. Murata, K. Kubota, and H. Miyahara, "Effect of Speedup in Nonblocking Packet Switch," IEEE ICC'89, pp.410-414, June 1989.
- [5] San-Q i Li, "Nonuniform Traffic Analysis on a Nonblocking Space-division packet Switch," IEEE Tr. on Commun., vol.38, no.7, pp.135-146, July 1990.
- [6] San-Qi Li. "Performance of Trunk Grouping in Packet Switch Design," IEEE Infocom'91, pp.688-693, 1991.
- [7] K. Genda and N. Yamanaka, "TORUS: Terabit-per- Second ATM Switching System Architecture Based on Distributed Internal ATM Switch," IEEE JSAC, vol.15, no.5, pp.817-829, 1997.
- [8] K Genda and Y Doi, and K. Endo, T. Kawamura and S. Sasaki, " A 160-Gb/s ATM Switching System using an Internal Speed-up Crossbar Switch," IEEE Globecom'94, pp.123-133, 1994.
- [9] J.S. Turner, Design of a Broadcast Packet Switching Network, IEEE Tr. on Commun., vol.36, no.6, pp.734-743, June 1988.
- [10] H.T. Lee, J.W. Son, et al., "Design and Implementation of the Gigabit Packet Switch based on Fiber Channel", The Journal of the Korean Institute of Communication Sciences, vol. 21, no. 11, pp.2909-2922, 1996
- [11] J.W. Son, H.T. Lee, Y.Y. Oh, J.Y. Lee, and S.B. Lee, Performance of an Input-Queued ATM Switch with Even/Odd Switching Planes, IEE Electronics Letters, vol.33, no.14, pp.1192-1193, 1997.
- [12] C. Koliass and L. Kleinrock, Performance Analysis of Multiple, Nonblocking ATM switches, Globecom98, pp.1780-1786, 1998.
- [13] E. Oki and N. Yamanaka, A High-Speed Tandem-Crosspoint ATM Switch Architecture with Input and Output Buffers, IEICE Tr. on Commun., vol.E81-B, no.2, pp.215-223, Feb. 1998.