

3.3V 고속 CMOS 3차 시그마 델타 변조기 설계

박 준 한, 윤 광 섭
인하대학교 전자공학과
전화 : (032) 860-7419

Design of a high speed 3rd order sigma-delta modulator

Jun Han Park, Kwang Sub Yoon
Department of Electronical Engineering, Inha University
E-mail : g1981132@inhavision.inha.ac.kr, ksyoon@inha.ac.kr

Abstract

An efficient technique to trade off speed for resolution is the sigma-delta modulation (SDM). This paper proposes a new SDM architecture to improve conversion rates and SNR(Signal-to Noise Ratio) by using master clock and four divided clock. The characteristics of the proposed SDM are simulated in MATLAB environment, and optimizing the capacitor sizes is done by iterative processing. other analog characteristics are simulated using 0.65 μm n-well CMOS process, double poly and single metal. The result of simulation shows that more increasing the effective bits of internal ADC/DAC, bigger the improvement of SNR.

I. 서론

오버샘플링(Oversampling) 방법은 요즈음 주목받고 있는 ADC/DAC 회로 구현 방법 중의 하나이다. 일반적으로 해상도는 뛰어나지만, 변환율이 떨어지므로 음성 신호처리분야, 디지털 오디오나 ISDN 등과 같은 저속 고해상도의 응용 분야에 쓰일수 있다. 일례로 예 쓰일 수 있으며, 예 대한 응용도 가능하다. 이러한 구조를 HDTV와 같은 부분으로 확대하기 위해서는 높은 해상도와 넓은 대역폭이 필요하게 된다. 그럼 1은 시그마 델타 변조기의 기본 구조를 나타낸다.[1] 기본적으로 높은 해상도를 얻기 위해서는 노이즈 쉐이핑 (Noise Shaping)의 차수를 높이거나, 오버샘플링률을 높이는 방법이 있다. 그러나, 노이즈 쉐이핑의 차수가 3차 이

상으로 높아지게 되면 실제 회로로의 구현이 어려워지게 된다.

제안된 구조는 기존의 3차 SDM 과는 달리 적분기의 동기 신호에 사용되는 클럭을 적분 커패시터의 용량에 따라 차별화하여 변환률을 높였으며, 최적화된 극점의 위치를 모델링하여 적분기 커패시터의 용량을 계산한다.

II. 회로 설계

3차 시그마 델타 변조기에 쓰이는 3개의 SCI (switched capacitor integrator)의 커패시터 용량은 변조기의 성능을 높이는데 중요한 요소이다. 적분기 A의 커패시터 용량은 kT/C 잡음을 줄이기 위해 보통 B나 C에 사용되는 커패시터의 용량의 10배 정도로 설계 한다. 그러나, 커패시터 용량이 커질수록 적분기에 사용하는 클럭 속도는 느려질 수밖에 없으므로 변환 속도 역시 저하된다.

식 (1), (2)은 SCI의 단위 계단 응답을 나타내는 식이다. 여기서, 연산증폭기의 출력이 V_{out} 의 1% 이내로 정착되기 위해서는 5τ 가 걸린다. 여기서,

$$\tau = \frac{1}{2\pi f_u \beta} \quad (1)$$

$1/\beta$ 는 증폭기의 이득, f_u 는 단일 이득 주파수이다. 따라서, 적분기는 약 $1/(f_u \cdot \beta)$ 의 정착시간이 걸린다. [2]

$$V_{out} = V_{out,final} (1 - e^{-t/\tau}) \quad (2)$$

만약, 동일한 특성의 연산증폭기를 사용한다면, 결국 모든 적분기의 정착시간은 동일할 것이다. 한편, 적분기 A의 커패시터 용량은 B,C 용량보다 10 배 정도 크

3.3V 고속 CMOS 3차 시그마 델타 변조기 설계

므로 이론적으로 A 적분기에 사용되는 클럭보다 4배 정도 빠른 클럭을 사용할 수 있다. 이러한 설계는 고속, 고해상도의 데이터 변환기를 설계할 수 있는 하나의 방법이 될 수 있다. 그러나, $fs/2$ 부근의 영점과 극점을 서로 상쇄시켜기 위하여 클럭 분주 회로와 설계 시 적분기 A, B, C의 커패시터의 용량을 적절하게 설계 해서 변수 a , b , c 의 결정이 필요하다.

그림 2 는 제안하는 회로의 z 영역도를 나타낸다. z^{-1} 은 $(4*fs)$ 클럭에서의 한 주기이고, z^{-2} 는 fs 클럭에서의 한 주기이다. 따라서, $1 / 1-z^{-2}$ 는 fs 클럭을 사용하는 적분기이고, $1 / 1-z^{-1}$ 은 $(4*fs)$ 클럭을 사용하는 적분기이다. 제안하는 구조의 신호 전달 함수는 식(3)에 제시되었으며, 잡음 전달 함수는 식(4)에 제시되었다. 식(4)에서 잡음 전달 함수 $Y(z)/Q(z) = (1 - z^{-1})^2 * (1-z^{-2})$ 의 영점의 위치가 +1(3개), -1에 있음을 알 수 있다.

$$X(z) = \\ Y(z) * \left\{ (c-b+a-1)z^{-4} + (2-a)z^{-3} + (b-a)z^{-2} + (a-2)z^{-1} + 1 \right\} \quad (3)$$

$$Q(z)(1-z^{-1})^2(1-z^{-2}) = \\ Y(z) * \left\{ (c-b+a-1)z^{-4} + (2-a)z^{-3} + (b-a)z^{-2} + (a-2)z^{-1} + 1 \right\} \quad (4)$$

그림 3에서 제안 회로의 잡음 전달 함수의 극점의 위치는 $-0.9569, 0.7512 + i0.3542, 0.7512 - i0.3542, 0.4545$ 이며, 영점의 위치는 $1, +1, +1, +1$. 이로부터 최적화된 계수들은 $a=1$, $b=0.5$ and $c=0.2$. $fs/2$ 부근의 중요한 극점 ($z = 0.9569$)의 효과는 영점($z = -1$)에 의해서 상쇄되어, 나머지 영점과 극점들은 일반적인 3차 변조기의 잡음 전달 함수의 그것들과 동일한 특성을 나타낸다.

전체 회로도는 그림 4에 표시된다. $\phi 1, \phi 2$ 는 $\phi 3, \phi 4$ 의 4 분주된 클럭이며, 하강 천이시 지연을 갖는 $\phi 1d \sim \phi 4d$ 클럭의 위치도 표시되었다. 전체 신호의 변조율은 기존의 3차 변조기에서는 $\phi 3, \phi 4$ 에 의해서 결정되지만, 제안하는 회로에서는 $\phi 1, \phi 2$ 에 의해 결정되므로 변조율 관점에서는 두 배가 빠르게 된다.

III. 모의 실험 결과

이상적인 연산 증폭기의 성능을 토대로 MATLAB 모의 실험결과에서 변조기 내부 ADC / DAC의 해상도에 따라서 그림 5 ~ 그림 7의 결과를 나타낸다. 결론적으로, 내부 ADC / DAC의 유효 비트수가 커질수록 제안회로의 신호대 잡음비의 특성이 향상됨을 알 수 있다. 5비트를 사용했을 경우, 약 7 dB의 SNR이 향상된다. 그림 8은 3비트 ADC / DAC와 OSR x32를

사용하고, 입력 주파수 $0.01*(4*fs)$ 의 정현파를 가하였을 때의 출력을 18192 FFT를 실행하였을 때의 결과이다. 제안 회로의 SNR은 77.7 dB, 일반적인 회로는 69.6 dB로 나타났다.

영점과 극점의 상쇄 효과는 그림 8. (a)에서처럼 $fs/2$ 부근에서 나타난다. (그림 8에서 원의 내부) 이는 극점의 위치가 완전하게 -1이 아니기 때문에 영점의 특성이 남아 있음을 알 수 있다.

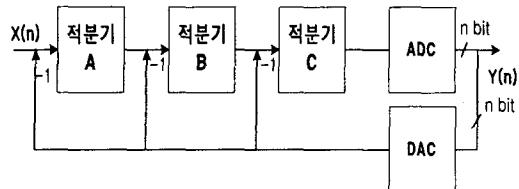
그림 9는 입력신호의 크기에 따른 SNR을 나타낸다. 그림 10은 비증첩 클럭 발생회로로써 일반적인 마스터 슬레이브 회로를 사용하여 4분주 시키고 그 신호들을 다시 비증첩 클럭으로 만들기 위한 회로이다. 표 1은 전체 회로를 현대 0.65 µm 공정을 이용한 Hspice 모의 실험결과이다. 전력소모는 적분기 3개, 클럭 구동 회로, 비교기를 합하여 약 40 mW 정도이다.

IV. 결론

제안하는 연구는 기존의 일반적인 3차 시그마 델타 변조기의 구조를 최적화된 클럭을 사용하는 새로운 구조를 제안하였다. 고속, 고해상도의 데이터 변환기를 설계하기 위해서는 노이즈 쉐이핑 기술이 꼭 필요한 환경에서 시그마 델타 기술의 단점인 저속의 변환률을 분주기 회로와 적절한 커패시터의 용량을 사용하여 극복하고자 하였다. 제안한 회로에서 이러한 커패시터 용량의 도출을 위해서는 적절한 회로의 모델링이 필요하며, 본 연구에서는 Matlab을 사용하였고, Hspice를 사용하여 연산증폭기와 분주기 회로 및 CMFB 회로, 비교기를 설계하였다.[3][4]

참고 문헌

- [1] Akira Yasuda, Hiroshi Tanomoto, "A Third-Order $\Delta-\Sigma$ Modulator Using Second-Order Noise-Shaping Dynamic Element Matching," IEEE J.Solid-State Circuits, vol 33, pp 1879-1886, Dec. 1998.
- [2] R.Jacob Baker, Harry W.Li and David E.Boyce, MOS circuit design, layout, and simualtion, pp. 737-742, IEEE Press 1998.
- [3] Kush Gulati and Hae-Seung Lee, "A High-swing CMOS Telescopic Operational Amplifier," IEEE J.Solid-State Circuits, vol 33, pp 2010-2011, Dec. 1998.
- [4] Richard Schreier, The Delta-Sigma toolbox 5.1, Analog Device Inc, ver. 5.1, April. 1998.



(a) 일반적인 3차 SDM의 구조
(a) The architecture of conventional SDM

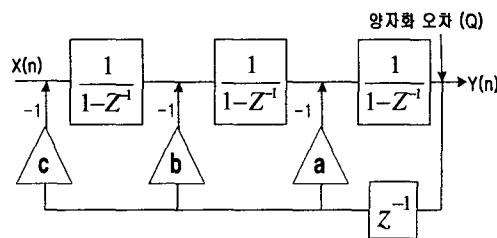


그림 1. (b) 일반적인 회로의 Z 영역도
Fig. 1. (b) z-domain plot of conventional SDM

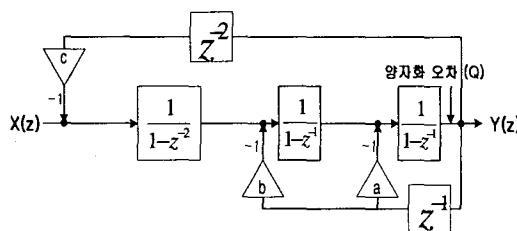


그림 2 제안 회로의 Z 영역도
Fig. 2. z-domain plot of proposal SDM

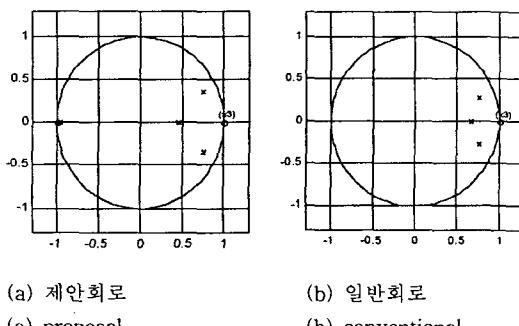


그림 3. Z 영역에서 잡음 전달 함수의 영점과 극점의 위치.
(a) 제안회로
(a) proposal
(b) 일반회로
(b) conventional

Fig. 3. Poles and zeros of both proposal and conventional SDM

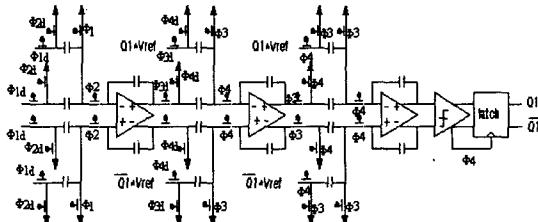


그림 4. 제안회로의 전체 회로도와 주 클럭과 4분 주된 클럭
Fig. 4. The full schematics of proposal SDM and clocks

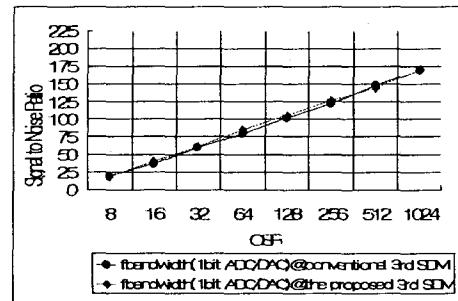


그림 5. 1비트 내부 ADC/DAC를 사용할 경우의 SNR 비교
Fig. 5. The plot of SNR of general and suggested SDM in 1bit ADC/DAC system.

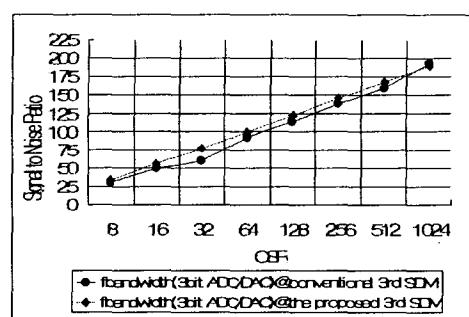


그림 6. 3비트 내부 ADC/DAC를 사용할 경우의 SNR 비교
Fig. 6. The plot of SNR of general and suggested SDM in 3 bits ADC/DAC system.

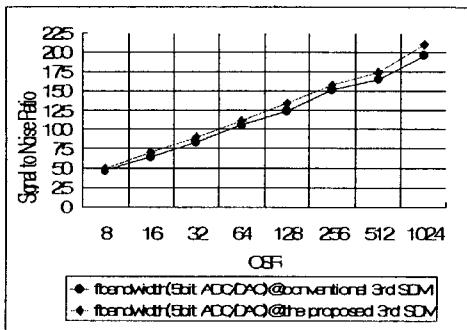
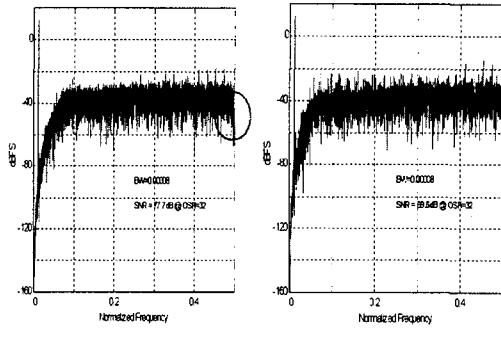


그림 7. 5비트 내부 ADC/DAC를 사용할 경우의 SNR 비교

Fig. 7. The plot of SNR of general and suggested SDM in 5 bits ADC/DAC system.



(a) 제안하는 SDM

(b) 일반적인 SDM

그림 8. 18192 FFT 결과

(a) Proposal SDM (b) conventional SDM

Fig. 8. The simulated baseband spectra with 18192 points FFT

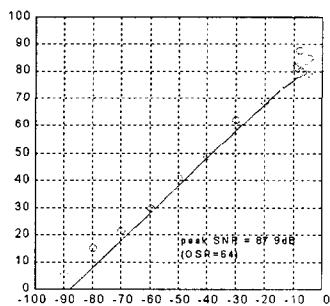


그림 9. 입력신호의 크기에 따른 SNR 모의 실험 결과

Fig. 9. Simulated signal-to-noise ratio versus input amplitude.

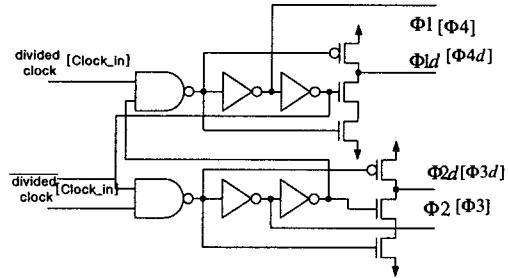


그림 10. Nonoverlapping 클럭 발생 회로도

Fig. 10. The circuit of nonoverlapping clock generation

표 1. 요구 사양 및 모의 실험 결과

Table 1. The required specification and simulation result

사양	모의 실험 결과
<u>1st 연산 증폭기</u>	
이득 (> 40 dB)	≈ 47 dB
\pm 슬루울 > 3.3 V/ μ s	+34.7, -27.8 V/ μ s
위상여유	$> 50^\circ$ (1p load)
전력소모	1.65mW
<u>2nd/3rd 연산 증폭기</u>	
이득 (> 40 dB)	≈ 47 dB
\pm 슬루울 > 13.2 V/ μ s	+56.3, -44.7 V/ μ s
위상여유	$> 20^\circ$ (1p load)
전력소모	4.93mW
전원 전압	단일 3.3 V
<u>비교기</u>	
최소 비교 전압	< 1mV
전력 소모	0.1mW
<u>분주기 및 비증첨 회로</u>	
전력소모(10p)	22.6 mW