

동작 영역이 향상된 composite 트랜지스터의 설계

손병길*, 유영규*, 최석우**, 김동용*

*전북대학교 전기공학과, **전북대학교 전기전자회로합성연구소

Tel: 0652-270-2395 E-mail:ie3cas@netian.com

Design of composite transistor with improved operation region

Byoung-Kil Son*, Young-Gyu Yu*, Seok-Woo Choi**, Dong-Yong Kim*

*Department of Electrical Engineering, Chonbuk National University.

**Electrical Circuits and Systems Research Institute, Chonbuk National University.

요약

본 논문에서는 넓은 동작 영역을 갖는 composite 트랜지스터를 설계하였다. 제안된 composite 트랜지스터는 p-형 차동쌍(p-type differential pair)을 이용하여 문턱전압이 음(-)의 값을 갖도록 설계하였고, 수학적인 해석을 통해 증명하였다. 음의 문턱전압으로 동작 영역을 향상되었고 SPICE 시뮬레이션을 이용하여 제안된 composite 트랜지스터가 기존의 composite 트랜지스터보다 넓은 동작 영역을 가짐을 보였다. 제안된 composite 트랜지스터는 $0.6\mu m$ CMOS n-well 공정 파라미터를 이용하여 3V에서 시뮬레이션 하였다.

I. 서론

최근에는 집적회로 공정기술의 발달로 혼성모드 아날로그/디지털 신호처리(Mixed-mode A/D signal processing)기술에 대한 연구가 활발히 진행되고 있다. 혼성모드 신호처리 기술은 동일 칩상에 디지털 회로와 아날로그 회로를 함께 집적화하는 기술로 저전압 저전력 회로들이 요구되고 있다.[1-2] 또한 무선통신 시스템과 휴대용 기기에 대한 수요가 증가하면서 배터리로 동작하는 PCS(Personal Communication System), 셀룰러폰, 캠코더 전자 제품의 용용을 위해서 저전압 저전력 뿐만 아니라 고주파 동작이 필요로 하고 있다.

혼성모드 시스템과 무선통신 기기, 휴대용 장비 등에서 아날로그 신호처리를 위하여 CMOS 저전압 저전력 아날로그 Multiplier와 OTA가 넓게 사용되고 있다. 이러한 CMOS 회로들은 대부분 단일 MOS 트랜지스터보다 다양한 composite 트랜지스터로 구현이 된다.[3-5]

[3]에서 제안된 composite 트랜지스터는 NMOS 트랜지스터와 PMOS 트랜지스터를 직렬로 연결한 구조로 높은 문턱전압을 $V_{Th} + |V_{Tp}|$ 갖는다. 높은 문턱전압은 동작 영역이 감소시켜 저전압 회로에 적용하기 어려운 단점을 가진다.

따라서 본 논문에서 저전압에서 동작 영역이 향상된 composite 트랜지스터를 설계하고 수학적인 해석과 SPICE 시뮬레이션을 이용하여 기존의 composite 트랜지스터와 특성을 비교 분석한다.

본 논문의 구성은 II 장에서는 기존의 composite 트랜지스터에 대해 설명하고 III 장에서는 동작 영역이 향상된 새로운 composite 트랜지스터를 설계하고 수학적인 해석과 SPICE 시뮬레이션을 이용하여 특성을 검증하였다. 마지막으로 IV 장에서 결론을 맺는다.

II. 기존의 composite 트랜지스터

그림 1은 기본적인 composite 트랜지스터[3]이고 NMOS 트랜지스터와 PMOS 트랜지스터를 직렬로 연

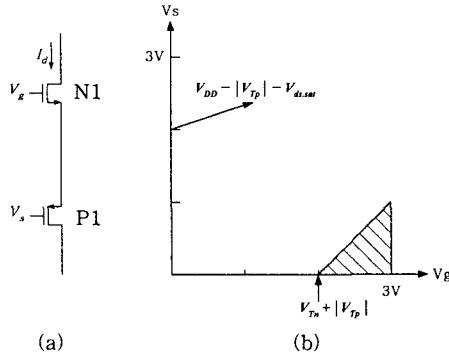


그림 1. (a) [3] composite 트랜지스터 (b) 동작 영역

결하였다. 기본적인 composite 트랜지스터의 전류-전압 관계식은 식(1)과 같다.

$$I_d = \frac{K_{eq}}{2} (V_{gs} - V_{T_{eq}})^2 \quad (1)$$

위의 식에서 K_{eq} 와 $V_{T_{eq}}$ 는 composite 트랜지스터의 트랜스컨덕턴스 파라미터와 문턱전압이고 식(2)와 식(3)으로 나타낼 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (2)$$

$$V_{T_{eq}} = V_{Tn} + |V_{Tp}| \quad (3)$$

식(3)에서 composite 트랜지스터의 문턱전압 $V_{Tn} + |V_{Tp}|$ 는 단일 MOS 트랜지스터의 문턱전압 V_T 와 비교해서 높은 문턱전압을 갖게 되어 저전압 응용에서 동작 영역이 감소하는 문제점을 갖게 된다.

그림 2(a)는 [6]의 composite 트랜지스터 회로이고 그림 1(a)의 N1과 P1 사이에 레벨 시프트(level shift) 역할을 하는 다이오드 연결된 NMOS 트랜지스터 N2를 삽입하여 문턱전압을 감소 시켰다. 그림 2(a)의 전류-전압 관계식은 식(4)와 같다.

$$I_d = \frac{K_{eq}}{2} (V_{gs} - V_{T_{eq}})^2 \quad (4)$$

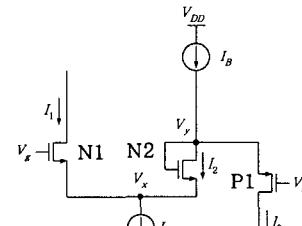


그림 2. (a) [6] composite 트랜지스터 (b) 동작 영역

여기서 K_{eq} 와 $V_{T_{eq}}$ 는 식(5)와 식(6)으로 표현된다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (5)$$

$$V_{T_{eq}} = |V_{Tp}| - \sqrt{\frac{2(I_B - I_1)}{K_{n2}}} \quad (6)$$

식(6)의 문턱전압은 식(3)의 문턱전압 보다 작다. 따라서 그림 2(b)의 동작 영역이 그림 1(b)의 동작 영역보다 증가한다.

III. 제안된 composite 트랜지스터

그림 3은 제안된 composite 트랜지스터이다. 그림 2(a)에서 다이오드 연결된 N2 트랜지스터에 P-형 차동 쌍을 삽입하여 문턱전압을 감소시킬 수 있다.

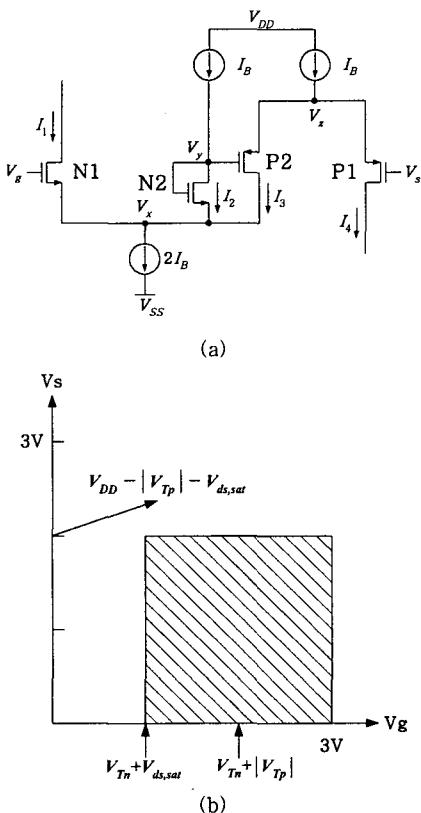


그림 3. (a) 제안된 composite 트랜지스터 (b) 동작 영역

그림 3(a)에서 N1, N2, P1, P2의 드레인 전류는 다음과 같다.

$$I_1 = \frac{K_{n1}}{2} (V_g - V_x - V_{Tn})^2 \quad (7)$$

$$I_2 = \frac{K_{n2}}{2} (V_y - V_x - V_{Tn})^2 \quad (8)$$

$$I_3 = \frac{K_{p2}}{2} (V_z - V_y - |V_{Tp}|)^2 \quad (9)$$

$$I_4 = \frac{K_{p1}}{2} (V_z - V_s - |V_{Tp}|)^2 \quad (10)$$

식 (7)~(10)을 전압에 대한 관계식으로 나타내면 다음과 같다.

$$V_g - V_x = \sqrt{\frac{2I_1}{K_{n1}}} + V_{Tn} \quad (11)$$

$$V_y - V_x = \sqrt{\frac{2I_2}{K_{n2}}} + V_{Tn} \quad (12)$$

$$V_z - V_y = \sqrt{\frac{2I_3}{K_{p2}}} + |V_{Tp}| \quad (13)$$

$$V_z - V_s = \sqrt{\frac{2I_4}{K_{p1}}} + |V_{Tp}| \quad (14)$$

식(11)~식(14)를 V_{gs} 에 관한 식으로 나타내면 다음과 같다.

$$V_g - V_s = \sqrt{\frac{2I_1}{K_{n1}}} - \sqrt{\frac{2I_2}{K_{n2}}} - \sqrt{\frac{2I_3}{K_{p2}}} + \sqrt{\frac{2I_4}{K_{p1}}} \quad (15)$$

그림 3(a)에서 $I_B = I_2$, $2I_B = I_1 + I_2 + I_3$, $I_B = I_3 + I_4$ 이므로 $I_B = I_1 + I_2 = I_3 + I_4$ 가 되어 식(15)은 식(16)으로 나타낼 수 있다.

$$I_1 = \frac{K_{eq}}{2} (V_{gs} - V_{Teq})^2 \quad (16)$$

여기서 V_{Teq} 와 K_{eq} 는 식(17)과 식(18)로 표현된다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n1}}} + \frac{1}{\sqrt{K_{p1}}} \quad (17)$$

$$V_{Teq} = - \left(\frac{\sqrt{2I_B}}{K_{n2}} + \sqrt{\frac{2(I_B - I_1)}{K_{p2}}} \right) \quad (18)$$

식(18)의 문턱전압은 음(-)의 값을 갖고 식(3)과 식(6)의 문턱전압 보다 매우 작다. 제안된 composite 트랜지스터가 포화 영역에서 동작하기 위한 조건은 $V_g \geq V_x + V_{Tn}$ 이고 $V_s \leq V_{DD} - V_z - |V_{Tp}|$ 이다. V_{gs} 의 최소값은 V_g 의 최소값에서 V_s 의 최대값 빼면 얻을 수 있고 식(19)와 같다.

$$\begin{aligned} V_{gs, \min} &= V_{g, \min} - V_{s, \max} \\ &= V_x + V_{Tn} - V_{DD} + V_z + V_{Tp} > 0 \end{aligned} \quad (19)$$

식(19)로부터 $V_{gs} > 0$ 이기 때문에 식(18)의 음(-)의 값을 갖는 문턱전압 보다 크게 되어 그림 3(b)과 같이 나타낼 수 있다.

그림 4는 제안된 composite 트랜지스터와 기존의 composite 트랜지스터의 DC 해석이다. 모든 회로는 $0.6\mu\text{m}$ CMOS n-well 공정 파라미터를 이용하여 N1은 $W=1\mu\text{m}$, $L=1\mu\text{m}$ P1은 $W=3\mu\text{m}$, $L=1\mu\text{m}$ 로 하고 $V_g=2.5\text{V}$, $V_s=0.5\text{V}$, 공급 전압은 3V에서 시뮬레이션 하였다.

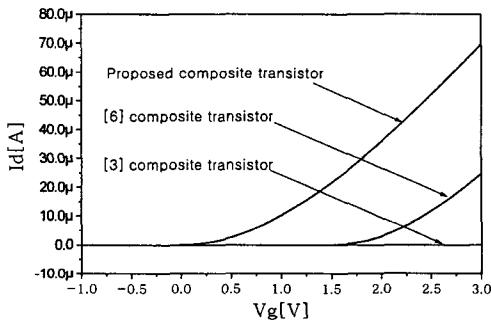


그림 4. Composite 트랜지스터의 DC 특성

그림 5는 제안된 composite 트랜지스터의 V_{gs} 의 변화에 따른 드레인 전류를 나타낸다.

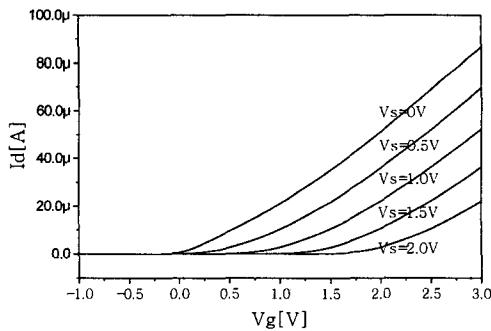


그림 5. V_{gs} 의 변화에 따른 드레인 전류

IV. 결론

본 논문에서는 넓은 동작 영역을 갖는 composite 트랜지스터를 설계하였다. 제안된 composite 트랜지스터는 p-type 차동쌍을 이용하여 문턱전압이 음(-)의 값을 갖도록 설계하였다. 음의 문턱전압으로 동작 영역을 향상되었고 제안된 composite 트랜지스터는 $0.6\mu\text{m}$ CMOS n-well 공정 파라미터를 이용하여 3V에서 시뮬레이션 하였다. 제안된 composite 트랜지스터는 저전압 저전력이 요구되는 아날로그 회로에 응용할 수 있다.

참고문헌

- [1] R. Batruni, P. Lemaitre, and T. Fensch, "Mixed Digital/Analog Signal Processing for a Single-Chip 2B1Q U-Interface Transceiver," *IEEE J. Solid-State Circuits*, vol. SC-26, pp. 1414-1425, Dec. 1990.
- [2] J. Y. Michel, "High-Performance Analog Cells in Mixed-Signal VLSI : Problems and Practical Solutions," *Analog Integrated Circuits and Signal Processing*, vol. 171-182, Nov. 1991.
- [3] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS linear transconductor/square-law function circuit," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 3, pp. 336-377, June, 1987.
- [4] S. C. Qin and R. L. Geiger, "A ±5V CMOS Analog Multiplier," *IEEE J. Solid-State Circuits*, vol. 22, no. 6, pp. 1143-1146, Dec. 1987.
- [5] E. Sackinger, and W. Guggenbuhl, "A High-Swing, High-Impedance MOS Cascode Circuit," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 289-298, Feb. 1990.
- [6] A. Hyogo, C. Hwang, M. Ismail, K. Sekine, "LV/LP CMOS Square-Law Composite Transistor for Analog VLSI Applications," Proc. of the 1997 IEEJ, 1st Analog VLSII Workshop, May 1997.