

주파수 호핑방식 무선 LAN을 위한 PLCP 부계층 프로토콜 기능 구현 연구

이 선희 (李 善 喜), 기장근 (奇 長 根)

공주대학교 전기전자정보공학부

전화 : (0416) 850-8595 / 팩스 : (0416) 855-0062

A Study on the implementation of PLCP sublayer for Frequency Hopping
Wireless LAN

Sun Hee Lee, Jang Geun Ki

School of Electronics and Electrical Engineering Kongju National University

E-mail : ilish@vision.kongju.ac.kr, kjg@image.kongju.ac.kr

Abstract

In this paper, we design and verify the hardware circuit that performs PLCP(Physical Layer Convergence Protocol) protocol functions of physical layer in IEEE 802.11 frequency hopping WLAN(Wireless Local Area Network). Altera MAX+PLUS II^[1] is used as a design tool. The designed circuit consists of control register module to interface with upper layer, FIFO module to transmit/receive data with upper layer, TX function module, and RX function module. It is verified that the developed circuit conforms well to the IEEE 802.11 standard specification and can support both 1 Mbps and 2 Mbps transmission rate by simulation. The developed circuits can be utilized for the implementation of protocol processor in wireless LAN areas.

I. 서론

최근 컴퓨터의 보급 확대와 정보 공유 필요성의 증대로 인해 LAN(Local Area Network)의 보급이 급속도로 확산되고 있다. 무선 LAN은 기존의 유선 LAN에

비해 단말의 이동, 추가에 있어 이동성(Mobility)과 확장성(Scalability)을 발휘할 수 있다는 장점으로 많은 응용 분야에서 각광을 받고 있다.^[2]

오늘날 휴대용 단말과 노트북 컴퓨터를 이용한 실시간 정보전송이 요구되어 무선 LAN은 점점 더 많은 사업 분야에 필요성이 증대되어 가고 있다. 이에 IEEE 802.11 위원회에서는 1990년부터 무선 LAN 프로토콜의 표준화에 대한 연구가 활발히 진행되어 최근에 표준안이 작성되었다.

본 연구의 선행연구로 무선 LAN PLCP(Physical Layer Convergence Protocol) 부계층에 관하여 1 Mbps의 전송속도로 동작하는 하드웨어^[3]가 설계된 바 있으며, 본 연구에서는 실시간 통화상의 전달 등 고속의 데이터 전송서비스를 지원할 수 있도록 최대 2 Mbps의 전송속도를 지원하는 PLCP 칩을 설계하였다. 설계된 회로는 IEEE 802.11 표준안의 규격을 만족하며, 사용자의 선택에 따라 동적으로 1 Mbps 또는 2 Mbps의 전송속도로 데이터를 전송할 수 있다.

II. IEEE 802.11 주파수 호핑방식 무선 LAN PLCP 부계층 규격

IEEE 802.11 위원회의 연구 결과로 제정된 주파수 호핑방식 물리계층은 PLCP 부계층, PMD(Physical Medium Dependent) 부계층, PHY LME(Physical

Layer Management Entity) 계층으로 구성된다.^{[3][4]}

PLCP 부계층이 데이터 송수신을 위해 사용하는 프레임 형식은 그림 1과 같다. 그림 1에서 PLW 필드는 MPDU(MAC Protocol Data Unit) 패킷에 포함된 데이터의 유탤 수를 나타내며, PSF 필드는 데이터 전송속도를 나타낸다. HEC 필드는 CCITT CRC-16 에러 검출 필드로써, 생성 다항식 $G(x) = x^{16} + x^{12} + x^5 + 1$ 을 이용한다.

PLCP Preamble		PLCP Header			PLCP_PDU
Sync (0101.....01) ₂	SFD (0CBD) ₁₆	PLW	PSF	HEC	가변길이
80bits	16bits	12bits	4bits	16bits	

PLCP : Physical Layer Convergence Procedure

SFD : Start Frame Delimiter PLW : PLCP_PDU Length Word

PSF : PLCP Signalling Field HEC : Header Error Check

PLCP_PDU : PLCP Protocol Data Unit

그림 1. PLCP 프레임 형식

PLCP_PDU 필드는 데이터 화이트너(whitener)에 의해 수정된 MPDU 데이터를 가진다. PLCP_PDU 데이터 화이트너는 데이터를 랜덤화하며, 프레임 동기식 스크램블러는 생성다항식으로 $S(x) = x^7 + x^4 + 1$ 을 사용한다.

III. PLCP 부계층 회로 설계

1) PLCP 부계층과 MAC 계층 인터페이스

PLCP 부계층과 MAC(Medium Access Control) 계층 사이의 인터페이스를 위해 사용되는 제어레지스터의 종류와 주소 할당을 표 1에 나타내었다. 표 1에서 rxFIFO와 txFIFO는 16x8 비트 크기를 갖는 FIFO로서 MAC 계층과 PLCP 계층이 송수신 데이터를 주고 받을 때 사용된다.

SYNC 레지스터는 쓰기 전용 레지스터이며, Sync 필드의 패턴 값("10101010")을 저장하는 레지스터이다. 만일 이 패턴을 바꾸고 싶으면 MAC 프로세서가 1번 째에 원하는 패턴값 8비트를 write 하면 되도록 하여 용통성을 두었다. Status 레지스터는 rxFIFO와 txFIFO의 운영중 발생하는 에러에 대한 상태정보를 나타내는 읽기 전용 레지스터로서 SYNC 레지스터와 동일한 1번지를 사용하도록 설계되었다.

SFDa와 SFDb 레지스터는 SFD(Start Frame Delimiter) 필드의 패턴 값("0000 1100 1011 1101")을 저장하는 레지스터이다. 본 연구에서 설계된 PLCP 칩은 SFDa의 LSB(least significant bit) 비트부터 SFDb 레지스터의 MSB(most significant bit) 순서로 비트들을 송신하도록 설계되어 있다.

HEADERa와 HEADERb 레지스터는 PLW와 PSF 필드에 대응되는 레지스터로, MAC 프로토콜 프로세서는 MPDU를 전송할 때마다 MPDU의 길이와 전송속도를 이 레지스터에 설정해 주어야 하며, 데이터 전송속도가 1 Mbps일 경우 PSF 필드의 값은 "0000"이며, 2 Mbps일 경우 경우 "0100"이다. 본 연구에서 설계된 PLCP 칩은 HEADERa의 LSB부터 HEADERb의 MSB 순서로 비트들이 전송된다.

1비트 크기의 TX_start_flag 레지스터는 MAC 프로세서가 PLCP 칩에게 전송을 시작하라는 명령에 세트된다. 즉 MAC 프로세서가 주소 버스에 6을 지정하고 데이터 버스의 맨 하위비트(LSB)에 1을 설정하고 write 신호를 주면 1로 세트된다. 이 플래그 값이 1이 되면 PLCP 프레임 전송이 시작되고, 프레임 전송이 완료된 후 PLCP 칩에 의해 0으로 리셋된다.

1비트 크기의 Restart 레지스터는 MAC 프로세서가 PLCP 칩을 소프트웨어적으로 초기화시키고 싶을 때 사용하는 레지스터이다.

표 1. PLCP 부 계층과 MAC 계층 인터페이스를 위한 제어 레지스터 및 주소 할당

주소 할당	read/ write	레지스터	비트수	기 능
0	read	rxFIFO	16x8	MAC과 PLCP 계층 사이의 송수신 데이터 교환을 위한 저장장소 (16word, 8bits/word)
	write	txFIFO	16x8	
1	read	Status	4	FIFO read/write 에러 상태 저장
	write	SYNC	8	PLCP 프레임의 Sync 패턴 저장
2	write	SFDa	8	PLCP 프레임의 Start Frame Delimiter 패턴 저장
3	write	SFDb	8	
4	write	HEADERa	PLW 8	PLW 필드(12비트)와 PSF 필드(4비트) 값 저장
5	write	HEADERb	PSF PLW 4 4	
6	write	TX_start_flag	1	전송시작 및 완료를 지시하는 플래그
7	write	Restart	1	PLCP software reset 지시 플래그
8-15				reserved

2) PLCP 부계층 회로 구조 설계

설계된 PLCP 부계층 회로에서 최상위 레벨의 회로를 그림 2에 나타내었다. 그림 2에서 알 수 있듯이 PLCP 부계층 회로는 MAC 계층과의 인터페이스를 위한 제어 레지스터 모듈, MAC 프로토콜 프로세서와 데이터를 주고 받기 위한 송·수신 FIFO 블록, 데이터 송신 기능을 수행하는 데이터 송신부, 데이터 수신 기능을 수행하는 데이터 수신부 등으로 구성되었다.

그림 2에서 제어 레지스터 모듈은 내부의 TX_start_flag 레지스터 값이 1이 되면 txing 출력신

호가 0에서 1로 되어 데이터 송신 기능이 시작된다. 데이터 송신이 완료되면 tx_complete 신호가 0에서 1로 된다.

2개의 송·수신 FIFO 블록은 MAC과의 데이터 교환을 위한 송수신용 FIFO로써 각각 16x8 비트의 크기를 가진다. 데이터 송신부와 수신부는 IEEE 802.11 주파수 호핑방식 무선 LAN의 PLCP 부계층 규격에 부합된 데이터 송수신 기능을 수행하며 현재 1 Mbps 또는 2 Mbps의 전송속도를 가지도록 설계되었다.

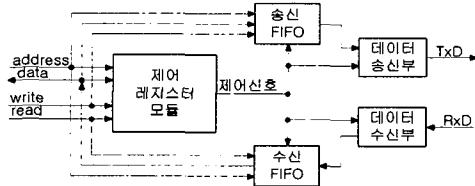


그림 2. PLCP 부계층 회로

① 데이터 송신부

이 블록은 PLCP 부계층의 데이터 송신 기능을 수행하며, 이 블록의 회로도를 그림 3에 나타내었다.

그림 3에서 제어신호 블록은 txing 신호가 0에서 1이 되면 카운터를 이용하여 전체 회로에서 필요로 하는 각종 제어 신호들을 발생 시킨다.

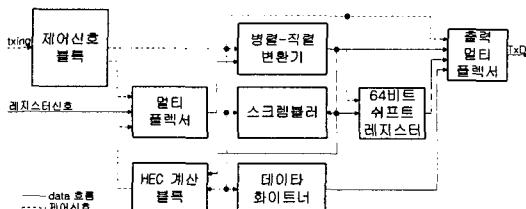


그림 3. 데이터 송신부 회로도

멀티플렉서 블록은 PLCP 프레임 형식에 따라 전송에 필요한 패킷들을 바이트 단위의 타이밍으로 다중화하여 병렬-직렬 변환기 블록으로 전송한다. HEC 계산 블록은 PLCP 헤더 필드의 HEC 필드 값을 계산해주는 회로이다. 스크램블러 블록은 PLCP 프레임 형식에서 PLCP_PDU 필드 데이터에 대한 스크램블 기능을 수행하기 위한 127비트 시퀀스를 생성한다.

화이트너 블록은 IEEE 802.11 주파수 호핑방식 무선 LAN PLCP 계층의 데이터 화이트너(whitener) 알고리즘을 구현한 회로 블록으로 stuff bit를 결정해 주는 역할을 수행한다. 64비트 쉬프트 레지스터 블록은 기본 클럭속도가 2 Mbps 인 64비트 길이의 쉬프트 레지스터로 데이터 화이트너 알고리즘에 의한 bias 값을

미리 계산하기 위한 32 μ s의 시간 지연을 얻기 위한 기능 블록이며, 출력 멀티플렉서 블록은 다중화 기능을 수행하는 블록이다.

② 데이터 수신부

이 블록은 PLCP 부계층의 데이터 수신 기능을 수행하며, 회로도는 그림 4와 같다.

그림 4에서 제어신호 블록은 데이터 수신 상태에 따라 적절한 제어신호를 발생시켜 다른 블록들을 제어하는 기능을 수행한다. 데이터 화이트너 블록과 스크램블러 블록은 IEEE 802.11 주파수 호핑방식 무선 LAN 규격에 기술된 데이터 화이트너 및 스크램블러 기능을 하드웨어로 구현한 블록이다. 직렬-병렬 변환기 블록은 수신되는 직렬 데이터를 32비트의 병렬 데이터로 변환하는 소프트 레지스터이다. HEC 검사 블록은 데이터 송신부에서 사용했던 HEC 계산 블록과 동일한 구조를 가지며, 수신된 프레임의 헤더 필드에 대한 CRC 계산을 수행하는 하드웨어 블록이다. 16비트 비교기 블록 2개는 각각 수신 프레임의 Sync 패턴과 SFD 패턴을 찾기 위해 16비트 병렬 데이터로 변환된 수신 비트들과 Sync 패턴 또는 SFD 패턴과 비교하는 블록이다. 수신 바이트 카운터 블록은 수신된 프레임의 PLW (PLCP_PDU Length Word) 필드의 값을 저장하였다가 데이터가 한 바이트 수신될 때마다 1씩 감소하여 모든 바이트가 수신되었을 때 0이 되는 카운터 블록이다. 수신완료 블록은 PLCP 프레임의 데이터 수신 상태에서 수신 바이트 카운터 블록의 카운터가 0이 되면 수신완료를 나타내는 제어신호를 생성하는 블록이다. PSF 레지스터 블록은 수신 프레임 헤더 필드 내의 PSF 필드의 값을 저장하는 블록으로 이 값에 따라 1 Mbps 또는 2 Mbps로 PLCP_PDU 필드의 데이터를 자동으로 수신한다.

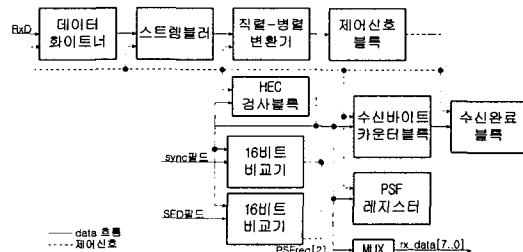


그림 4. 데이터 수신부 회로도

③ 송·수신 FIFO 블록

송·수신 FIFO 블록은 PLCP 칩과 MAC 계층간에 송수신 데이터를 교환할 때 사용되는 블록으로 Altera에서 제공하는 lpm_csfifo를 사용하여 구현하였다.

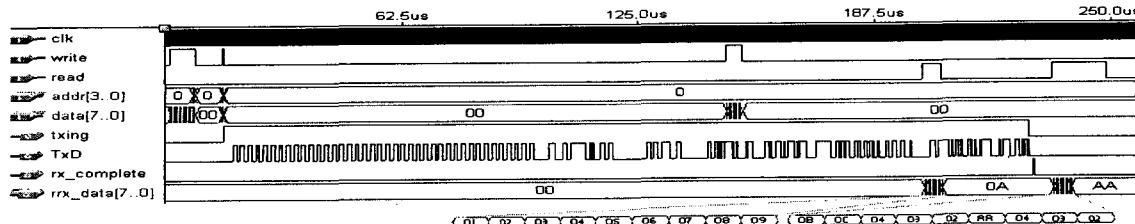


그림 5. 시뮬레이션 패형(2 Mbps)

송·수신 FIFO 블록은 송신용과 수신용 2개가 있으며 각각이 16워드×8비트 크기를 갖는다. 또한 클럭신호로 clk와 clk의 2배 주파수인 clkx2를 필요로 한다.

rreq 제어신호에 따라 전송될 데이터를 읽어 저장하며 wreq 신호에 따라 저장되어 있는 데이터를 끌어쓰는 동작을 한다.

IV. 시뮬레이션 및 검증

본 연구에서 설계된 PLCP 회로의 기능을 검증하기 위해 PLCP 회로의 송신부에 데이터를 주고 수신부의 출력 데이터를 확인하였다.

이와 같은 PLCP 부계층 회로를 통하여 수행한 시뮬레이션의 결과 중 한 예를 그림 5에 나타내었다. 이 결과는 12바이트의 프레임과 8바이트의 프레임을 차례로 전송하는 과정을 보여주고 있다. 먼저 첫 번째 프레임(크기=12바이트)을 전송하기 위해 어드레스 0번지에 데이터(01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch)를 주고, 어드레스 4, 5번지에 데이터의 PLW를 14h(심진수로 20)로, PSF를 40h(2 Mbps 전송을 의미)을 주고 어드레스 6번지에 데이터를 1로 주면 txing이 1이 되면서 전송이 시작되어 TxD로 처리된 출력이 나왔다. 두 번째 프레임은 어드레스 0번지에 데이터(04h, 03h, 02h, AAh, 04h, 03h, 02h, AAh)를 주었다. 시뮬레이션을 할 때 fifo가 16워드×8비트의 크기를 가지므로 적당한 시간 후에 read 신호를 주었다. TxD가 수신 PLCP에 입력이 되어 수신 FIFO의 출력 rrx_data[7..0]를 통해서 송신 측의 어드레스에서 써준 실제 데이터가 나옴을 확인하였다.

이와 같은 상황에 대한 시뮬레이션 결과를 나타낸 그림 5에서 rrx_data[7..0] 신호선을 확인하면 정확한 타이밍에 전송 속도에 따라 1 Mbps 또는 2 Mbps에서 송신 데이터를 에러 없이 수신함을 알 수 있고, 따라서 설계된 PLCP 회로가 논리적으로 정상적으로 동작함을 확인할 수 있다.

V. 결론

최근 기존 유선 LAN(Local Area Network)에 비해 무선 LAN은 간단한 서비스만으로 사용자가 마음대로 이동하면서 데이터를 주고 받을 수 있는 이동성(Mobility)과 확장성(Scalability)을 발휘할 수 있다는 장점으로 무선 LAN에 대한 수요가 급속히 증가하고 있으며, 많은 응용 분야에서 각광을 받고 있다.

본 논문은 국제 표준화 기구인 IEEE 802.11 위원회에서 규정한 주파수 호평방식 무선 LAN 규격에 적합한 프로토콜 프로세서의 물리 계층의 PLCP(Physical Layer Convergence Protocol) 부계층 하드웨어 회로를 설계하였으며, 설계 환경으로는 Altera 툴을 사용하였다.

PLCP 부계층의 기능을 수행하는 하드웨어를 설계함에 있어 IEEE 802.11 무선 LAN의 주파수 호평방식 규격에 적합한 PLCP 부계층 회로를 설계하였으며, 데이터 전송 속도는 2 Mbps까지 지원하도록 설계되었다. 설계된 회로의 기능을 최종적으로 검증하기 위해 Altera 툴상에서 2개의 PLCP 칩을 상호 연결한 회로를 구성하고 시뮬레이션을 통해 데이터를 송수신하도록 함으로써 모든 기능이 정상적으로 동작함을 검증하였다.

* 본 논문은 공주대학교 자체 학술 연구 지원에 의해 수행되었음.

참고문헌

- [1] 이승호, 이경운, 임만직, “Altera MAX+PLUS II를 사용한 디지털 시스템 설계”, 복수 출판사, 1999.
- [2] 종아관, “네트워크 사용자를 위한 무선 LAN 기술 강좌”, 성안당, 1996..
- [3] 최해숙 외 3인 “주파수 호평방식 무선 LAN의 PLCP 계층 회로 설계”, 한국통신학회, 23편 제8호, pp1941-1951, 1998. 3.
- [4] IEEE P802.11, Draft Standard for Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specification, 1996.