

## IMT-2000 단말기용 변조기 FPGA 설계

김봉후\*, 정채홍, 정재현, 이세호, 장옥훈

현대전자산업주식회사

### FPGA design of Reverse Link Modulator for Mobile Station in IMT-2000

Bong Hoo Kim\*, Chae Hong Jeong, Jae Hyun Chung, Se Ho Lee, Ok Hoon Jang

Hyundai Electronics Industries Co., Ltd.

#### Abstract

In this paper, We propose design and implementation method of Modulator for IMT-2000 over reverse link. Parameters necessary for each block use those specified in cdma2000, i.e. standard for third generation cellular mobile communication which is proposed in currently North America. As software tool for modulator design, We implemented using MAX+PLUS II that ALTERA support. Our System is totally composed of eight block and make it possible to transmit four channels(PICH, FCH, SCH, DCCH) simultaneously. Also the system is designed to make it possible to transmit data up to maximum 384kbps.

#### 1. 서론

차세대 이동통신인 IMT-2000은 기존의 이동통신망 및 서비스들을 하나로 통합하여 이를 통해 가능한 모든 이동통신 서비스가 제공될 수 있는 시스템이며, 다양한 형태의 무선 접속 및 대용량의 가입자 수용 능력을 확보하여 멀티미디어 서비스 및 멀티 서비스 환경에 대처할 수 있는 능력을 갖춘으로써 가입자에게 종합 이동통신 서비스를 제공하는 것을 목표로 설정하고 있다. 아울러, 서비스 측면에서는 음성과 2Mbps 까지의 전송속도를 갖는 데이터, 영상 등의 멀티미디어 통신 및 국제 로밍 서비스를 제공하고, 망 측면에서는 ATM 망을 기반으로 하는 유무선 통합 시스템을 목표로 하고 있다. 현재, 선진 각국의 통신관련 업계에서는 경쟁적으로 IMT-2000의 서비스 구현을 위한 기술개발에 전력을 기울이고 있는 상황이다. 지금까지는 여러개의 규격(안)들이 제안되고 있으나 전반적으로 많은 변화의 가능성을 내포하고 있다. 또한 IMT-2000의 무선접속규격은 아직까지는 많은 변화의 가능성이 있으나, 장기적으로 몇 개의 유력한 규격(안)이 서서히 안정적인 시스템으로 발전할 것으로 보인다.

cdma2000 Reverse Link 채널은 여러 개로 구성되어

있고 본 논문에서 고려하고 있는 채널 구조로는 IS-95B에서는 없었던 Pilot Channel(PICH), 트래픽 채널을 할당 받기 위한 Access Channel(ACH), 호 설정후의 트래픽이 전송되는 Fundamental Channel RS1, RS2(FCH RS1, RS2), Supplemental Channel(SCH), Dedicated Control Channel(DCCH)이다[2]. data rate은 384kbps를 지원할 수 있도록 하고 코딩 기법으로서는 Convolutional Code( $K=9$ )를 사용하였으며 14.4kbps 이상의 high data에서 효과적인 Turbo Code는 고려하지 않고 차후에 적용할 수 있도록 환경을 구축한다. Multi-rate 구현은 1.2288MHz와 3.6864MHz의 두 개의 대역을 고려하였고 SCH는 1개만을 고려한다. 따라서 본 논문에서의 채널구조로는 PICH, ACH, FCH(RS1,2)의 음성 트래픽 채널, SCH의 데이터 트래픽 채널, DCCH의 제어 채널로 구성된다.

변조기는 총 8개의 블록으로 분류해서 구현하였고 이는 Register Block, Main Control Block, Encoder Block, Interleaver Block, Walsh Generation Block, PN Generation Block, Complex Spreading Block, FIR Filter Block으로 구성된다.

2장에서는 변조기 내부의 각 블록별 구현 방법을 제시하고 3장에서는 이에 대한 결론을 내린다.

#### 2. 각 블록별 구현 방안

##### 2.1 변조기 구조

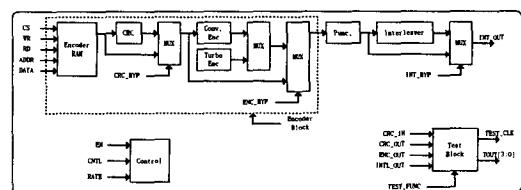


그림 1-1. 전체적인 변조기 구조

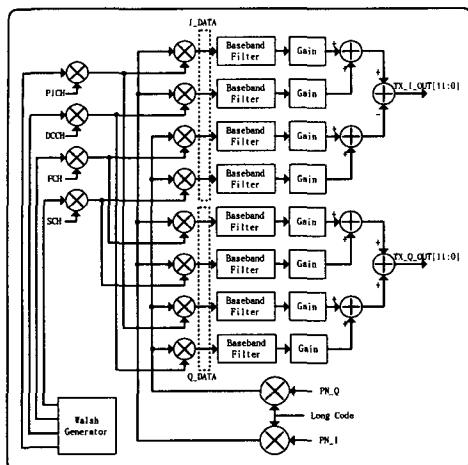


그림 1-2 전체적인 변조기 구조

그림 1은 변조기의 전체적인 구조를 나타낸 것으로 그림 1-1은 입력 인터페이스부터 인터리버 블록에 대한 하드웨어 설계 구조를 나타내고 그림 1-2는 Walsh Generationr 와 Complex Spreading 및 FIR 필터 블록의 하드웨어 구조를 나타낸 것이다.

그림에서 보듯이 세부 기능 블록은 bypass 될 수 있고, 각각의 출력 데이터는 테스트 제어 신호에 의해 외부에서 검출될 수 있다.

Walsh Code 와 곱해진 각 채널의 I, Q 데이터는 주어진 RF 대역 밖의 주파수 영역에 영향을 주지 않기 위해 CHIP $\times$ 4 클럭에 동기된 1:4 인터플레이션 FIR 필터를 통과하게 되고 그 후 Complex Spreading 을 수행하게 된다[5]. cdma2000 규격상에는 Complex Spreading 후 FIR 필터 연산을 수행하도록 되어 있지만 이런 경우 FIR 필터의 입력 비트가 multiple 이 되므로 많은 logic gate 수가 요구된다. 따라서 이 두 블록의 처리 순서를 바꾸어서 구현해야 한다.

## 2.2 Main Control Block

IMT-2000 Modulator Main Control 블록은 20bit 카운터를 이용하여 SYNC80M 신호와 타이밍에 관련된 레지스터값을 기초로 하여 각 블록에 필요한 여러 제어신호를 생성시키고 내부동작클럭을 기초로 하여 각 블록의 동작클럭 및 동작시작을 지시하는 SYNC 신호를 생성시킨다.

이 카운터를 초기화하기 위해 TXSYNC\_ST 의 14 비트 레지스터, SYSFR\_STATE 의 6 비트 레지스터가 필요하다. 이 레지스터 내의 값은 Micro Processor로부터 데이터 버스를 통해 할당되고 복조기로부터 입력되는 SYNC80M 신호를 받아 카운터의 초기값으로 Load 된

다. 초기화된 카운터는 각각 9.8304MHz 혹은 29.4912MHz 의 Chip $\times$ 8 Main Clock 으로 수행하며, 이들의 출력은 Control Logic 에 의해 필요한 신호를 출력한다.

### 2.2.1 기본동작 클럭(PN\_CK)의 생성

주파수가 1.2288MHz 혹은 3.6864MHz 인 PN\_CK 는 카운터의 하위 3 비트가 000 일 때만 UP 이 되는 클럭이다.

PN\_CK 는 각 블록을 동작시키는 기본클럭의 역할을 수행한다. 특히 42bit long code 생성기, 15bit I/Q 채널의 PN sequence 생성기의 동작클럭으로 사용되고 FIR 필터에서의 데이터 입력 클럭으로 사용된다.

### 2.2.2 Walsh Code 동작신호의 생성

IS-95B 에서 1 개의 Walsh Code 가 4 개의 long code PN 값과 XOR 되는 것과는 달리 cdma2000 에서는 Walsh chip rate 이 PN chip rate 과 동일하므로 하나의 Walsh chip 이 하나의 PN chip 과 XOR 된다. 그리고 각 채널마다 생성되는 Walsh 주기가 다르므로 Walsh 생성기의 동작 신호도 각각 다르게 된다. FCH 에서는 0011, SCH 에서는 01(SCH 가 2 개일 경우는 0101 를 사용), DCCH 에서는 00001111, ACH 에서는 FCH 에서와 동일한 0011 의 Walsh sequence 를 발생한다. 따라서 Walsh Symbol 의 주기는 각각 PN\_CK 의 4 배, 2 배, 8 배, 4 배가 된다.

### 2.2.3 FIR 필터의 동작신호

FIR 필터는 계수를 선택하거나 필터를 동작시키기 위해 필요한 CHIP $\times$ 8 의 2 분주 클럭인 CK\_2(4.9152MHz 혹은 14.7456MHz)을 사용한다. PN\_CK 의 rising edge 에서 데이터가 각각 In-Phase 및 Quadrature-Phase FIR 필터로 입력되고 CK\_2 가 up 일 때 필터 연산을 수행하여 In-Phase 및 Quadrature-Phase FIR 필터를 출력시킨다.

### 2.2.4 전력제어(PCG\_CK) 신호생성

cdma2000 은 기존 IS-95B 방식에 비해 역방향에서 Pilot Channel 이 존재하고 전력제어는 통화채널상에서 이루어지는 것이 아니라 이러한 Pilot Channel 에서 Pilot data(all 0)와 Symbol Repetition 을 거친 Power Control Bit 가 Multiplexing 되고 매 1.25ms(800Hz)마다 이루어진다. 이는 IS-95B 에서의 전력제어 주기와 같다[1][2].

### 2.2.5 프레임 관련 동작클럭의 생성

REV80M 신호는 80ms SYNC 신호로서 카운터의 상

위 17 비트가 모두 UP(단 12 번째 비트는 0)이고 하위 3 비트가 000 일 때, UP 이 되는 펠스를 Reverse Offset 값만큼 지연시킨 것이다. 여기서 Reverse Offset 은 4 비트 레지스터인 REV\_OFFSET 의 값으로서 0에서 15 까지의 Power Group 수를 나타내므로 REV80M은 최대 15 개의 Power Group 즉 18.75ms 만큼 지연될 수 있다. REV20M은 20ms SYNC 신호로서 카운터의 상위 17 비트 중, 최상위 2 비트를 제외한 나머지 15 비트가 모두 UP(단 12 번째 비트는 0)이고 하위 3 비트가 000 일 때 UP 이 되는 펠스를 Reverse Offset 값만큼 지연시킨 것이다. ENC20M은 20ms SYNC 신호로서 CPU로부터 받은 데이터를 저장해 둔 ENC\_RAM 으로부터 데이터를 읽어 CRC, Convolutional Encoding 및 Interleaving 을 수행하며, REV20M 보다는 최소한의 인터리버 RAM write 시간만큼 앞서있다.

### 2.3 Encoder Block

Vocoder에서 출력되는 데이터는 변조기내의 레지스터에 저장되고 Micro Processor에 의해 레지스터가 어드레싱되면 데이터가 RAM에 Write하게 된다. 그 후 Main Control 블록에서 RAM Read Enable 신호가 입력되면 Address Counter가 Reset되고 0번지부터 카운트를 시작하여 RAM을 Read하게 된다.

Vocoder로부터 받는 한 프레임 당 Data bit 수는 chip rate 및 Information rate에 따라 각 채널마다 다르게 되는데 최대 bit를 고려하여 설계함으로써 레지스터 및 RAM을 공유할 수 있다. 한 프레임내에서 정보비트 다음에 삽입하게 되는 CRC의 생성다항식은 IS-95B 문서와 동일하다[1].

고속의 데이터 전송을 위한 방안으로서는 Turbo Code를 사용하는 것이 더 적절하나 본 논문에서는 고려하지 않고 K=9, R=1/4인 Convolutional Code 을 이용하여 구현한다.

### 2.4 Interleaver Block

Interleaver를 구현하기 위해서 각 채널마다 한 개의 Interleaver RAM이 필요하지만 DCCH와 ACH는 동시에 발생하지 않으므로 이 채널을 공유하면 3 개의 Interleaver RAM이 필요하게 된다. ENC20M 신호에 의해 Encoder 블록으로부터 출력되는 Code Symbol을 행 단위로 순차적으로 Write하고 REV20M 신호에 정확히 동기되어 주어진 Read Order에 따라 Read 한다.

### 2.5 Walsh Modulation Block

채널간 간섭을 없애기 위해 서로 직교성을 갖는

Walsh Code로 데이터와 곱해지게 된다. Walsh Code는  $2 \times 2$ ,  $4 \times 4$ ,  $8 \times 8$  Hadamard Matrix로부터 생성된다. 각 채널에 대한 Walsh Code는 FCH인 경우  $W_{4,2}(0011)$ , SCH인 경우  $W_{2,1}(01)$ , DCCH인 경우  $W_{8,4}(00001111)$ , ACH인 경우는  $W_{4,2}(0011)$ 이다. 여기서  $W_{m,n}$ 은  $m \times m$  Hadamard Matrix 중  $n$  ( $0 \leq n \leq m-1$ ) 번째 code를 말한다. 이는 3.6864MHz 대역인 경우에도 동일하다.

## 2.6 PN Generation Block

cdma2000에서의 Short 및 Long PN Code 생성은 IS-95B와 동일한 특성 다항식을 사용한다[1].

### 2.6.1 Short Code Generation

I 및 Q 채널의 PN Short Code를 발생시키는 블록으로 레지스터 블록에서 발생되는 I\_PN\_STATE[14:0]와 Q\_PN\_STATE[14:0]의 레지스터 값을 초기값으로 하여 수행된다. 이 레지스터는 REV80M마다 Loading되고 결과  $2^{15}-1$ 의 주기를 갖는 Code가 발생된다. 본 논문에서 고려한 레지스터 초기값은 I 채널 seed로서 h59DA이고 Q 채널 Seed로서 h77B4로 하였다.

I, Q PN Generation의 주기를  $2^{15}$ 로 하기 위해 14개의 0이 연속적으로 발생하면 이를 검출해 I, Q PN Generator의 출력에 하나의 0을 삽입하는 Zero Insertion Logic이 필요하다. I PN Generator에서 15개의 D flip flop의 출력의 상태가 '110111111111111'일 때 즉 sequence 출력은 13개의 연속적인 '0'을 가질 때를 검출하여 만들어진 펠스는 한 clock 만큼 지연되어 입력 clock과 AND 연산이 수행되어 I PN generator clock으로 들어간다. 이 결과로 I PN Generator의 출력은 14개의 연속적인 '0'이후 하나의 '0'이 삽입되어 결국 15개의 연속적인 '0'을 갖게 된다. Q PN Generator의 출력의 상태가 '110111111111111'가 되는 시간도 정확히 I PN Generator의 경우와 같다. 따라서 Q PN Generator의 '0' 삽입 회로는 I PN Generator 출력을 검출한 회로의 출력을 똑같이 사용한다. 그럼 2는 I 및 Q 채널의 PN 생성기 및 0 삽입 회로를 나타낸 것이다.

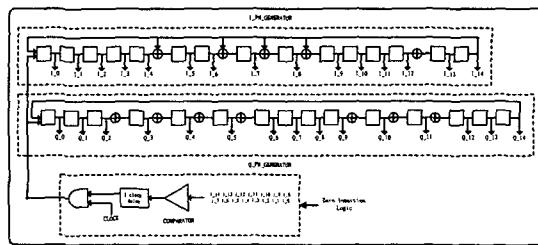


그림 2. I/Q 채널 PN 생성기 및 0 삽입 회로

### 2.6.2 Long Code Generator

I 및 Q 채널의 PN Long Code 를 발생시키는 블록으로서 레지스터 블록에서 발생되는 PN42\_STATE[41:0] 와 PN42\_MASK[41:0]의 레지스터 값을 초기값으로 하여 수행되고  $2^{42}-1$  의 주기를 갖는 Code 가 발생된다. 레지스터 및 MASK 초기값은 각각 h3AAAAAAAAAA, h3FFFFFFFFF 로 하였다.

### 2.7 Complex Spreading 및 FIR Filter Block

Walsh Code 가 곱해진 각 채널의 I, Q 데이터는 LPF 를 거치게 되고 이것은 Pulse Shaping Filter로서 선형위상특성을 가지며 1:4 인터폴레이션 필터로 구성된다. 따라서 1.2288Mcps 의 입력일 경우는 4.9152MHz 로 출력이 되고 3.6864Mcps 의 입력일 경우는 14.7456MHz 로 출력이 된다. 이러한 규격을 만족하기 위한 필터 계수로서 총 48 개의 템을 갖는 FIR 필터를 사용하였고, FIR 필터는 디지털 필터이므로 템 계수를 양자화하는 과정이 필요하게 되는데 양자화 오류를 최적화하기 위한 템 계수는 10 비트로 하였다. 구현해야 할 기본적인 1:4 인터폴레이션 FIR 필터의 기능은 다음과 같다.

FIR 필터의 입력 비트는 1 개이고 계수는 10 비트로 양자화 했으므로 12 개의  $4 \times 10$  크기의 계수저장 ROM, 12 개의 승산기, 12 개의 가산기, 45 개의 레지스터가 요구된다. 승산기, 가산기, 레지스터의 동작 주파수는 FIR 필터의 출력 주파수와 동일한 CHIP  $\times 4$  이며 데이터 1 개가 입력되는 동안에 4 개의 계수가 승산기로 입력되어 필터를 수행한다. 12 개의 승산기로 동시에 입력되는 계수를 그룹으로 표현하면 48 개의 필터계수는 4 개의 계수그룹으로 {G0, G1, G2, G3} 으로 분류된다. G0 는 {h(0), h(4), ..., h(40), h(44)} 이고 G1 은 {h(1), h(5), ..., h(41), h(45)} 이고 G3 은 {h(2), h(6), ..., h(42), h(46)} 이며 G3 은 {h(3), h(7), ..., h(43), h(47)} 이다. 한 개의 데이터가 입력될 때마다 가장 먼저 계수그룹 G0 가 곱해지고 그 다음에는 G1, 그 다음에는 G2, 마지막으로 G3 가 곱해진다.

FIR 필터를 수행한 후의 데이터는 Complex Spreading 블록을 거치게 된다. 이것은 Peak-to-Average ratio 를 줄이기 위해 사용되는 방식으로서 전력 문제에 민감한 단말기에 아주 중요한 요소가 된다.

그림 3 은 1:4 인터폴레이션 FIR 필터의 동작 과정을 나타낸 것으로서 각 채널의 데이터는 PN\_CK 클럭으로 입력되고 필터 연산이 수행되어 각각 CHIP  $\times 8$  의 동작 주파수를 갖는 필터 출력이 생성되고 그 후 12 비트의 Complex Spreading 출력이 생성된다.

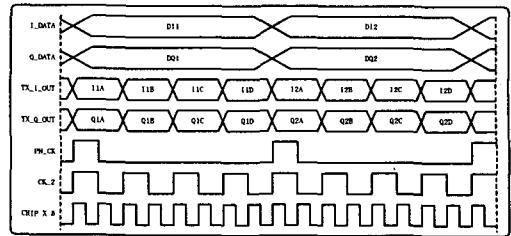


그림 3. FIR 필터 동작 과정

### 3. 결론

본 논문에서는 복미 방식인 cdma2000 표준 규격을 기반으로 하여 IMT-2000 시스템을 위한 단말기용 변조기를 설계 및 구현하였다. FPGA 구현을 목표로 하고 ALTERA 사에서 제공하는 Tool 을 사용하여 Schematic 및 VHDL 로 작성하여 이에 대한 시뮬레이션을 수행하였다.

Data rate 으로서는 음성 및 영상의 서비스를 지원하기 위해서 384kbps 의 전송 속도까지 고려하였다. 고속의 데이터를 전송하기 위해서는 Turbo Code 를 이용하는 것이 적절하나 본 논문에서는 고려하지 않고 차후에 구현할 계획이다.

현재 IMT-2000 의 무선접속규격은 많은 변화의 가능성이 있으나 장기적으로 몇 개의 유력한 규격(안)이 서서히 안정적인 시스템으로 발전할 것으로 보이고 있다. 현재 여러 국가에서 IMT-2000 시스템의 조기 상용화를 목표로 하여 단말기 개발에 박차를 가하고 있는 실정이므로 이러한 시점에서 장기적인 경쟁력을 갖는 IMT-2000 시스템용 변조기의 개발은 차세대 이동통신 시스템의 핵심기술을 확보한다는 의미에서 대단히 중요하다고 볼 수 있다. 또한 조기에 단말기를 개발함으로써 차후에 무선접속규격이 결정되면 즉시 상용 시스템으로 전환할 수 있는 환경을 구축할 수가 있다.

### 참고문헌

1. "Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular Systems Part II", TIA/EIA-95.
2. "The cdma2000 ITU-R RTT Candidate Submission V0.18", TIA, 1998.7.
3. "Mobile Station Modem 3000 User's Manual", Qualcomm Proprietary.
4. "Wireless Local Loop Modem Chip Set Data Book", C&S Technology, 1998.
5. Emmanuel C. Ifeabor and Barrie W. Jervis, "Digital Signal Processing", 1993.