

접속 비트 전환식 양방향 접속 포트의 설계

°임태영*, 곽명신*, 정상범**, 이천희**

한국전자통신연구원*, 청주대학교**

전화: 0431) 229-8448/ 팩스 : 0431) 213-6392

Design of the Bit selectable and Bi-directional Interface Port

Lim, Tae Young Kwak, Myung Shin* Jeong, Sang Bum** Yi, Cheon Hee**

ETRI*, Chongju University**

E-mail : yicheon@chongju.ac.kr

Abstract

In this paper, Bit selectable and Bi-directional Interface Port is described, which can communicate data with the peripheral devices. Specially A description of the asynchronous design method is given to remove the clock skew phenomenon, and the output asynchronous control method which finds the optimal clock and controls all the enable signal of the output pins at the same time is presented. Using this technique interface ports have delay time of less-than 0.5ns.

1. 서론

근래에 들어 SOC(System on chip)에 대한 관심이 높아지면서 다양한 기능을 구현할 수 있는 대규모 디지털 시스템의 설계 수요가 출현되고 있다. 한편, 시스템이 고속화되고 고집적화 될수록 동기방식의 전역 클럭(Global clock)만 사용한 설계로써는 클럭 스케이프(Clock skew) 현상을 제거하기가 어려워진다. 이러한 문제를 해결하기 위한 방법의 하나로 전역 클럭을 사용하지 않는 비동기 회로(Asynchronous circuit)에 대한 연구가 활발히 진행되고 있다[1, 2].

비동기 회로는 저전력 회로 구현에 적합한 장점이 있다. 전력소모 요인 중에서 부하 캐페시턴스의 충전과 방전에 의한 소모가 아주 큰 비중을 차지하는데, 이러한 전력소모를 줄일 수 있는 방법으로는 전압을 낮추거나, 기생 캐페시턴스를 줄여서 충전과 방전 시에 소모되는 전력을 줄이는 방법이 있고, 주어진 일에 필요한 게이트 출력의 충전과 방전의 회수를 줄여서 전력을 줄이는 방법이 있다[3].

한편, CMOS SOG(Sea Of Gate) 회로의 전압과

기생 캐페시턴스 값은 베이스 어레이(Base array)와 디자인 룰(Design rule)에 따라서 특정한 값으로 고정된다. 따라서 CMOS SOG 회로에서 전력소모를 줄이는 방법은 주어진 일에 필요한 게이트 출력의 충전과 방전의 회수를 줄이는 것이 유일한 방법이다. 이는 주 클럭(Main clock)을 사용하지 않는 데이터-흐름 회로 구조로 설계하는 방법이다. 이 구조는 여러개의 신호처리 코어가 있는 데이터-흐름 아키텍처를 사용한다. 이 코어는 클럭을 사용하지 않고, 대신에 명령이나 데이터의 도착에 근거하여 명령을 실행한다. 코어에서 클럭을 없앴다는 것은 명령이나 데이터가 없을 때 IC가 전력을 거의 사용하지 않으므로 저전력 소자를 구현할 수 있게 된다[4].

또한 주변장치들과 시스템간에 실시간으로 정보를 주고받으려면, 다시 말해서 키보드를 눌렀을 때 그 정보가 즉각 시스템에 전달하도록 하려면, 주변장치의 입력 또는 상태 신호들로써 시스템 CPU에 직접 인터럽트(Interrupt)를 요청할 수 있고, CPU의 인터럽트 응답을 받아들여서 최근의 주변장치를 직접 제어 할 수 있도록 설계해야 한다. 이는 주변장치와 통신하는 접속 포트 부분을 비동기식 회로 구조로 설계함으로써 해결의 한 방법이 될 수 있고, 동기식으로 설계한 것에 비해서 고속동작을 추구할 수 있다[4].

이러한 배경으로 CMOS SOG용 범용 접속기(Common Interface)로써 고속/저전력 동작에 적합한 프로그래머블 주변장치 접속기(PPI : Programmable Peripheral Interface)를 설계하였으며[4, 5], 본 논문에서는 주변장치와 접속하는 포트들의 개별 비트 출력 신호들의 클럭 스케이프(Clock skew) 현상을 없애기 위해서 이네이블 신호 생성기(조합회로 #1)의 출력을 랙치 시키는 “최종 출력단자 제어”기법에 대하여 상술하였다.

2. 양방향 접속 포트의 구성

본 논문에서 제안하는 비트 전환식 양방향 접속 포트는 그림 1 처럼 1개의 C 포트 제어부와 1개의 C 포트 접속부 및 8핀의 양방향 입출력 패드로 구성한다.

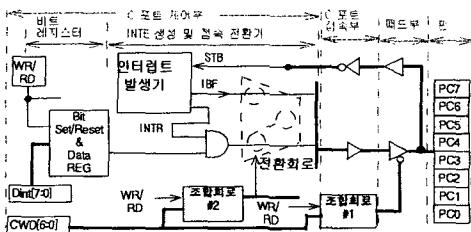


그림 1. 비트 전환식 양방향 접속 포트의 구성도

그림의 좌측에 있는 신호들은 PPI[4, 5]의 내부 블록과 연결되는 것이다. C 포트 제어부는 비트 전환식 양방향 접속 포트의 코아로써, 비트 세트/리셋 및 데이터 저장기(Bit Set/Reset & Data REG) 1개와 인터럽트 생성 및 접속 전환기[인터럽트 발생기, 접속회로 전환기(MUX)] 여려개와 조합회로 #2로 구성한다. 이 제어부는 C 포트의 상위 4비트와 하위 4비트의 출력 이네이블을 개별적으로 제어하면서, 데이터 버스 입력을 받아들여 비트 세트/리셋 및 데이터 저장 회로가 동작하도록 설계하며, 인터럽트에 관련된 신호들을 생성해서 입/출력 되도록 설계한다. C 포트 접속부는 버퍼 및 출력핀 제어 신호 생성용 조합회로 #1으로 구성한다. 패드부는 양방향 입출력 패드로 구성하고 우측에 주변장치와 접속하는 핀들을 나타내었다.

비트 전환식 양방향 접속 포트는 저전력 설계를 위하여 주 클럭(Main Clock)을 사용하지 않고, 대신에 명령이나 데이터의 도착에 근거하여 명령을 실행 할 수 있는 데이터-호름 회로 구조를 갖도록 설계한다.

비트 전환식 양방향 접속 포트의 데이터-호름은 다음과 같다. 그림 3의 좌측에 있는 비트 세트/리셋 겸 데이터 저장기와 접속회로 전환 제어용 조합회로 #2에는 연결단자를 통하여 8비트의 데이터와 8비트의 콘트롤 워드(명령어)가 도착하고 이를 과 수반하는 쓰기(WR)나 읽기(RD) 신호가 도착한다. 이 후 쓰기나 읽기 신호의 상승시점(라이징 엣지, Rising Edge)을 감지하여 이 때 저장기와 조합회로 #2가 작동, 출력한다.

비트 전환식 양방향 접속 포트가 출력담당 주변장치의 용답에 따라 수행 하는 실시간 동작은 다음과 같다. 그림 1의 좌측에 있는 썬봉기 신호는 즉각적으로 인터럽트 발생기를 구동 시켜서 출력 버퍼 차음(OBF, Out Buffer Full) 신호를 외부 접속 편과 접속된 주변장치의 데이터 수령 대기(Data Ready) 편으로 출력하고 CPU에게는 인터럽트 금지(Interrupt Disable) 신호를 출력한다. 주변장치는 이 신호에 근거하여 데이터 수령 준비 완료 신호로써 애크놀러지(Acknowledge)를 인터럽트 발생기에 입력시킨다. 이 신호는 읽기나 쓰기 유무와 관계없이 즉각적으로 인터럽트 발생기를 구동 시켜서 출력 버퍼 차음 신호를 종료시키고 인터럽트 금지(Interrupt Disable) 신호를 종료시킨다. 이상의 동작은 주변장치의 애크놀러지 신호에 의하여 주 클럭 없이 인터럽트 발생기의 구동이 종료되므로 비동기로 설계한다.

출력담당 주변장치의 애크놀러지 신호에 근거한 상세 파형 사양을 그림 2로 나타내었다. 그림에서 음영으로 표시한 부분이 출력으로써 이와 동일한 파형들이 출력 되도록 설계한다.

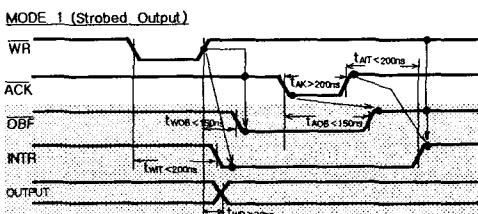


그림 2. 출력담당 주변장치의 상세 파형 사양

3. 모듈 통신을 위한 비동기 설계

디지털 회로는 연결되어 있는 순차회로 모듈들의 접합으로 볼 수 있는데, 동기회로에서는 순차회로 모듈간의 데이터의 전송이 클럭에 의해 제어된다. 즉, 한 클럭 주기동안에 각 모듈이 입력 데이터를 처리하여 출력 데이터를 생성하도록 함으로써 자동적으로 데이터들이 모듈간에 전송되도록 할 수 있는 것이다. 비동기 회로에서는 모듈간의 데이터 전송을 하기 위해 그림 3 (a)에서 지연소자 부분이 없는 상태로 모듈간의 통신을 사용한다. 데이터를 보내는 모듈에서는 데이터가 준비되었음을 REQ 신호로 알리고 데이터를 받는 모듈에서는 데이터를 받을 준비가 되었음을 ACK 신호로 알림으로써 데이터를 전송한다[6].

데이터를 전송하려는 모듈에서 데이터가 준비되

었다는 것을 인지하는 방법으로는 두 가지가 사용된다[6]. 하나는 그림 3의 (a)와 같이 모듈의 동작 시간에 해당하는 지연소자를 삽입하는 방법이다. 이 방법은 구현이 단순하고 회로의 크기가 작다는 장점이 있지만 동기회로와 마찬가지로 각 모듈의 속도를 최대한 이용하지 못하는 단점이 있다.

다른 방법으로는 그림 3의 (b)와 같이 모듈의 동작이 완료되었는지를 감지하는 회로를 사용하는 방법이 있다. 이 방법으로 비동기 회로의 데이터부를 구현할 때에는 단일 레일 코드와 이중 레일 코드 두 가지 방법이 사용될 수 있다. 단일 레일 코드에서는 데이터의 각 비트를 전달하는데에 하나의 선을 사용하고 각 선에는 두 가지의 안정된 논리 값인 0과 1이 전달된다. 이중 레일 코딩 방식에서는 두 개의 선으로 데이터의 한 비트를 전송한다. 예를 들면 “01”은 안정된 논리값 1을 “10”은 안정된 논리값 0을 “00”은 유효한 데이터를 분리해주는 분리자를 나타나도록 할 수 있다. 이렇게 함으로써 데이터 자체로부터 데이터가 유효한지 그렇지 않은지를 알아낼 수 있는 것이다.

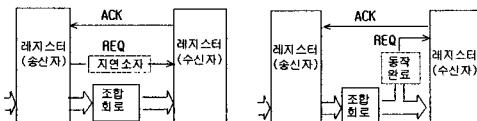


그림 3(a) 지연소자 삽입법, (b) 동작완료 감지법

한편, 이 방법들은 회로내부에서 레지스터들 간에 송수신 할 때에는 적용이 가능하지만, 그림 1에 나타낸 본 논문의 비트 전환식 양방향 접속 포트처럼, 주변기기와 레지스터간의 입출력 편을 통한 데이터 통신에는 문제가 있다. 그림 3(a)의 첫 번째 방법을 보면 REQ 신호가 그림 1에서처럼 전환회로와 입출력 편을 지나면서 추가되는 지연시간과 데이터 신호의 지연시간이 서로 다르므로 이들에 대한 추가 고려가 필요하다. 또한 그림 3(b)의 두 번째 방법을 보면 한 개의 데이터 라인에 두 개의 레일을 사용해야 하므로 이를 수용할 수 없는 주변기기일 경우에는 적용할 수가 없다. 따라서 본 논문에서는 새로운 방법으로써, 송신 레지스터를 구동시키는 “읽기”나 “쓰기” 신호에 맞추어 입출력 편을 통해 출력되는 신호들의 타이밍을 최종단에서 제어하는 “출력 신호 비동기 제어 방식”을 제안하기로 한다.

4. 출력 신호 비동기 제어 방식

4.1 PPI의 출력신호 제어 방식

PPI의 내부에 있는 비트 전환식 양방향 접속 포트 중에서 출력용 주변장치에 대한 제어부분은 그림 4에서 D-Latch 부분이 없는 상태와 같은 구조로 설계되었다[4]. 그림에서 비트 전환식 양방향 접속 포트(데이터를 보내는 모듈)는 데이터가 준비되었음을 OBF 신호로써 주변장치에 알리며, 디스플레이와 같은 주변장치(데이터를 받는 모듈)는 데이터를 받을 준비가 되었음을 ACK 신호로 알림으로써 데이터가 전송된다.

이 때 ACK 신호는 지연이 거의 없이 장치 내부로 인가되나, OBF 신호는 조합회로 #2 및 전환회로에 의한 1차 지연과 조합회로 #1에 의한 2차 지연이 발생된다. 또한 D0와 D1등의 데이터 신호들도 동일한 지연을 수반하며 출력된다. 이와 같은 지연들은 각 출력 비트마다 전환회로와 조합회로 #1을 거치는 제어소자의 경로가 다르므로 OBF 출력 단자에서 약 10ns 정도의 지연 시간차가 발생하게 된다. 이는 비트별로 프로파게이션 지연이 다르게 나타나는 현상으로써 Top 회로를 구성 한 후 시뮬레이션 과정에서 슈퍼씽크 체크 에러가 발생하게 되는 원인이 된다.

4.2 출력신호 비동기 제어 방식에 의한 비트 전환식 양방향 접속 포트의 설계

비트 전환식 양방향 접속 포트의 데이터와 인터럽트 레지스터의 출력 신호는 서로 지연 시간이 다르게 전환회로와 출력 편에 입력될 수 있다. 이와 같이 여러곳에서 지연을 일으킬 수 있는 경우에는 각 단계별로 해결하는 것보다는 총체적으로 다루어야 한다. 따라서 두 신호를 제어하는 핵심 신호를 찾아야 하는데 이 경우에는 읽기나 쓰기 신호이며, 이 신호가 조합회로 #1, #2의 최종 출력을 이네이블 시키는 역할을 담당하고 있다. 본 장치는 결국 읽기나 쓰기 신호의 라이징 엣지에서 전환회로의 제어신호를 구동하도록 함으로써 데이터와 인터럽트 레지스터의 출력 신호를 출력 편의 입력 측까지 도달하게 하였다. 한편, 라이징 엣지를 검출하여 이 때부터 10ns 이후에 읽기나 쓰기 신호의 폭과 동일한 제 2의 읽기나 쓰기 신호를 만들어서 그림 4와 같이 조합회로 #1과 출력 제어 편 사이에 삽입한 D-Latch를 구동 시켰다. 이를 “최종 출력단자 제어” 기법이라 하였고, 이로 인하여 서로 다른 시간에 도착한 포트의 각 비트들을 동시에 출력하도록 할 수 있

었고, 클럭 스퀴(Clock skew) 현상을 제거할 수 있었으며, 슈퍼씽크 체크를 통과 할 수 있었다.

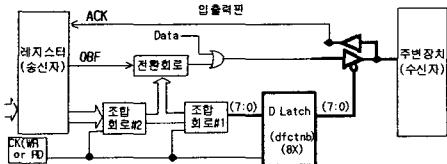


그림 4. 최종 출력단자 제어 기법의 불력도

5. 시뮬레이션 및 칩의 측정 결과

그림 5는 이의 시뮬레이션 결과이며, 그림에서처럼 모든 비트들은 동시에 0.5ns의 지연 시간을 포함하며 출력하였다. 본 논문에서 제안한 비트 전환식 양방향 접속 포트를 포함하여 구현한 PPI의 최종 시뮬레이션 결과를 그림 6에 나타내었다. 그림에서 PDATA_OUT은 이 장치에 인가되는 입력으로써, PAI가 2 일 때 인가되는 "56"이 MSCOUT으로 "5"가 출력되고 LSCOUT으로 "6"이 출력되면서 4비트씩 나뉘어 출력되는 것을 확인하였고 완성된 칩에서도 동일한 출력을 얻을 수 있었다.

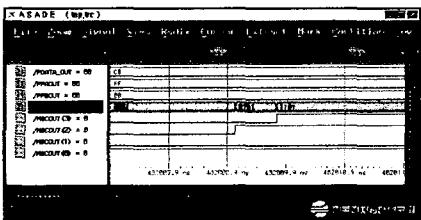


그림 5. 최종 출력단자 제어 기법의 시뮬레이션 파형

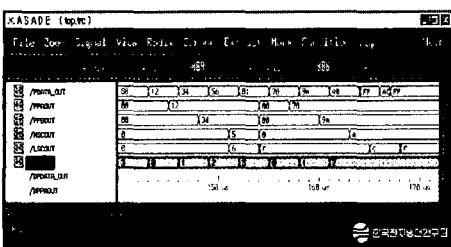


그림 6. PPI의 최종 시뮬레이션 결과 파형

6. 결론

본 논문에서 제안한 비트 전환식 양방향 접속 포트를 LODECAP[7]의 도면 편집기(Schematic Editor)와 진리치 합성기를 이용하여 회로도 입력과 블럭별 프리 시뮬레이션을 확인, 설계를 완성하였다. 또한 비트 전환식 양방향 접속 포트가 포함된 PPI의 설계 및 시뮬레이션을 완료하고 ETRI의 반도체 공정라인을 이용하여 웨이퍼 가공 공정을 완료하였다. 개발된 ASIC은 세 개의 프로그램어를 주변장치 접속회로 제어기와 한 개의 어드레스 디코딩용 PAL을 1개의 칩에 집적 시킨 것으로써, 50MHz에서 작동하고, 총 6,000 게이트로 ASIC화되었다. 출력 신호 비동기 제어 방식으로 설계한 회로의 출력 비트들 간의 지연 시간차는 시뮬레이션에서 0.5ns 이내를 나타내었고 구현된 칩의 측정 결과와도 일치하였다. 본 연구 결과로 구현한 ASIC은 범용 주변장치 접속기의 용도로 폭넓게 적용할 수 있다.

참고 문헌

1. J.V. Woods, P. Day, S.B. Furber, J.D. Garside, N.C. Paver and S.Temple, "AMULET1: An Asynchronous ARM Processor," IEEE Trans. on Computer, Vol.46, No.4, pp.385-398, April 1997.
2. 정성태, "캐리 선택과 캐리 우회 방식에 의한 비동기 가산기의 CMOS 회로 설계" 한국정보처리학회 제5권 제11호 P29802988, 1998년 11월
3. A. Bellaouar and M.I. Elmasry, "Low-power Digital VLSI Design," Kluwer Academic Publisher, 1995.
4. Pic 16/17 Micro controller data book, Microchip Technology Inc, 1995
5. 임태영 외 3명, "자동차 및 검사자동화 시스템을 위한 접속회로 설계" 제6회 한국반도체 학술대회 논문집, pp.541-544, 1999년 2월.
6. C.L. Seitz, "System timing," in Introduction to VLSI Systems, Addison-Wesley, 1980.
7. 배영환 외 10명, "수동 및 자동설계를 지원하는 VHDL 통합 설계 CAD 시스템", 1996 세계 한민족 과학자 종합학술대회, 1996년 7월