

패키지의 주파수 의존형 파워 및 그라운드 평판 모델

이동훈, 어영선

한양대학교 전자공학과

Frequency-Variant Power and Ground Plane Model for Electronic Package

Dong-hun Lee and Yungseon Eo

Dept. of Electronic Engineering, Hanyang University

E-mail: egmn@iel.hanyang.ac.kr

eo@iel.hanyang.ac.kr

Abstract

A new frequency-variant equivalent circuit model of power/ground plane is presented. The equivalent circuit is modeled with grid cells. The circuit parameters of each cell were extracted by using Fasthenry. To verify the developed circuit model, its s-parameters are compared with the measured s-parameters [2] and the full-wave simulation-based s-parameters. Consequently, it is shown that our frequency-variant equivalent circuit model can accurately predict imperfect ground effects under the high frequency operation of electronic package.

I. 서론

고속 고집적화를 위한 다층 패키지에서는 안정된 시스템 동작을 위해 패키지 내부에 보다 많은 수의 파워 및 그라운드 핀을 할당할 뿐만 아니라 그라운드 및 파워를 위해 전체 평면을 할당하고 있다. 그럼에도 불구하고 시스템의 동작 속도가 더욱 고속화됨에 따라 이상적인 파워와 그라운드 평판으로의 역할을 하지 못하고 있다. 따라서 이를 평판에 대한 특성을 정확히 해석해야 안정적인 시스템을 설계 할 수 있다.

패키지와 같은 복잡한 구조의 전자기적 현상을 정확히 규명하기 위해 3 차원 full-wave 해석을 해야 하지만 full-wave 해석은 방대한 계산 시간을 요하며 주변 상황에 유용성 있게 대처하기 힘든 단점이 있다. 따라서 등가 회로 모델로서 패키지의 전자기적 현상을 모

델하여 이를 full-wave 해석에 근사화 할 수 있는 패키지 회로 모델이 필요하다. [1]에서는 패키지의 평판과 PCB의 평판을 함께 고려하는 모델을 이용하여 계산 시간을 단축하였으나 사용 주파수 범위를 제한하는 단점이 있다. 최근 평판을 잘게 나누어 모델하여 주파수 범위를 확장하는 모델 방법을 제시하기도 하였으나 [2] 물리적 의미가 미약한 상용화된 틀에 의존한 평판 모델을 하고 있다. 이러한 문제를 보완하기 위해 평판을 더욱 잘게 나누어 사용 주파수 영역을 넓히면서도 파워와 그라운드 평판을 함께 고려하여 평판의 전자기적 현상을 예측하는 모델을 제시하고 있으나 [3]-[4] 파라미터의 추출이 쉽지 않고 여전히 주파수에 대한 파라미터의 변화를 고려하지 않기 때문에 수십 GHz 이상의 고주파 특성 예측은 정확하지 않다.

10GHz 이상의 고주파 영역에서 패키지 내부의 평판의 현상을 예측하기 위해서는 주파수에 따라 변화하는 파라미터에 대한 모델링이 필수적이다 [5]-[6]. 따라서 본 논문에서는 예측 가능한 주파수 영역을 확장하기 위해 그리드(grid) 형태로 평판을 모델하고 보다 넓은 주파수에서도 정확한 모델을 하기 위해 주파수의 의존형 등가 회로 모델을 제시한다. 등가 회로 모델의 파라미터 추출은 Fasthenry를 사용하였고, full-wave 해석 결과와 측정[2]한 S-파라미터를 상호 비교하여 제시한 모델의 정확성을 검증하였다.

본 논문의 구성은 그리드 형태의 평판 등가 회로 모델의 방법과 파라미터 추출 구조에 대해 언급하고, 주

파수 의존형 등가 회로 모델 방법 및 파라미터 계산 방법을 기술한 후, 제시한 모델에 대한 HSPICE, full-wave(HFSS) 및 측정치와 S-파라미터 파형을 상호 비교하여 정확성을 검증한다.

II. 파워 및 그라운드 평판의 등가 회로 모델링

폐기지 내부의 평판을 등가 회로로 모델하기 위해서는 매우 작은 그리드 형태의 회로로 표현해야 실제 성향과 같은 물리적 현상을 표현 할 수 있다. 일반적으로 그리드 형태의 등가 회로 모델을 위해 전체 평판을 주파수의 좌장을 고려하여 좌장의 1/10 배 정도의 작은 그리드로 분할하면 근사적으로 정확한 평판 특성을 분석 할 수 있다[2]-[4].

그리드 등가 회로 모델 방법을 적용하기 위한 폐기지의 평판 구조는 그림 2 와 같은 구조로 모델 한다 [2]. 평판의 테두리 부분은 셀의 크기가 평판 내부의 셀 크기의 반이므로 모델의 임피던스 파라미터 값은 두 배로 할당한다. 커패시턴스의 경우, 셀 크기에 반비례하도록 파라미터 값을 할당해야 하므로 평판의 네 꼭짓점 부분은 평판 내부의 셀 커패시턴스 값의 1/4 배의 값을 할당하고 평판의 모서리 부분은 1/2 배 값을 할당한다.

전체 평판 구조의 크기는 18mm×8mm×3.5μm이며 이를 관찰하는 주파수 범위가 0-20GHz 이므로 가장 높은 주파수의 좌장에 최소 1/10 배 이상으로 나누어 구성 해야 한다. 이렇게 형성한 한 셀의 크기는 1mm×1mm로 하고 각 셀에 대해 R, L, C 로 등가 회로 모델을 구성하였다. 그림 2에 보듯이 테스트 평판 구조에 사용한 파워와 그라운드 평판 사이의 유전률 절은 alumina($\epsilon_r=9.6$)이며, 두 평판의 금속 재질은 텅스텐($\sigma=1.82e+7$)이다. 또한 텅스텐의 sheet 저항은 16mΩ/□이다.

그림 1에 나타낸 평판의 임피던스(R, L) 값은 그리드로 구성한 단위 셀에 대하여 quasi-static 을 가정하고 파라미터를 계산하는 EM solver인 Fasthenry 를 이용하여 추출하였으며 이렇게 추출한 파라미터 값을 표 1에 나타내었다.

III. 주파수 의존형 등가 회로 모델

1. 주파수 의존형 등가 회로 모델링

Fasthenry 는 주파수 변화에 따른 구조체의 임피던스를 쉽게 추출할 수 있으므로 이를 이용하여 주파수 의존형 등가 회로 모델의 파라미터를 결정 할 수 있다. 주파수 변화에 따른 R, L 파라미터 값의 변화를 그림 3에 나타내었다. 그림 3에서 낮은 주파수에서 R, L 값은 모두 일정한 값을 갖고 높은 주파수에서는 L은 일정한 값으로 수렴하지만, R은 급격한 변화를 보인다. 이는 도체에 흐르는 전류의 분포가 표피효과 때문에 R 값은 주파수의 \sqrt{f} 에 비례하는 함수 관계를 가진다. 또한 근접효과(proximity effect)에 의해 낮은 주파수에서는 저항에 의해 전류의 흐름이 결정되고, 높은 주파수가 되면 인덕턴스 성분에 의해 전류가 결정되기 때문에 저항이 주파수에 따라 증가하더라도 인덕턴스 성분이 적은 곳으로 전류 경로가 결정된다. 이는 다음과 같은 수식으로 쉽게 알 수 있다.

$$R + j\omega L \approx R \quad (\omega \rightarrow 0) \quad (1)$$

$$R + j\omega L \approx j\omega L \quad (\omega \rightarrow \infty) \quad (2)$$

식 (1)과 (2)를 등가 회로에 반영하기 위해 하나의 평판 그리드를 인덕터와 저항을 병렬로 연결하여 그림 4 와 같이 등가 회로로 모델하면 정확히 표현 할 수 있다.

2. 주파수 의존형 파라미터 추출 방법

Fasthenry 로 주파수에 따라 추출한 파라미터 값을 이용하여 그림 4에서 제시된 등가 회로 모델의 파라미터(R_0, R_1, L_0, L_1) 값을 계산할 수 있다. $\omega=0$ 에서의 저항과 인덕턴스 값을 R_{dc} 와 L_{dc} 라 하고, $\omega=\infty$ 에서의 인덕턴스 값을 L_{hf} 라고 하면 그림 4의 등가 회로 모델 값은 다음과 같이 계산 할 수 있다[5].

$$R_0 = \frac{R_{dc} L_{dc}}{L_{hf}} \quad (3)$$

$$R_1 = \frac{R_{dc} L_{dc}}{L_{dc} - L_{hf}} \quad (4)$$

$$L_1 = \frac{L_{dc}^2}{(L_{dc} - L_{hf})} \quad (5)$$

$$L_0 = L_{hf} \quad (6)$$

IV. 등가 회로 모델의 검증

폐기지 평판에 대한 주파수 의존형 그리드 등가 회

로 모델의 검증을 위해 [2]에서 나타난 측정치와 제시한 등가 회로를 HSPICE 시뮬레이션하고 이를 통해 얻은 S-파라미터 결과와 상호 비교한다. 또한 상용 full-wave solver인 HFSS의 해석 결과를 측정치와 비교하여 앞서 언급한 full-wave 해석의 정확성과 주파수 의존형 그리드 모델의 정확성을 함께 검증한다. HFSS 해석 결과는 매우 정확히 S-파라미터 과정을 예측한다. 이는 향후 측정 없이도 패키지 평판의 등가 회로 모델과 full-wave(HFSS) 해석 만을 이용할 수 있음을 의미한다.

그림 5에는 그리드 등가 회로 모델의 SPICE 시뮬레이션 결과와 그리드 등가 회로 모델에 주파수 의존형 모델을 적용한 경우를 비교한 것이다. 그림 5에서 첫 번째 공진이 발생하는 지점은 약 2.9GHz로 동일 하지만, S_{11} 의 크기 예측에서 단순 그리드 모델은 -5.6dB를 예측하였고 주파수 의존형 모델은 -8.25dB를 예측하여 주파수 의존형 모델이 더욱 정확한 예측을 하고 있다.

그림 6에는 주파수 의존형 등가 회로 모델, 측정치 [2], 그리고 HFSS 결과를 함께 비교한 그림을 나타내었다. 낮은 주파수는 거의 일치하고 있으며 높은 주파수에서도 역시 공진의 peak 값의 예측을 정확히 하고 있음을 알 수 있다.

V. 결론

패키지의 전위 결정에 중요한 기준이 되는 파워 및 그라운드 평판을 모델 하기 위해 평판을 그리드 형태의 단위 셀로 나누었고, 각각의 셀에 대한 등가 회로 모델을 주파수 의존형 모델을 적용하여 새로운 평판 등가 회로 모델을 제시하였다. 제시한 주파수 의존형 등가 회로 모델의 파라미터는 EM solver(Fasthenry)를 이용하여 결정하였다. 등가 회로 모델의 타당성은 회로영역에서 범용 회로 시뮬레이터인 HSPICE에 의한 S-파라미터, full-wave 시뮬레이션에 의한 S-파라미터 및 측정치를 비교하여 이들이 고주파 대역에서 정확히 일치한다는 것을 보임으로써 제시한 모델의 정확성을 검증하였다. 본 논문은 패키지의 등가 회로 모델에서 주파수 의존형 모델이 필수적이며, 측정이 없어도 full-wave 해석과 제시한 등가 회로 모델을 이용하면 패키지 해석에 매우 유용하다는 것을 보였다.

VI. 참고문헌

[1] R. Mittra, S. Chebolu, and W. Becker, "Efficient

Modeling of Power Planes in Computer Packages Using the Finite Difference Time Domain Method," *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 1791-1795, Sep. 1994.

[2] K. Lee and A. Barber, "Modeling and Analysis of Multichip Module Power Supply Planes," *IEEE Trans. Comp. Pkg. And Manuf. Tech.*, Part B, vol. 18, pp. 628-639, Nov. 1995.

[3] J. Yook, et al., "Computation of Switching Noise in Printed Circuit Boards," *IEEE Trans. Comp. Pkg. And Manuf. Tech.*, Part A, vol. 20, pp. 64-75, Mar. 1997.

[4] J. Yook, et al., "Application of System-Level EM Modeling to High-Speed Digital IC Packages and PCB's," *IEEE Trans. Microwave Theory Tech.*, vol. 45, pp. 1847-1856, Oct. 1997.

[5] B. Krauter and S. Mehrotra, "Layout Based Frequency Dependent Inductance and Resistance Extraction for On-Chip Interconnect Timing Analysis," *3th DAC Proceeding*, pp. 303-308, 1998

[6] F. Yuan, "Electromagnetic Modeling and Signal Integrity Simulation of Power/Ground Networks in High Speed Digital Packages and Printed Circuit Boards," *3th DAC Proceeding*, pp. 421-426, 1998

표 1. Fasthenry를 이용한 단위 셀에 대한 추출 파라미터

R[Ω/mm]	0.016
L[H/mm]	3.52e-10
C[F/mm]	3.03e-13

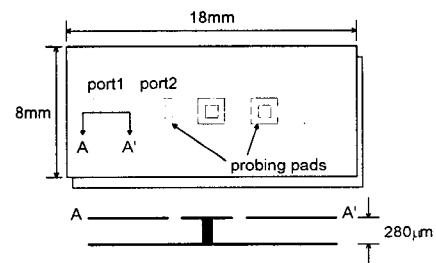


그림 1. 패키지의 테스트 평판 구조 [2].

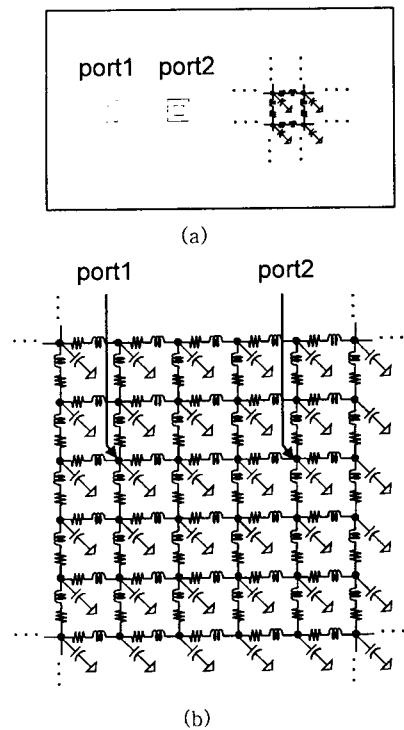


그림 2. 실제 구조에 대한 2 차원 배열 구조의 평판
등가 회로 모델링.

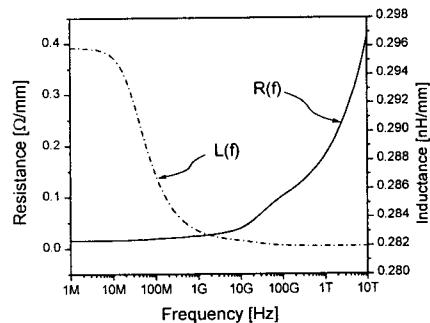


그림 3. 주파수에 따른 R, L 값의 변화.

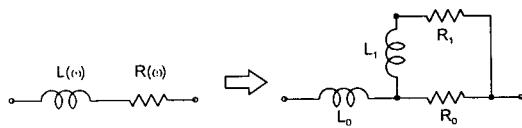


그림 4. RL 모델을 주파수 의존형 회로 모델로 변환.

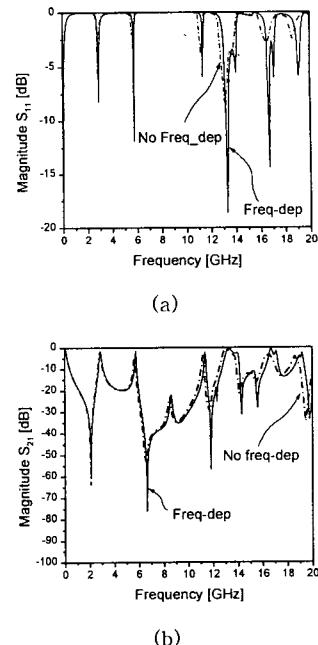


그림 5. 주파수 의존형 등가 회로 모델과 단순 그리드
형 등가 회로 모델 비교. (a) S_{11} 과형. (b) S_{21} 과형.

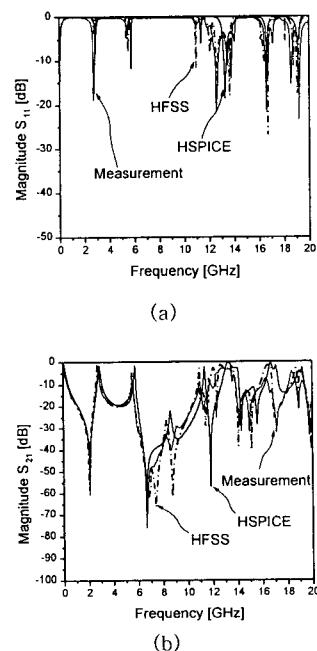


그림 6. 주파수 의존형 등가 회로 모델, HFSS, 측정치
[2]의 비교. (a) S_{11} 과형. (b) S_{21} 과형.