

CMOS 연산 증폭기의 고장 모델 분석 및 고장 집합의 간략화

° 김윤도*, 송근호*, 이효상*, 김강철**, 한석봉*

* 경상대학교 전자공학과, ** 여수대학교 컴퓨터 공학과

Analysis and Simplification of Fault Model for CMOS Operational Amplifier

° Y. D. Kim*, G. H. Song*, H. S. Lee*, K. C. Kim**, S. B. Han*

* Dept. of Electronic Eng. Gyeongsang National Univ.

** Dept. of Computer Eng. Yosu National Univ.

E-mail : ydkim@ulsi.gsnu.ac.kr

Abstract

In this paper, we present simplified fault set which is made by analyzing fault relation to design specification in CMOS operational amplifier. The hard fault is easily modeled because an effect of hard fault is out of all design specification. However, the soft fault is not easily modeled because an effect of soft fault on design specification is varied according to position and depth of fault. We simulated hard and soft fault by HSPICE, varying threshold voltage and W/L ratio from 90% increase to 90% decrease. The decrease of test time and the production of high reliability mixed-mode IC are possible by the proposed fault set.

I. 서 론

현재 전자 산업에서는 컴퓨터, 통신, 오디오, 그래픽 등의 디지털 부분과 아날로그 부분을 혼합한 혼성 모드 IC (mixed-mode IC)의 설계가 증가 추세에 있다. 또한 설계기술과 공정기술의 발달로 인해 더 많은 회로의 집적이 가능해짐에 따라 칩을 테스트하는 것은 점점 더 어려워지고 있으며 테스트에 소요되는 비용도 증가하고 있다. 혼성 모드 IC나 아날로그 회로의 테스트는 논리값의 테스트 패턴을 이용하는 디지털 회로 테스트와는 달리 정해진 테스트 패턴 값이 존재하지 않고, 출력에서 판측이 용이하지도 않으므로 칩의 테스트가 매우 어렵다. 따라서 높은 신뢰도(reliability)를 위한 효과적인 아날로그 회로의 테스트는 중요한 문제로 대두되고 있다. 일반적으로 아날로그 회로에서 가장 널리 사용되고 있는 디바이스는 연산 증폭기(Op-Amp)이므로 증폭기에 존재하는 고장들을 효과적

으로 검출할 수 있다면 아날로그 회로를 쉽게 테스트 할 수 있다[1].

연산 증폭기에 대한 고장 모델링은 일반적으로 강고장(hard 또는 catastrophic fault)과 약고장(soft 또는 parametric fault)으로 분류한다. 강고장은 먼저 입자, 실리콘, 금속 등의 랜덤 결함(random defect)에 의해서 노드의 단락(short)이나 개방(open)을 일으켜 회로의 오동작을 유발시킨다. 약고장은 제조 공정에서 환경에 따른 공정의 통계적 변동으로 발생하고, 이로 인해 회로의 오동작보다는 성능(performance)에 영향을 미친다. 트랜지스터의 문턱 전압(V_{th})이나 채널 폭-길이비(W/L ratio) 변동 등이 이에 속하는데, 연산 증폭기에서 약 75%는 강고장이고 나머지는 약고장으로 알려져 있다.[2]

기존의 연산 증폭기에 대한 테스트 방식으로 가장 일반적인 테스트 방법은 사양 테스트(specification test) 방식[1,3,4]이다. 특정한 고장 모델을 사용하지 않는 이 방식은 모든 설계 사양에 대해서 가능한 모든 입력을 인가하여 테스트하는 방식으로 테스트 시간이 길고 설계 사양에 따른 적절한 테스트 장비가 필요하므로 테스트 비용이 많이 듈다. 고장 모델을 사용하는 테스트 방식으로는 테스트 대상회로(CUT)에 흐르는 전류를 전류 감지기로 측정하는 IDDQ 테스트 방식[5,6]과 테스트 대상회로를 발진 회로로 변환하여 테스트 패턴을 인가하지 않고 발진 주파수를 테스트하는 발진 테스트(oscillation test) 방식[1,3,4]과 정상 상태 출력값과 고장 상태 출력값의 차가 출력에서 최대로 발생하도록 DC 입력 신호를 인가하여 DC 출력 전압을 관찰하는 DC 전압 테스트(DC voltage test) 방식[7]이 있다. IDDQ 테스트 방식과 발진 테스트 방식은 주로 강고장인 개방고장과 단락고장에 대해서만 고려되었으며, 약고장을 고려하지 않았거나 고장 검출 가능성을 제시하고 있다. 그리고 DC 전압 테스트 방식은 강고장과 약고장을 고려하였는데, 약고장의 경우

채널 폭-길이 비 변화량을 ±10% 이상, 문턱전압 변화량을 ±30% 이상으로 모델링 하였다. 그러나 연산 증폭기에서는 차동 증폭단, 출력 이득단, 입력 바이어스 단 등 각 트랜지스터의 역할에 따라 고장이 설계 사양에 미치는 영향이 다르게 나타난다. 이를 고려하지 않고 동일한 변화량을 고장으로 모델링 할 경우 설계 사양에 영향을 미치지 않는 고장 모델이 고장 집합에 속하게 되고 또한 고장이 고장 집합에 속하지 않는 경우가 발생한다.

이와 같이 기존에 제안된 테스트 방식들은 고장이 시스템 설계 사양에 미치는 영향은 분석하지 않았고, 대부분의 약고장은 고장에서 제외되었거나 잘못된 고장 모델링으로 인하여 실제적인 결함이 정확하게 모델링 되지 않았을 뿐만 아니라 검출되지도 않았다. 본 논문에서는 HSPICE 모의실험을 통하여 연산 증폭기 내의 모든 트랜지스터에 대해 강고장뿐만 아니라 각각의 약고장을 90% 증가에서 90% 감소(±90%)까지 단계적으로 변화시키면서 고장 영향에 의해 설계 사양을 벗어나는 고장을 정확히 모델링하여 테스트 시간의 감소와 혼성 모드 IC의 고신뢰성을 확보할 수 있는 최적의 고장 집합을 제시한다. 본 논문의 II장에서는 고장 모델 및 회로 설계 사양에 관해서 기술하고, III장에서는 모의 실험 및 고찰을 살펴보고, IV장에서는 결론을 기술한다.

II. 고장 모델 및 회로의 설계 사양

CMOS 아날로그 회로에 존재하는 고장은 일반적으로 강고장과 약고장으로 분류된다. 강고장에는 단락고장과 개방고장이 있는데, 두 노드 사이에 단락을 발생시키는 단락고장은 접점 회로 공정에서 발생하는 가장 일반적인 고장이며, 마스크(mask) 상에 먼지나 금속 조각의 부착으로 두 개 이상의 노드들을 연결하는 임의의 전도성 경로 때문에 발생하는 고장이다. 하나의 트랜지스터에 발생 가능한 단락고장은 드레인-게이트 단락고장, 드레인-소스 단락고장, 게이트-소스 단락고장이 있다. 그림 1의 (a)는 드레인과 게이트 단자 사이의 단락에 의한 드레인-게이트 단락고장을 나타낸다.

개방고장은 접점(contact) 오류나 금속 및 폴리 실리콘 크기 오류에 의한 전도성 경로 일부분이 개방되어 나타나는 고장이다. 하나의 CMOS 트랜지스터에 존재하는 개방 고장들은 게이트, 드레인, 소스 개방고장이 있는데 그림 1의 (b)는 드레인 개방고장을 나타낸다.

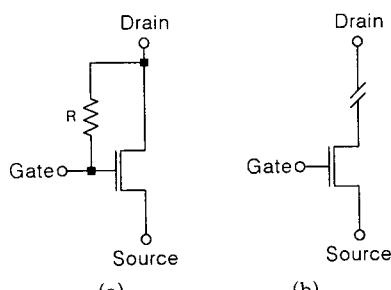


그림 1. 단락 고장과 개방 고장
Fig. 1. Short Fault and Open Fault

약고장으로는 트랜지스터 문턱 전압과 채널 폭-길이 비의 증가와 감소 고장 등이 있다. 문턱 전압 변동 고장은 제조 공정에서 화학물의 도핑 정도와 산화층의 두께에 따라서 변화되는 것으로 식(1)과 같이 표현된다.

$$V_{th} = V_{th0} + \gamma (\sqrt{2|\phi_F| - V_{BS}} - \sqrt{2|\phi_F|}) \quad (1)$$

여기서, V_{BS} 는 기판과 소스 단자사이의 전압차, V_{th0} 는 V_{BS} 가 0V일 때의 문턱전압, ϕ_F 는 페르미 준위를 나타내며 r 는 몸체 바이어스 계수를 나타낸다.

채널의 폭-길이 비의 변동 고장은 사진 석판화 공정의 오류로 게이트 단자의 크기가 변하여 나타나게 된다. 이러한 변동은 트랜지스터의 동작 영역을 변화시키게 되고, 특히 차동 입력단이나 바이어스에 관련된 트랜지스터에서 발생할 경우 소자의 정합이나 바이어스 조건을 변화시키게 되므로 회로의 성능에 영향을 미친다.

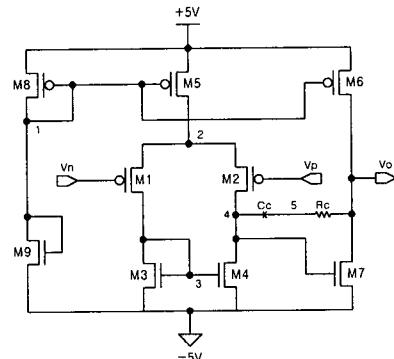


그림 2. CMOS 2단 연산 증폭기 회로
Fig. 2. CMOS 2 Stage Operational Amplifier

본 논문에서 고려한 테스트 대상 회로는 그림 2와 같이 CMOS 2단 연산 증폭기 회로이고, 표 1은 연산 증폭기에 대한 설계 사양을 나타낸다. 일반적으로 CMOS 연산 증폭기는 전압이득(G), 이득 대역폭(GB), 회전율(SR), 전력 소비(Pdiss), 위상 여유(PM) 등 다양한 설계 사양을 고려하여 설계되고 테스트되어진다. 본 논문에서는 이러한 여러 가지 설계 사양 중에서 개루프 전압 이득과 단위 이득 대역폭, 위상 여유, 회전율에 대하여 고장이 미치는 영향을 분석한다.

표 1. CMOS 연산 증폭기의 설계 사양
Table 1. Design Specification of CMOS Op-amp

설계 매개변수	설계 사양
전압 이득(A_V)	> 8000
이득 대역폭(GB)	> 28.8 MHz
출력단 부하	2 pF
회전율(SR)	> 190 V/μs
공급 전원	±5V
위상 여유(PM)	> 76°
공정 기술	0.65 μm

III. 모의실험 및 고찰

본 논문에서는 현대 $0.65\mu\text{m}$ 2-poly 2-metal 공정 파라미터를 이용하여 HSPICE로 모의 실험하였다. 모의 실험을 위하여 연산 증폭기는 그림 3과 같이 R1을 100M, C1을 10F으로 구성하였다.

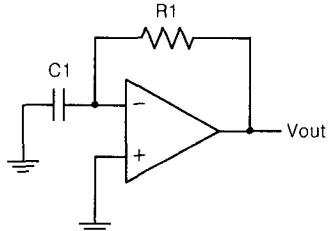


그림 3. 모의 실험을 위한 회로 구성
Fig. 3. Circuit Construction for Simulation

대상 고장은 테스트 대상 회로내의 모든 트랜지스터 단자들에서 발생 가능한 22개의 단락고장과 24개의 개방고장을 고려하였다. 개방고장은 트랜지스터를 고장이 존재하는 노드 사이에 직렬로 연결하여 OFF 시킴으로써 모델링 하였고, 단락고장은 10Ω의 저항을 두 노드 사이에 연결하여 모델링 하였다. 약고장은 트랜지스터 소자 변수인 채널 폭-길이 비와 설계 공정 변수인 트랜지스터 문턱 전압의 90% 감소에서 90% 증가($\pm 90\%$)까지의 변화를 대상으로 하였다.

표 2는 강고장에 대한 모의 실험 결과이다. 표에서 보는 바와 같이 M1 트랜지스터의 경우 게이트 개방고장을 제외한 나머지 장고장에서 고려한 모든 설계 사양을 벗어나고 있으며, 게이트 개방고장에서는 이득 대역폭과 전압 이득이 설계 사양을 벗어나고 있다.

표 2. 강고장에 대한 모의실험 결과
Table. 2. Simulation Results for Hard Fault

MOS Fault	M1	M2	M3	M4	M5	M6	M7	M8
D-O	A	A	A	A	A	A	G	
G-O	B.G	A	G.P	B.G	G.P	G	A	B.G
S-O	A	A	A	A	A	A	A	G
D,S-S	A	A	A	A	G	A	A	A
G,D-S	A	A	R.F	A	B.P	A	A	R.F
S,G-S	A	A	A	A	A	A	A	A

D-O : 드레인 개방, D,S-S : 드레인-소스 단락,

G : 전압 이득, P : 위상 여유, B : 이득 대역폭

A : 전압 이득, 이득 대역폭과 위상 여유, R.F : 고장 집합에서 제외

강고장의 경우 대부분이 모든 설계 사양을 벗어나고 게이트 개방고장은 다른 강고장에 비해 설계 사양에 미치는 영향이 적음을 알 수 있다. 그러나 게이트 개방고장의 경우에도 2개 이상의 설계 사양을 만족하지 못하므로 고려된 모든 강고장은 고장 집합에 포함된다.

그림 4는 M4 트랜지스터에 대하여 W/L 비를 0%에서 90%까지 단계적으로 증가시키면서 모의 실험한 결과를 보여주는 것으로 실선은 W/L 비의 증가에 따른 설계 사양의 변화값이며, 점선은 설계 사양의 최소값

을 나타낸다. 그림 4의 (a)는 이득 대역폭의 변화를 나타내는 그래프로 보는 바와 같이 W/L 비가 90%까지 변화하여도 이득 대역폭은 설계 사양을 벗어나지 않는다. (b)는 전압 이득의 변화를 나타내는데 변화량이 30% 정도에서 전압 이득이 설계 사양을 벗어나고 있음을 알 수 있다. (c)는 위상 여유의 변화를 나타내는데 변화량이 4%에서 위상 여유가 설계 사양을 벗어남을 보여 준다. (d)는 회전율의 변화를 나타내는데 모든 구간에서 회전율은 설계 사양을 벗어나지 않는다. 그럼 4에서 보는 바와 같이 M4 트랜지스터의 W/L 비가 0%에서 90%까지 증가하여도 이득 대역폭과 위상 여유는 설계 사양을 벗어나지 않으므로 고장을 유발하지 않지만 전압 이득과 위상 여유에서는 각 30%와 4%에서 설계 사양을 벗어나 고장이 발생한다. 그러므로 본 논문에서는 M4 트랜지스터의 W/L 비 증가에 있어서는 설계 사양을 벗어난 전압 이득과 위상 여유 중 변

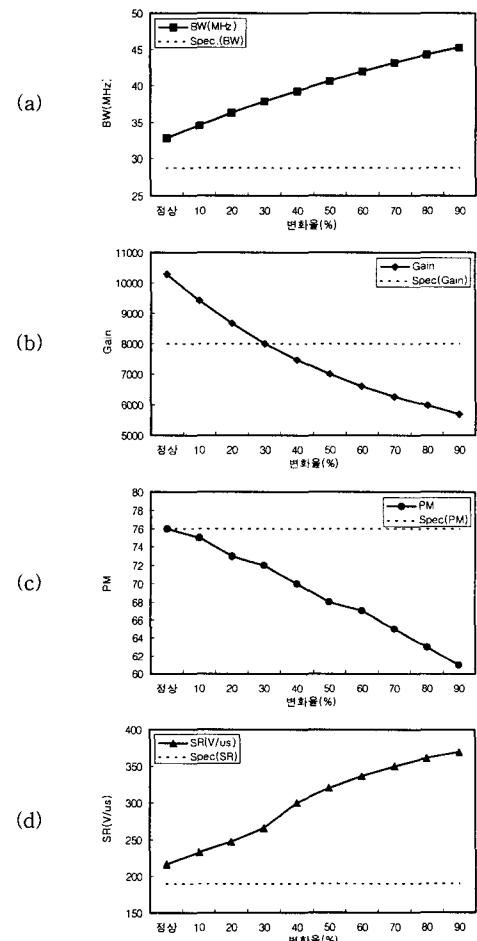


그림 4. M4 트랜지스터의 W/L 증가에 대한 모의실험 결과
Fig. 4. Simulation Results for W/L Increase of M4 Transistor

화량이 4%일 때 위상 여유가 먼저 설계 사양을 벗어나므로 W/L 비 4% 증가를 고장 집합에 포함시킨다.

표 3은 모의 실험 결과 생성된 W/L 비의 감소에 대한 고장 집합을 나타내는데, M1 트랜지스터는 W/L 비가 34% 감소했을 때 이득 대역폭이 다른 설계 사양에 비하여 제일 먼저 설계 사양을 벗어나고 있으며, M2 트랜지스터의 경우 W/L 비가 19% 감소했을 때 전압 이득이 다른 설계 사양에 비하여 제일 먼저 설계 사양을 벗어나 고장 집합에 포함된다. 표에서 살펴보면 연산 증폭기 내의 각 트랜지스터마다 고장 영향이 나타나는 변화율이 서로 다르고, 벗어나는 설계 사양도 다르게 나타난다. 따라서 모두 동일한 변화율로 고장 모델을 결정할 경우 정상회로와 고장회로가 잘못 테스트될 것이다.

표 4는 W/L 비의 증가에 대한 고장 집합을 보여준다. 표 3에서와 같이 각 트랜지스터의 고장 영향이 다르게 나타남을 알 수가 있다. 그러나 W/L 비 증가의 경우 M6 트랜지스터의 W/L 비가 90% 증가한 경우에도 설계 사양을 벗어나지 않으므로 고장 집합에서 제외된다. 표 5는 V_{th} 감소에 대한 고장 집합을 나타내며 표 6은 V_{th} 증가에 대한 고장 집합을 나타내는데 W/L 비의 변화와 마찬가지로 변화율이 다양하게 나타나고 벗어나는 설계 사양도 다르게 나타난다.

표 3. W/L 비의 감소에 대한 고장 집합

MOS	M1	M2	M3	M4	M5	M6	M7	M8
감소율(%)	34	19	8	22	23	9	43	75
Spec. 고장	BW	G	PM	BW	BW	PM	PM	G
Offset(mV)	335	160	61	185	0.93	0.49	3.34	3.24

BW : 이득대역폭, PM : 위상여유, G : 전압이득,

표 4. W/L 비의 증가에 대한 고장 집합

MOS	M1	M2	M3	M4	M5	M6	M7	M8
증가율(%)	11	7	29	4	3		53	8
Spec. 고장	PM	PM	BW	PM	G	R.F	PM	PM
Offset(mV)	71.4	46.9	183.8	28.8	5V		2.06	0.06

표 5. V_{th} 감소에 대한 고장 집합

MOS	M1	M2	M3	M4	M5	M6	M7	M8
감소율(%)	19	51	32	13	29		60	13
Spec. 고장	G	G	G	PM	PM	R.F	G	PM
Offset(mV)	223	4.7V	4.8V	125	1.75		4.26	0.13

표 6. V_{th} 증가에 대한 고장 집합

MOS	M1	M2	M3	M4	M5	M6	M7	M8
증가율(%)		18	6	34	21	4	31	
Spec. 고장	R.F	G	PM	BW	BW	PM	PM	R.F
Offset(mV)	210	57.04	323	0.95	0.26	1.96		

이상에서 살펴본 바와 같이 강고장의 경우 고려된 모든 고장이 설계 사양에서 벗어나 고려한 모든 고장이 고장 집합에 포함된다. 약고장의 경우 연산 증폭기 내의 각 트랜지스터 위치에 따라 고장을 일으키는 변화율이 3%에서 75%까지 다양한 값을 가지며, 고장이 발생하는 설계 사양도 다르게 나타남을 알 수 있다.

모의실험 결과 표 3, 표 4, 표 5, 표 6에 나타난 오프셋 전압값은 설계 사양을 벗어날 때의 출력 오프셋 전압과 정상 회로의 오프셋 전압값의 차를 보여주는 것으로 설계 사양을 벗어나는 고장의 경우 대개 큰 값의 오프셋 차이를 나타내고 있다. 따라서 오프셋 전압값

과 고장 집합과의 관계를 연구한다면 오프셋 전압을 이용한 연산 증폭기 내의 고장을 검출할 수 있는 새로운 테스팅 방식의 가능성도 있다.

연산 증폭기 내의 강고장과 약고장에 대한 모의 실험 결과 CMOS 연산 증폭기내의 모든 강고장뿐만 아니라 약고장에 대하여 간략화된 고장 집합을 생성하였으며, 이를 고려하여 테스트가 이루어질 경우 혼성모드 IC의 테스팅이 효과적이며 고 신뢰성을 갖게 될 것이다. 또한 대상으로 하는 연산 증폭기의 구조, 트랜지스터의 크기, 설계 사양이나 공정 파라미터가 달라질 경우 본 논문에서 제시한 방법에 의하여 고장 분석 및 고장 집합을 생성하는 것이 필요하다.

IV. 결 론

본 논문에서는 연산 증폭기에 존재하는 강고장과 약고장이 설계 사양에 미치는 영향을 분석함으로써 간략화된 고장 집합을 제시하였다. 기존의 고장 모델에서 관심을 기울이지 않았던 약고장에 대해서 체계적인 모의 실험을 통해 간략화된 고장 집합을 생성하였다. 이를 기준으로 혼성모드 IC에 대하여 테스팅을 수행할 경우 고 신뢰성을 확보 할 수 있고 소자의 결합율도 감소시켜 제조된 칩의 부가가치가 높아지게 된다.

현재 생성된 고장 집합에 대하여 오프셋 전압 등을 이용한 새로운 테스트 방식의 개발과 혼성모드 IC의 테스팅을 고려한 설계 기법의 개발에 대한 연구가 진행중에 있다.

Reference

- [1] Arabi, K., and B. Kaminska, "Testing Analog and Mixed-Signal Integrated Circuit Using Oscillation-Test Method," IEEE Trans. on CAD., vol. 16, no. 7, pp. 745-753, 1997.
- [2] Galiay, J., Crouzet, Y., and Verginault, M., "Physical versus logical fault models for MOS LSI circuits : impact on their testability," IEEE Trans., C-29, pp. 527-531, 1980.
- [3] Arabi, K., and B. kaminska, "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits," Proc. IEEE VTS., pp. 476-482, 1996.
- [4] Arabi, K., and B. Kaminska, "Design for Testibility of Embedded Integrated Operational Amplifiers," IEEE J. Solid-State Circuit, pp. 573-581., 1998.
- [5] Roca, M., A. Rubio, "Selftesting CMOS Operational Amplifier," Elecrronic Letters, vol. 28, no. 15, pp. 1452-1454, 1992.
- [6] Gielen, G., Wang, Z., and Sansen, W., "Fault Detecting and Input Stimulus Determination for the Testing of Analog Integrated circuits Based on Power-Supply Current Monitoring," Proc. IEEE ICCAD, pp. 495-498, 1994.
- [7] Chang, S. J., C. L. Lee, and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier," Proc. VTS., pp. 267-272, 1995