

논리 회로 구현을 위한 neuron-MOSFET 특성

김세환, 유종근, 정운달, 박종태
인천대학교 전자공학과
전화: (032)770-8445 / 팩스 : (032)764-2371

Characteristics of Neuron-MOSFET for the implementation of logic circuits

Sea W. Kim, Jong G. Yu, Woon D. Jeong, Jong T. Park
Dept. Electronic Engineering, University of Incheon
E-mail : g981046@lion.inchon.ac.kr

Abstract

This paper presents characteristics of neuron-MOSFET for the implementation of logic circuits such as the inverter and D/A converter. Neuron-MOSFETs were fabricated using double poly CMOS process. From the measured results, it was found that noise margin of the inverter was dependant on the coupling ratio and a complete D/A characteristics of the source follower could be obtained by using any input gate as a control gate.

I. 서론

다량의 정보처리를 위해 Neural-Network 이 요구 되고 있지만 기존의 디지털 논리회로를 사용하면 많은 양의 트랜지스터로 인해 시스템이 복잡하게 된다. 최근에 Neural Network 의 Synaptic Weight Storage 를 위한 아날로그 기억 소자로 neuron-MOSFET 에 대한 연구가 많이 진행되어 오고 있다[1,2]. 이런 neuron-MOSFET 를 사용하면 기존 H/W 의 논리기능을 외부의 제어신호로 수정할 수 있기 때문에 실시간으로 시스템의 기능을 재 구성 할 수 있다 [3]. 본 연구에서는 표준 CMOS 공정으로 neuron-MOSFET 를 설계. 제작하여 가변 문턱전압 특성, Inverter 특성 및 D/A Converter 특성을 측정 분석하였다.

II. Neuron-MOSFET 의 문턱전압 특성

Neuron-MOSFET 의 기본 구조는 그림 1 과 같다. N-채널 MOS 트랜지스터는 EEPROM 과 같이 플로팅되어 있는 게이트 electrode 를 가지고 있고 n 개의 입력 게이트가 플로팅 게이트에 용량적으로 커플링되어 있다. 그림 1 은 입력 게이트에 인가되는 전압과 용량적인 커플링 관계를 정의하고 있다. θ_f 는 플로팅 게이트 포텐셜, V_1, V_2, \dots, V_n 은 입력신호 전압, C_1, C_2, \dots, C_n 은 플로팅 게이트와 입력 게이트 사이의 용량적 커플링 계수, C_0 는 플로팅 게이트와 substrate 사이의 용량적 커플링 계수를 나타낸다. 그림 1 의 플로팅 게이트 포텐셜 θ_f 은 식(1)과 같이 정의되어진다[4]. 여기에서 $V_s = V_0 = 0V$ 이다.

$$\theta_f = \frac{C_1 V_1 + C_2 V_2 + \dots + C_n V_n}{C_{TOT}}, C_{TOT} = \sum_{i=0}^n C_i \quad (1)$$

커플링 게이트 포텐셜 θ_f 는 입력 신호에 커플링 계수와 가중치값의 선형적인 총합으로 결정되어진다. 서로 다른 커플링 계수를 가지는 여러 입력 게이트와 플로팅 게이트는 게이트 산화층 밑에 채널이 형성되어 MOS 트랜지스터가 “on”, “off” 되어지는 것을 조절한다. 다른 하나의 파라미터인 플로팅 게이트 이득 계수 즉, 커플링 계수 γ 는 다음 (2)와 같이 정의할 수 있다.

$$\gamma \equiv \frac{C_1 + C_2 + \dots + C_n}{C_{TOT}} = \frac{C_{TOT} - C_0}{C_{TOT}} \quad (2)$$

이 계수는 모든 입력 게이트의 용량적 커플링의 결과로서 플로팅 게이트의 전압 이득이므로 소자나 회로의 설계에 있어서 중요한 파라미터가 된다.

V_{th} 을 플로팅 게이트의 문턱전압으로 정의하면 트랜지스터의 ‘던-온’ 조건은 $\theta_f > V_{th}$ 이므로 다음과 같이 된다.

$$\frac{C_1 V_1 + C_2 V_2 + \dots + C_n V_n}{C_{TOT}} > V_{th} \quad (3)$$

관계식 (3)을 다시 하나의 입력 게이트 V_1 에 대하여 전개하면

$$V_1 > \frac{C_{TOT}}{C_1} V_{th} * - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_n}{C_1} V_n \quad (4)$$

N-입력 neuron-MOSFET 가 하나의 입력 게이트만을 입력 신호로 사용하고 나머지는 트랜지스터의 문턱전압을 조절하기 위한 컨트롤 게이트로 사용한다면 하나의 입력 게이트를 갖는 MOSFET 처럼 입력 게이트 V_1 에 대한 문턱 전압은 다음과 같다.

$$V_{th}^{(1)} = \frac{C_{TOT}}{C_1} V_{th} * - \frac{C_2}{C_1} V_2 - \frac{C_3}{C_1} V_3 - \dots - \frac{C_n}{C_1} V_n \quad (5)$$

3 개의 입력 게이트를 갖는 neuron-MOSFET 에서 $C_1=(1/2)\gamma C_{TOT}, C_2=(1/3)\gamma C_{TOT}, C_3=(1/6)\gamma C_{TOT}$ 와 같은 커플링 캐패시턴스를 갖도록 설계한 경우 V_a 와 V_b 신호에 의하여 컨트롤 되어지는 입력 게이트 V_1 에 대한 문턱전압은 다음과 같다.

$$V_{th}^{(1)} = \frac{C_{TOT}}{C_1} V_{th} * - 1/3(2V_a + V_b) \quad (6)$$

본 연구에서는 neuron-MOSFET 를 IDEC 의 0.8 μm 표준 CMOS 공정에 맞게 설계 제작하였다. 입력 게이트를 3 개로 (V_a , V_b , V_c)로 설계하여 식(6)과 같이 문턱전압이 가변되는 것을 측정하고자 하였다. 소자의 채널 길이는 0.8 μm, 폭은 10 μm 그리고 산화층 두께는 175 Å 이다. V_a 입력 게이트의 커플링 되어지는 면적은 2.4 μm² × 10 μm, V_b 의 경우는 1.6 μm² × 10 μm 그리고 V_c 의 경우는 0.8 μm² × 10 μm 가 되도록 설계하였다. 그림 2 는 동일한 채널 길이와 폭을 갖는 bulk-MOS 와 3 개의 입력 게이트를 하나의 입력 게이트로 사용하여 측정한 neuron-MOSFET 의 문턱전압을 비교한 그림이다. 이 측정을 통하여 설계한 3-입력 게이트 neuron-MOSFET 의 커플링 계수 (γ) 은 0.36 임을 알 수 있다.

그림 3 은 V_a 입력 게이트 5V에서 V_b 와 V_c 전압을 이진 디지털 신호인 0V 와 1로 대표되어지는 V_{DD} 값으로 변화 시켜주면서 측정한 V_{th} - I_d 관계를 보여주는 그림이다.

이 그림은 neuron-MOSFET 가 가지고 있는 장점인 다양한 문턱전압으로의 조절이 가능하다는 것을 보여주고 있다. 다양한 문턱전압을 갖게 되는 것은 커플링 캐페시턴스와 여러 개의 컨트롤 신호의 입력에 의해 가능하다. 그림 4 는 3-입력 neuron-MOSFET 에서 V_a 를 입력 게이트, V_b 와 V_c 를 컨트롤 게이트로 사용하여, 컨트롤 게이트 V_a 와 V_b 의 변화에 따른 V_{th} 입력 게이트의 문턱전압을 측정한 것이다. 측정 데이터에 의하여 수식 (6)은 다음과 같은 관계식으로 입력 게이트 V_a 문턱 전압을 얻게 될 수 있다.

$$V_{th}^{(1)} = 3.9 - 1/3(2V_a + V_b) [V] \quad (7)$$

Neuron-MOSFET 의 입력 게이트 단에서 각각의 입력에 대한 커플링 캐페시턴스에 대한 선형적 동작을 하게됨을 보여주고 있으며 이로 인한 다양한 문턱전압 조정이 가능함을 보여주고 있다.

III. Neuron-MOSFET 의 inverter 특성

그림 5 은 3-입력 게이트를 갖는 neuron-MOSFET 구조를 사용하여 설계한 인버터를 보여주고 있다. 앞에서 살펴본 것처럼 neuron-MOSFET 의 플로팅 게이트 포텐셜은 다음과 같이 정의 되어진다.

$$\phi_F = \frac{\sum_{i=1}^n C_i V_i + C_{op} V_{DD}}{C_{TOT}} \quad (9)$$

여기서 C_{op} 는 p-neuron-MOSFET 의 게이트 산화층 캐페시턴스를 나타내고 $\beta_R \equiv \beta_n/\beta_p = 1$ 로 설계하였으므로 인버터의 플로팅 게이트에서의 스위칭 문턱전압은 다음과 같다.

$$V_{INV}^{(1)} = 1/2V_{DD} + \frac{V_{tn}^* + V_{tp}^*}{2} \quad (10)$$

V_{tn}^* , V_{tp}^* 은 플로팅 게이트에서의 n-채널, p-채널 neuron-MOSFET 문턱전압이다. 식(9)와 (10)으로부터 그림 6 neuron-MOSFET inverter 의 V_a 입력 게이트에서의 스위칭 전압을 다음과 같이 유도할 수 있다.

$$V_{INV}^{(1)} = \frac{C_{TOT}}{C_1} (V_{INV}^* - \frac{C_{op}}{C_{TOT}} V_{DD}) - \frac{1}{3}(2V_a + V_b) \quad (11)$$

그림 7 은 컨트롤 게이트 V_a , V_b 전압을 (0.0), (0.5V), (5V, 0)로 V_a 입력 게이트를 0V에서 12V 까지 변화시켜줌에 따라 측정한 인버터의 출력 전압을 보여주고 있다.

표 1 은 같은 조건의 neuron-MOSFET 인버터에서 동작영역을 나타내고 있다.

$$V_{in} = \frac{C_1 V_1 + C_a V_a + C_b V_b + C_{op} V_{DD}}{C_{TOT}},$$

$$V_{F,in} = \frac{C_{TOT}}{C_1} (V_{ip}^* - \frac{C_{op}}{C_{TOT}} V_{DD}) - \frac{1}{3}(2V_a - V_b)$$

$$V_{F,op} = \frac{C_{TOT}}{C_1} (V_{in}^* - \frac{C_{op}}{C_{TOT}} V_{DD}) - \frac{1}{3}(2V_a - V_b)$$

표 1. V_{in} 전압에 대한 인버터의 출력 전압(V_o)

조건	출력 전압(V_o)
$V_{in} \leq V_{F,1n}$	$V_o = V_{DD}$
$V_{F,1n} \leq V_{in} \leq V_{DD}/2$	$V_o = (V_{in} + 0.7) + (15 - 7.2 V_{in})^{1/2}$
$V_{in} = V_{DD}/2$	$V_o = V_{DD}, V_{in} = 2.35$
$V_{DD}/2 < V_{in} \leq V_{DD} - V_{F,1p}$	$V_o = (V_{in} - 0.7) - (6.6 V_{in} - 15.5)^{1/2}$
$V_{in} \geq V_{DD} - V_{F,1p}$	$V_o = 0V$

$$(V_{DD} = 5V, V_{ip} = -1V, V_{in} = +1V, \beta_n/\beta_p = 1)$$

표 2 는 같은 조건의 인버터에서 V_a , V_b 입력 신호의 변화에 따른 V_{th} 입력 게이트에 Noise Margin 의 변화를 나타낸 것이다.

$$NM_L(\text{Low NM}) = V_{IL} = \frac{3V_{DD} - 3|V_{F,1p}| + 5V_{F,1n}}{8}$$

$$NM_H(\text{High NM}) = V_{DH} - V_{IH} = \frac{3V_{DD} - 5|V_{F,1p}| - 3V_{F,1n}}{8}$$

표 2. 컨트롤 게이트 V_a , V_b 에 따른 Noise margin 의 변화

Input state	$V_a, V_b = 0V$	$V_a = 5V, V_b = 0V$	$V_a = 0V, V_b = 5V$
$NM_L(V_{IL})$	6.14(6.14)	4.64(4.64)	3.55(3.55)
$NM_H(V_{IH})$	4.64(7.36)	5.86(6.14)	7.15(4.85)
V_{inv}	6.8V	5.4V	4.4V

IV. Neuron-MOSFET 를 이용한 D/A Converter

플로팅 게이트의 포텐셜을 직접적으로 출력 전압으로 읽을 수 있다면 아마도 다양한 아날로그 계산이 단순화될 수 있을 것이다. 이와 같은 Source-Follower 개념을 neuron-MOSFET 에 도입한 것이 그림 6 에 D/A Converter이다. 부하저항이 트랜지스터의 ON-저항보다 훨씬 크다면 출력 전압 $V_{out} = \phi_F - V_{th}$, 이 때 $V_{th} = 0$ 이면 $V_{out} = \phi_F$ 이다.

이러한 유용한 Source-Follower 개념을 이용한 것이 그림 6 에 neuron-MOSFET 소자 하나만으로 구성된 D/A

Converter 이다.

그림 6은 4-입력신호를 갖는 n-채널 neuron-MOSFET 와 부하저항으로 구성되어 있다. 각각의 입력 신호 V_1, V_2, V_3, V_4 의 커플링 캐퍼시턴스가 다음과 같은 관계로 설계되어지면 즉, $C_i \propto 2^{n-i}$ 관계이면 다음과 같은 V_{out} 을 얻을 수 있을 것이다.

$$V_{out} = \frac{\gamma V_{DD}}{2^n - 1} (X_1, 2X_2, 4X_3, 8X_4)$$

여기에서 커플링 계수(γ)는 0.53, $V_{DD}=5V$, X_1, X_2, X_3, X_4 는 이진 디지털 신호 즉, $V_i=X_i V_{DD}$ 이고 X_i 는 0 또는 1의 값이다. 공정상 $V_{th}^* = 0$ 인 공핍모드의 소자 구현이 불가능하기 때문에 결과적으로

$$V_{out} = \frac{\gamma V_{DD}}{2^n - 1} (X_1, 2X_2, 4X_3, 8X_4) - V_{th}^*$$

는 neuron-MOSFET D/A Converter 를 측정한 출력 전압을 보여주고 있다. 이러한 측정을 통해서 다음과 같은 관계식을 얻을수 있다.

$$V_{out} = 0.18(X_1, 2X_2, 4X_3, 8X_4) - 0.72$$

그러나 공핍모드로 동작하지 않기 때문에 문턱전압 보다 작은 플로팅게이트 포텐셜을 갖는 입력신호에 대해서는 원하는 출력을 얻지 못한다. 이러한 공핍모드를 사용하지 않고 입력의 전구간에 대한 아날로그 출력 값을 얻기 위하여 D/A Converter 의 입력 게이트중 하나인, V_4 에 V_{th}^* 를 보상해줄 수 있는 만큼의 전압 2.54V를 인가하여 얻게 된 출력 전압레벨은 그림 9 과 같게 된다.

V. 결론

본 논문에서는 Neural Network 분야에 많은 유용한 기능들을 제공할 수 있는 neuron-MOSFET 소자의 가변 문턱 전압특성, Inverter 의 입력단의 커플링 비율에 따른 동작 영역과 Noise Margin 특성 및 공핍모드를 사용하지 않은 하나의 소자로 구현한 D/A Converter를 설계하였고 측정 분석하였다. Neuron-MOSFET는 기존에 단순한 스위칭 소자보다 이러한 유용한 기능들을 제공하므로 Neural Network 의 실시간 인식 시스템등에서 지능적인 정보처리가 수행되어질 수 있을 것이다.

참고문헌

- [1] T.Shibata and T.Ohmi, "An intelligent MOS transistor featuring gate-level weighted-sum and threshold operations", IEDM Tech. Dig, 1991, pp.570-5776 Mar. 1992
- [2] T.Shibata and T.Ohmi, "Neuron-MOS Binary Integrated-Circuits-part I : Design fundamentals and soft-hardware-logic circuit implementation", IEEE Trans. Electron Devices, Vol. 40, pp.570-576, Mar. 1993
- [3] T.Shibata and T.Ohmi, "Neuron-MOS Binary Integrated-Circuits-part II : Design fundamentals and soft-hardware-logic circuit implementation", IEEE Trans. Electron Devices, Vol. 40, pp.974-979, Mar. 1993
- [4] K.Ike, K.Hirose and H.Yasuura, "A design method of fundamental logic elements using neuron MOS transistor", IEICE Technical Report, VLD95-146, ICD95-246, 1995

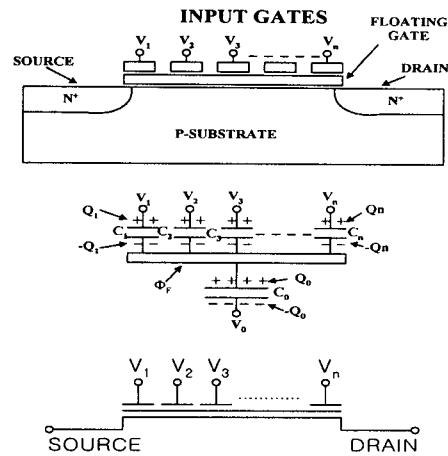


그림 1. Neuron-MOSFET 의 기본 구조, 입력전압과 커플링 캐퍼시턴스 관계

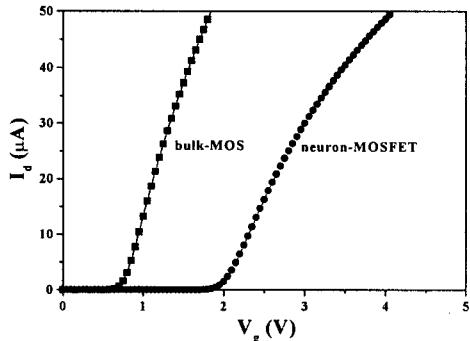


그림 2. bulk-MOS 와 neuron-MOSFET 의 V_{th} 비교

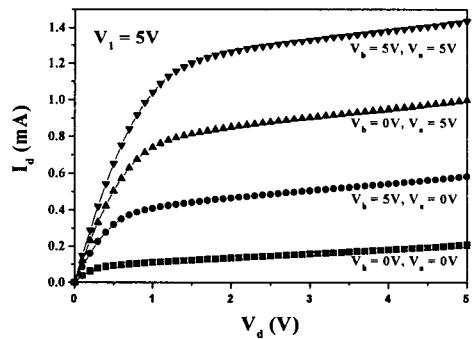


그림 3. $V_1=5V$ 에서 V_b, V_a 전압의 변화에 따른 V_d - I_d 특성

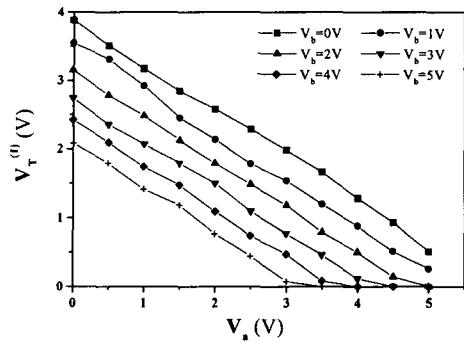


그림 4. 컨트롤 전압 V_a , V_b 의 변화에 따른 입력전압 V_i 의 문턱전압

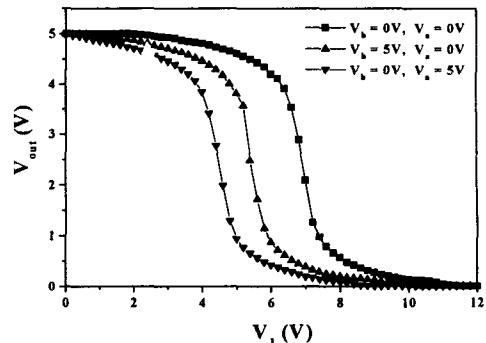


그림 7. 컨트롤 전압 V_a , V_b 와 입력 게이트 전압 V_i 의 변화에 따른 neuron-MOSFET Inverter 의 출력전압

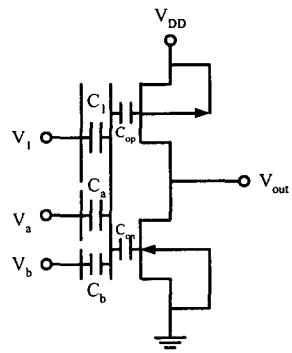


그림 5. 3-input neuron-MOSFET inverter 회로도

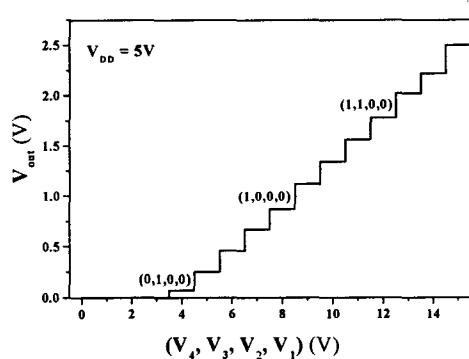


그림 8. 4-bit D/A Converter 의 디지털 입력신호에 따른 아날로그 출력 전압

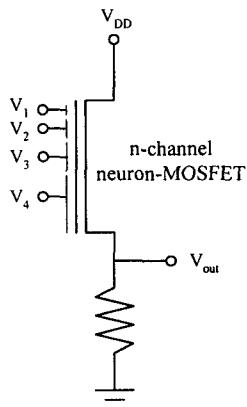


그림 6. 4-bit D/A Converter 회로도

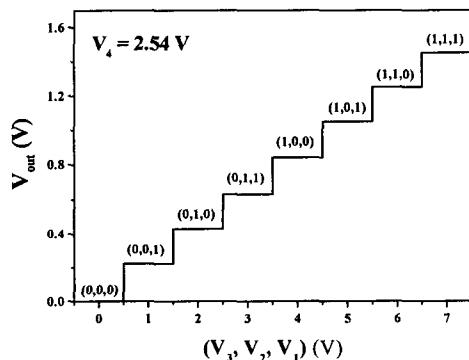


그림 9. 입력전압 V_4 를 고정된 컨트롤 전압으로 사용했을 때의 D/A Converter 의 출력 전압