

## 새로운 구조의 고속-고내압 SOI Smart Power 소자 설계에 관한 연구

원명규, 구용서\*, 안철

서강대학교 전자공학과, \*서경대학교 전자공학과

전화 : (02) 706-3401 / 팩스 : (02) 706-4216

### A Study on the Design of the New Structural SOI Smart Power Device with High Switching Speed and Voltage Characteristics

Myoung-Kyu Won, Yong-Seo Koo\*, Chul An

Dept. of Electronic Eng. Sogang Univ., \*Dept. of Electronic Eng. Seokyeong Univ.

E-mail : s198220@ccs.sogang.ac.kr

#### Abstract

In this paper, we report the process/device design of high-speed, high-voltage SOI smart power IC for mobile communication system, high-speed HDD system and the electronic control system of automobiles. The high voltage LDMOS with 70V breakdown voltage under 0.8um design rule, the high voltage bipolar with 40V breakdown voltage for analog signal processing, the high speed bipolar with cut-off frequency over 20Ghz and LDD NMOS for high density were proposed and simulated on a single chip by the simulator DIOS and DESSIS. And we extracted the process/device parameters of the simulated devices.

#### I. 서론

정보통신 서비스 중계 및 다양화에 따른 이동통신, 광대역 영상정보, 위성통신 시스템, 초고속 HDD 드라이버를 장착한 고성능 컴퓨터 시스템 및 산업 사회의 중추인 자동차의 고품위 전자제어 시스템 구현을 위한 smart power IC의 요구가 급격히 증대되고 있다. 이러한 첨단 지능형 전력 IC는 구동회로, 보호회로, 인터페이스 회로 등을 one-chip화시키기 위하여 고내압, 초고속, 고신뢰성과 저전력 특성을 갖는 개별소자들을

장착하고 있다.

따라서 본 연구에서는 selective SOI 기판을 사용한 submicron급 LDMOS, 초고속 바이폴라소자 및 고내압 바이폴라소자, 고집적 CMOS 소자가 동시에 탑재된 새로운 구조의 차세대 스마트 전력소자를 고안하고, 이로부터 각 전기적 특성을 분석하였다.

#### II. 고안된 소자구조

소자구조를 고안함에 있어, 우선 고려되어야 할 사항은 첨단 지능형 IC의 시스템별 요구 spec. 및 이를 만족시키기 위한 소자 spec., 공정상의 타당성, 용이성 등이라 할 수 있다. 따라서 본 연구에서는 1.5um두께의 thin epi 층을 토대로 기존의 submicron BiCMOS 공정기술과 양립하며, 그 내부에 약 40V이상의 아날로그용 바이폴라소자와, 저전압, 초고속 논리회로 구현을 위한 새로운 구조의 20GHz~30GHz급 PSA-바이폴라 소자, 고집적 LDD NMOS소자, 70V 내외의 submicron 급 고내압 LDMOS 소자가 동시에 내장된 smart power 소자를 구현하였다. 이때 submicron power 소자 구조는 항복 전압을 높이기 위해 selective SOI 구조를 채택하였다. 아울러 BiCMOS 고속 논리회로용 바이폴라 소자는 측면  $\text{Si}_3\text{N}_4$ 에 의하여 self-align 되는 최소화된 비활성 베이스영역을 구현하였으며, 콜렉터 직렬 저항과 스위칭 속도 개선을 위하여 SIC>Selective Implantation on Collector)구조로 설계하였다. 그럼 1

은 제안된 소자의 단면을 나타내고 있고 표 1은 공정 설계의 흐름도이다.

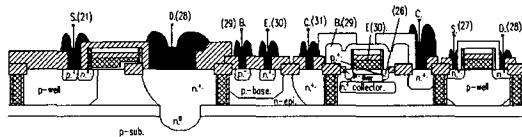
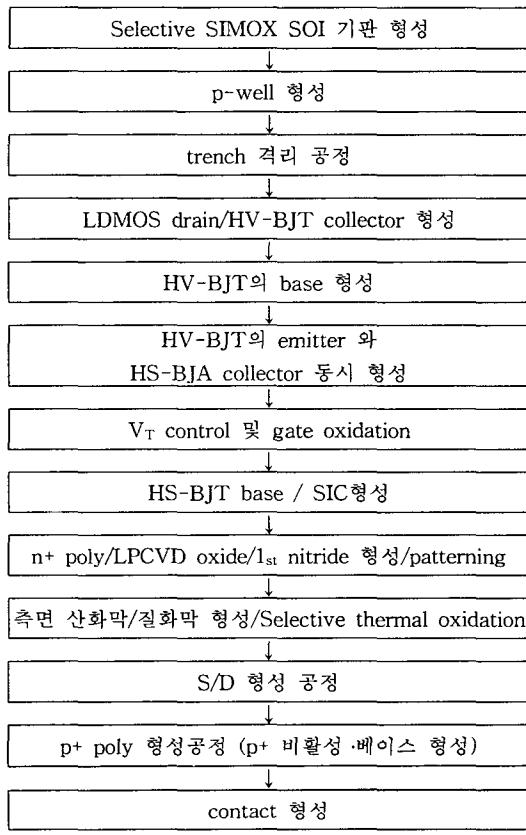


그림 1 구현된 SOI Smart Power BCD 소자구조



[표 1] 공정 설계 흐름도

### III. 공정/소자 시뮬레이션 및 분석

#### 가. 70V 급 submicron LDMOS 트랜지스터

항복 전압을 높이기 위해 step gate구조를 채택하였

고, 소스 왼쪽에 p+ 영역 (boron,  $1 \times 10^{15} \text{ cm}^{-2}$ , 30keV) 을 형성하여 누설전류에 의한 기생 BJT의 활성을 억제하였다. 또한 드레인 아래 부분에 oxide 층을 개방함으로써 드레인에 걸리는 electric field를 substrate 쪽으로 효과적으로 분산시켜 드레인의 n-/n+ 접합 부분에서 발생되는 충돌이온화 현상을 감소시켰다. 드레인 영역의 형성은 고내압 바이폴라 소자의 콜렉터 영역과 동일한 마스크를 사용했으며, 채널이 형성되는 p-well 부분 (boron,  $4 \times 10^{13} \text{ cm}^{-2}$ , 120keV, 1000°C, 90분 확산) 과 문턱전압 조절을 위한 boron 주입, 소스 형성을 위한 phosphorous 주입 ( $1 \times 10^{15} \text{ cm}^{-2}$ , 50keV), 게이트 산화막 (15nm) 및 게이트 형성은 CMOS 소자와 같은 마스크를 사용하여 마스크 수를 줄였다. 시뮬레이션 결과  $R_{on}$ 은  $17\Omega \text{ mm}$ , 항복 전압은 약 70V를 얻을 수 있었다. 그림 2는 LDMOS 소자의 단면 구조를 그림 3은  $I_d-V_{ds}$  특성을 보여주고 있다.

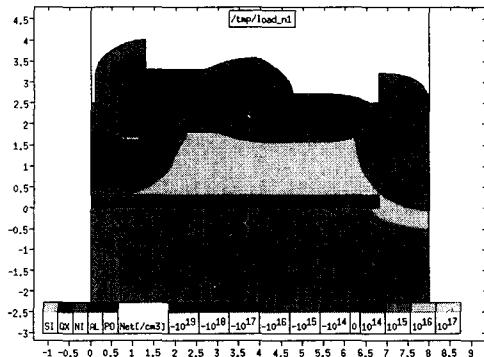


그림 2 LDMOS 소자 단면도

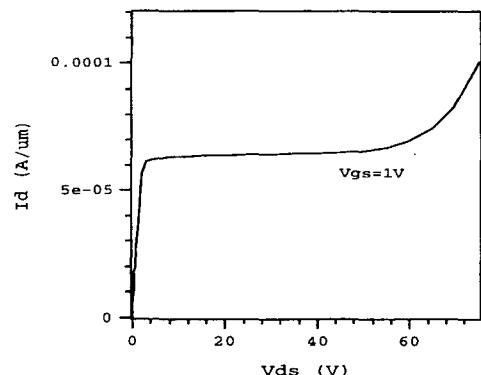


그림 3 LDMOS 소자의  $I_d-V_{ds}$  특성 곡선

#### 나. LDD NMOS 트랜지스터

BCD 구조에서 CMOS 소자는 고속, 고집적용 논리 회로 구성에 사용되는데, LDD를 위한 phosphorous 주입( $4 \times 10^{14} \text{ cm}^{-2}$ , 30keV) 이외의 모든 과정은 LDMOS 및 고내압 바이폴라 소자와 동일한 mask를 사용하여 공정 하는 것이 가능했다. 시뮬레이션 결과 문턱전압 1V, subthreshold swing은 100mV/decade를 얻었다. 그림 4는 시뮬레이션된 소자의 단면도를, 그림 5는  $I_d$ - $V_{gs}$ 특성을 보여주고 있다.

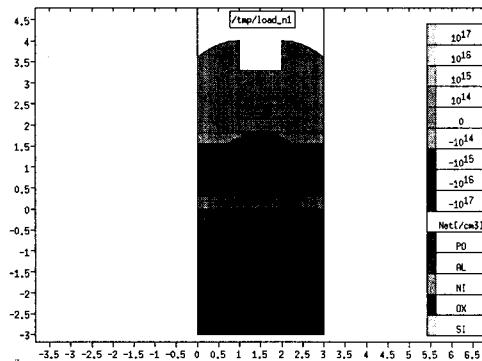


그림 4 LDD NMOS 소자의 단면도

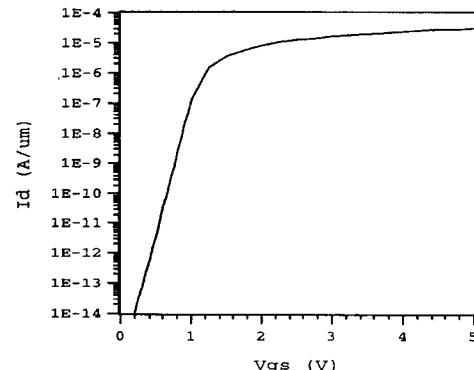


그림 5 LDD NMOS 소자의  $I_d$ - $V_{gs}$  특성곡선

#### 다. 20Ghz 급 고속 bipolar 트랜지스터

SOI 기판을 사용하여 콜렉터-기판 사이의 접합 용량을 줄이고자 하였으며, 3000Å의 측면 질화막에 의

해서 p+ 비활성 베이스 영역이 정의되도록 함으로써 베이스-콜렉터 사이의 접합 용량을 최소화하였다. 그리고 확산 용량의 최소화를 위하여 베이스 폭을 0.15um 이하로 줄이도록 하였다. 이 때의 베이스 공정 조건은 BF<sub>2</sub>  $1.5 \times 10^{14} \text{ cm}^{-2}$ , 50keV이며 확산시간은 92 5°C에서 총 30분으로 하였다. 또한 콜렉터 직렬 저항 감소 및 스위칭 특성 개선을 위하여 SIC>Selective Implantation of Collector) 공정을 수행하였으며, 그 공정 조건은 phosphorous  $1.7 \times 10^{13} \text{ cm}^{-2}$ , 300keV로 하였다. 그 결과 약 50~80의 전류이득 특성을 보여주었으며 ( $BV_{CEO}$  : 5V), 차단 주파수  $f_T$ 는 약 21Ghz의 고주파 특성을 구현하였다. 그림 6은 시뮬레이션한 소자의 단면을, 그림 7은 Gummel 특성을 보여주고 있다.

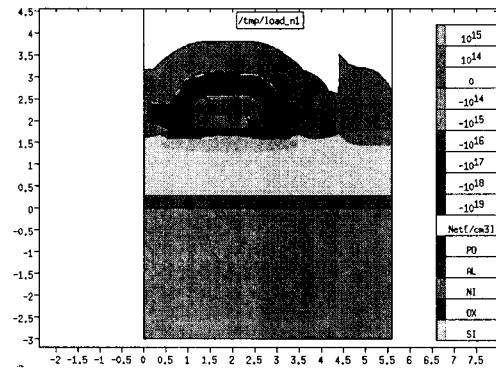


그림 6 High Speed Bipolar 소자의 단면도

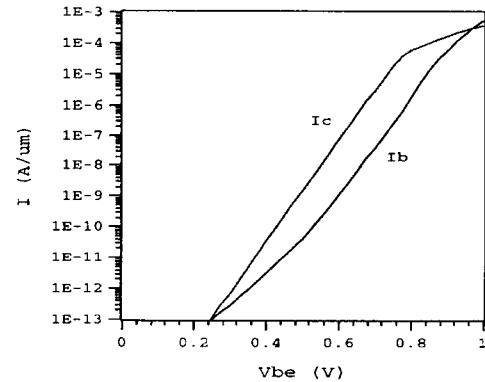


그림 7 High Speed Bipolar 소자의 Gummel Plot

#### 라. 20V 급 고내압 바이폴라 트랜지스터

고내압 바이폴라 소자 구현을 위해서는 10um 금 epi 층과 깊은 접합 깊이 특성이 요구된다. 본 연구에서는 고내압 고속 바이폴라 소자와 submicron 금 LDMOS 소자가 동시에 탑재되기 위하여 SOI 기판을 이용한 1.5um thin epi 층과 0.4um 베이스 폭, 0.4um의 에미터 깊이로 공정 설계하였다. 이때의 베이스 공정 조건은  $B^+$ 을  $1 \times 10^{14} \text{ cm}^{-2}$ , 40keV으로 이온주입하고 확산 시간은 1000°C에서 40분이었다. 에미터 공정 조건은  $As^+$   $5 \times 10^{15} \text{ cm}^{-2}$ , 130keV이며 1000°C에서 60분 확산하였다. 콜렉터는 phosphorous를  $2 \times 10^{16} \text{ cm}^{-2}$ , 150keV로 implantation하고, 1050°C에서 90분간 확산시켜 형성했다. 그럼 8은 시뮬레이션된 소자의 단면도를 보여주고 있다. 이러한 공정 조건으로 소자 시뮬레이션을 한 결과, 전류 이득은 약 60이며, 항복 전압은 약 40V의 양호한 특성을 얻을 수 있었다. 그림 9는  $I_c-V_{ce}$  특성을 보여주고 있다.

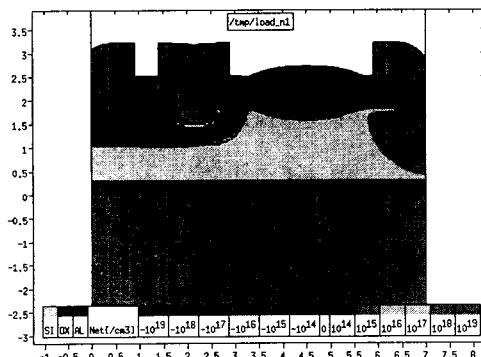
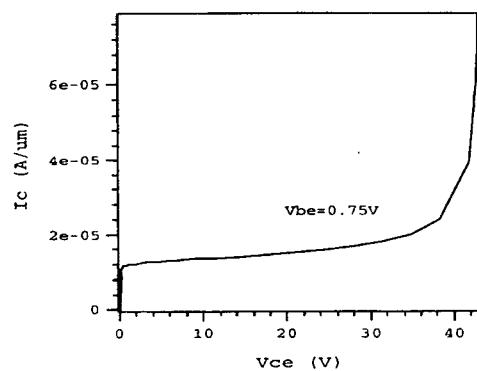


그림 8 High Voltage Bipolar 소자의 단면도

그림 9 High Voltage Bipolar 소자의  $I_c-V_{ce}$  특성

#### IV. 결론

본 논문에서는 정보통신 시스템 및 automobile용 전자 제어 시스템의 핵심 부품으로 사용될 수 있는 고속 고내압 SOI 지능형 전력 소자 구조를 고안하였으며, one-chip화시키기 위한 최적화된 공정 조건 및 주요 소자 spec.을 추출하였다. 시뮬레이션에 사용된 툴은 DIOS/DESSIS이며, 시뮬레이션 결과, 0.8um step 게이트 LDMOS (Selective SOI 구조)의 경우 약 70V 이상의 양호한 항복 전압 특성을 구현하였으며  $R_{on}$  저항은 약 17Ω·mm으로 예측되었다. 또한 고내압 바이폴라 소자는 전류이득이 약 60A/A이며 항복 전압은 40V 이상으로 나타났다. 고속 바이폴라의 경우 21Ghz의 고속 스위칭 특성을 구현하였다. 그리고 LDD implantation을 위한 마스크 이외에는 추가된 공정 없이 CMOS를 형성했다. (※ 본 연구는 정보통신부에서 지원하는 대학기초연구지원사업으로 수행되었음)

#### 참고문헌

- [1] N. Fujishima, Y. Yano, and K. Tsuchiya, "A Novel DMOS Structure for 1.5um Rule BiCMOS Process", Proceedings of ISPSD'92, pp. 52-57, 1992
- [2] K. Sakamoto, Y. Numogawa, R. Takeshita, T. Koda, and S. Horiuchi, "An Intelligent Power IC with Reverse Battery Protection for High-Side Solenoid Drivers", ISPSD Proceedings, pp. 406-410, 1995
- [3] Taylor Efland, Theresa Keller, Steve Keller, John Rodriguez, "Optimized Complementary 40V LDMOS-FETs Use Existing Fabrication Steps In Submicron CMOS Technology", IEDM-94, pp.399-402, 1994