

## DWMT VDSL을 위한 클럭 복원방식

\* 문 인 수(文 仁 洙), \* \* 정 항 근(丁 恒 根)  
전북대학교 전자공학과  
전화 : \* (0652) 270-2399 / 팩스 : \* (0652) 270-2400  
\* \* (0652) 270-2464 / \* \* (0652) 270-2400

### Clock Recovery Method for DWMT VDSL

\* In Su Moon, \* \* Hang Geun Jeong  
Department of Electronic Engineering, Chonbuk National University  
E-mail : \* ismoon@iclab.chonbuk.ac.kr  
\* \* hgjeong@moak.chonbuk.ac.kr

---

본 논문은 한국과학재단 특정기초 연구과제(과제번호 : 97-0100-1001-3)의 지원에 의하여 연구되었음.

---

#### Abstract

DWMT VDSL system needs A/D converter clock, bit clock, symbol clock, frame clock, etc. DMT ADSL system utilizes a correlation method which makes use of cyclic prefix or preamble pattern for clock recovery. But the correlation method is difficult to apply to the DWMT system because modulated symbols are overlapped in the time domain.

This paper proposes a novel clock recovery method which can be used for the DWMT system due to its inherent independence of the modulation method. This new method is verified by SPICE simulations.

#### I. 서 론

DWMT VDSL 시스템의 신호는 각 심볼간 genus 만큼의 overlapping이 된다. 클럭 추출을 위하여 일정한 preamble 패턴을 심볼에 첨가할 경우 변조 과정에서 preamble 패턴은 심볼과 overlap이 되어 수신단에서는 수신신호로부터 클럭을 추출하기가 어렵다. DWMT 시스템에서 상관기법을 적용하기 위해서는 긴 길이의 알고 있는 패턴을 사용해야 한다. 그러나 긴 길이의 패턴으로 인해 overhead가 너무 크게 되고, 하드웨어 구현면

에서 복잡도가 증가하게 된다. 이러한 단점을 극복하기 변조방식에 무관하게 클럭 추출을 행하고, 하드웨어 구현면에서 간단한 아날로그 회로방식을 사용하는 동기방식을 연구하였다.

본 논문에서는 변조 방식에 무관하게 클럭을 추출하기 위하여 클럭 주파수의 0.5배에 해당하는 클럭 버스트 패턴을 변조된 신호에 주기적으로 삽입하며 이 클럭 버스트 패턴을 검출하여 그 정보를 갖고 시스템에 필요한 A/D 변환기 클럭, 심볼 클럭, 프레임 클럭을 생성한다. 클럭 버스트 패턴은 심볼 경계 식별을 위하여 normal phase와 reversed phase로 중간에 phase-reversal을 시킨다.

수신단의 입력 DWMT 신호는 클럭 버스트 패턴과 payload로 구성된다. 클럭 버스트 패턴은 클럭 주파수의 0.5배에 해당하는 일정한 주파수와 일정한 크기를 갖는다. 그러나 payload는 주파수와 크기가 랜덤한 신호이다. 이와 같은 신호로부터 클럭을 추출하기 위해서는 다음과 같은 점을 고려해 주어야 한다.

클럭 버스트 패턴이 PLL을 통과하게 될 경우 phase-reversal 지점에서 위상이 180° 변하기 때문에 그 순간 PLL은 lock을 잃게 된다. 이러한 phase-reversal 효과를 제거하기 위한 블록이 PLL의 앞단에 필요하다. 그리고 PLL을 구동하기 위하여 입력 DWMT 신호를 구형파로 변화시켜주는 블록이 필요하다. 또 payload 구간에서 클럭 주파수 이외의 주파수 성

분에 의한 지터를 제거할 필요가 있다. 이러한 문제점들을 해결하기 위하여 PLL의 앞단에 전처리부(Pre-Processing부)를 사용하였다.

앞에서 언급한 바와 같이 입력 DWMT 신호는 랜덤한 주파수와 크기의 payload를 포함하고 있다. 이러한 랜덤한 주파수와 크기의 신호가 PLL에 입력되면 PLL은 lock을 잃게 된다. 이를 방지하기 위하여 payload 구간에서는 PLL이 동작을 멈추고 그 이전의 값을 갖고 있어야 한다. 즉, PLL을 클럭 버스트 패턴 구간에서는 정상 동작시키고 payload 구간에서는 hold 시키는 역할이 필요하다. 이를 위하여 클럭 버스트 패턴의 시작점과 끝점을 검출하고 그 구간동안은 PLL을 동작시키고 그 외의 구간에서는 PLL을 hold하는 PLL 제어부(PLL-CONT부)를 사용하였다.

심볼의 위상 정렬을 위하여 위상 정렬부(Alignment부)를 만들어 PLL의 출력을 적절히 처리한 신호와 입력 DWMT 신호의 곱을 입력으로 심볼의 위상을 정렬하였다.

## II. 본 론

### A. 클럭 버스트 패턴의 삽입

DWMT 송신 신호에 timing recovery와 symbol synchronization을 위하여 클럭 주파수의 0.5배에 해당하는 클럭 버스트 패턴을 주기적으로 삽입한다. 클럭 버스트 패턴은 심볼의 위상 정렬을 위하여 그림 1과 같이 normal phase와 reversed phase로 중간에 phase-reversal을 시킨다.

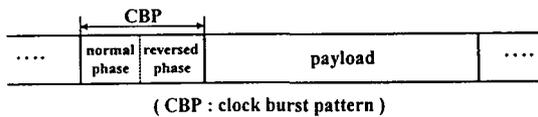


그림 1. 프레임 구조  
Fig. 1. Frame structure

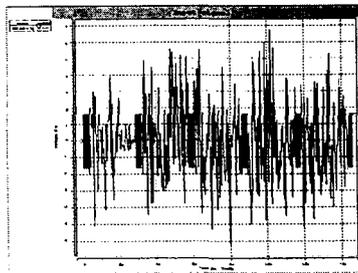


그림 2. 송신 DWMT 신호  
Fig. 2. Transmitted DWMT signal

그림 2는 클럭 버스트 패턴을 삽입한 송신 DWMT 신호를 나타낸다. 클럭 버스트 패턴은 주파수 25MHz, 크기  $\pm 1.65V$ 의 정현파이고 중간에 위상을  $180^\circ$  반전시켰다. Payload는 wavelet 변조된 신호로 심볼들 간의 overlap으로 인해 주파수와 크기가 랜덤한 형태를 가진다.

### B. 회로 구조 및 동작 방식

본 논문에서 제안하는 변조 방식에 무관한 클럭 복원 회로의 전체 블록도는 그림 3과 같다.

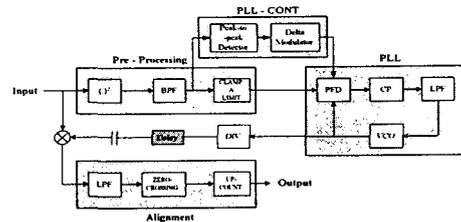


그림 3. 전체 클럭 복원 회로의 블록도  
Fig. 3. Block diagram of entire clock recovery circuit

그림 3의 전처리부(Pre-Processing부)는 다음과 같은 역할을 한다. 제곱기를 이용하여 phase-reversal효과를 제거하고 입력 DWMT 신호의 2배 주파수(클럭 주파수)를 만든다. 그리고 대역 통과 필터를 이용하여 payload 구간에서의 클럭 주파수 이외의 주파수 성분에 의한 지터를 감쇠시킨다. 또 limiter, clamper(CLAMP & LIMIT 블록)를 이용하여 PLL의 입력으로 사용할 구형파(논리 '0'=0V, 논리 '1'=3.3V)를 생성한다. 그림 4는 대역 통과 필터를 통과한 후의 파형을 나타낸다.

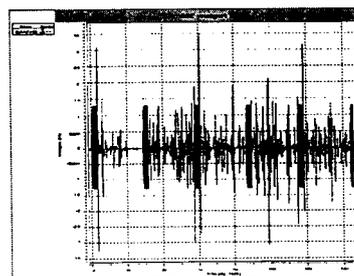


그림 4. BPF 출력  
Fig. 4. Output of the BPF

그림 3의 PLL 제어부(PLL-CONT부)는 payload 구간에서 PLL이 동작하는 것을 막기 위한 제어 신호를 만들어 준다. 세부 회로는 peak-to-peak detector, delta modulator, counter로 구성되어 있다. Peak-to-peak detector는 대역 통과 필터의 출력을 이용하여 delta

modulator를 구동하기 위한 신호를 만들어 주는 역할을 한다. 회로는 그림 5와 같으며 시정수를 조절하여 클럭 버스트 패턴 구간에서 출력이 임의의 DC 레벨을 중심으로 +, -의 값을 갖도록 한다. 그림 6은 peak-to-peak detector의 출력 파형을 나타낸다.

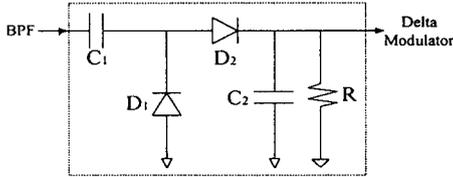


그림 5. Peak-to-peak Detector 블록도  
Fig. 5. Block diagram of peak-to-peak detector

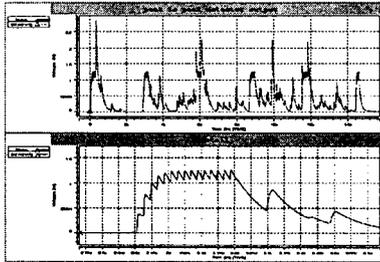


그림 6. Peak-to-peak Detector 출력  
Fig. 6. Output of the peak-to-peak detector

Delta modulator는 클럭 버스트 패턴 구간에서 peak-to-peak detector의 출력이 DC 레벨을 유지하는 것을 이용하여 DC 레벨을 중심으로 '1'과 '0'을 반복하는 펄스열을 생성한다. 클럭 버스트 패턴 구간에서는 펄스열이 생성되나 payload 구간에서는 '1'이 연속적으로, 혹은 '0'이 연속적으로 나와 펄스열은 생성되지 않는다.

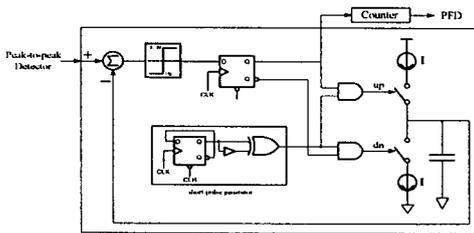


그림 7. Delta Modulator 블록도  
Fig. 7. Block diagram of the delta modulator

세부 회로는 그림 7과 같고 동작은 다음과 같다. 비교기에서 peak-to-peak detector의 출력과 delta modulator의 출력을 비교하여 peak-to-peak detector의 출력이 큰 경우는 '1'을 반대인 경우는 '0'을 출력한다. 비교기의 출력

은 플립플롭을 통하여 펄스 형태로 변화하게되고 이 펄스는 charge pump의 up, down 신호로 입력되어 커패시터에 충·방전을 시킨다. 커패시터의 충·방전에 따라 delta modulator의 출력이 일정한 전압을 유지하기 위해서는 아주 짧은 구간( $\Delta T$ ) 동안만 충·방전이 이루어져야 한다. 이를 위해 short pulse generator를 이용해 short pulse 구간에서만 up, down 신호가 charge pump에 입력되도록 한다. 비교기의 출력은 플립플롭을 통하여 펄스 형태로 변화하게되고 이 펄스는 charge pump의 up, down 신호로 입력되어 커패시터에 충·방전을 시킨다. 커패시터의 충·방전에 따라 delta modulator의 출력이 일정한 전압을 유지하기 위해서는 아주 짧은 구간( $\Delta T$ ) 동안만 충·방전이 이루어져야 한다. 이를 위해 short pulse generator를 이용해 short pulse 구간에서만 up, down 신호가 charge pump에 입력되도록 한다. Short pulse의 크기( $\Delta V$ ), 커패시터의 크기(C), 구간( $\Delta T$ ), charge pump의 전류원 크기(I)는 식 (1)과 같고 충·방전은 표 1과 같다.

$$I \cdot \Delta T = \Delta Q$$

$$\frac{\Delta Q}{C} = \Delta V$$

$$\therefore \Delta V = \frac{I \cdot \Delta T}{C}$$

표 1. Delta modulator 동작 방식

Table 1. Delta modulator's behavior

short pulse	비교기 출력	pump up	pump down
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	0

표 1에서 비교기가 '0'인 경우는 delta modulator 출력이 큰 경우이고 '1'인 경우는 peak-to-peak detector 출력이 큰 경우이다.

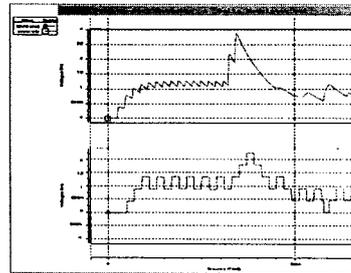


그림 8. Peak-to-peak detector와 delta modulator 출력  
Fig. 8. Output of the peak-to-peak detector and delta modulator

그림 8은 클럭 버스트 패턴 구간에서 peak-to-peak detector와 delta modulator의 출력 파형을 나타낸다. 그림 8로부터 클럭 버스트 패턴구간에서 펄스열이 생성되는 것을 알 수 있다. 이 펄스열을 counting하여 몇 개 이상인 경우 그 지점을 클럭 버스트의 끝으로 보고 이때부터 PLL을 hold시킨다. Counting 개수를 약간의 여유를 두어 클럭 버스트 패턴보다 작게하여 실제의 클럭 버스트 패턴 끝보다 앞에서 PLL을 hold시킨다.

PLL은 PLL-CONT부 출력을 제어신호로 클럭 버스트 패턴 동안은 정상 동작을 하고 payload 동안은 hold한다. PLL의 세부 블록은 그림 9와 같고 PFD, CP(Charge Pump)는 일반적인 방식을 사용했고 VCO는 5단 링 오실레이터를 사용하였다.

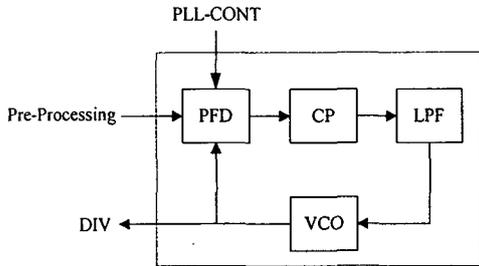


그림 9. PLL 블록  
Fig. 9. Block diagram of the PLL

PLL을 hold시키기 위해 그림 10과 같이 PFD에서 PLL-CONT부의 제어신호를 이용해 D 플립플롭을 clear시키는 방법을 사용하였다. 그림 11은 PLL의 단독 시뮬레이션 결과로 loop filter 전압과 입력 reference clock, VCO clock을 나타낸다. 그림 12는 클럭 버스트 패턴 구간에서 PLL이 정상동작을 하고 payload 구간에서 hold하는 것을 나타낸다.

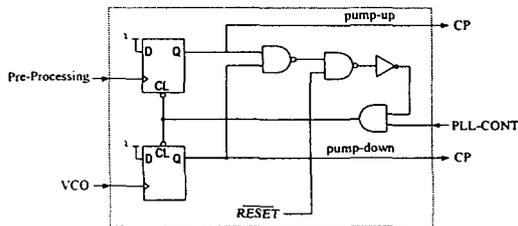


그림 10. PFD 블록  
Fig. 10. Block diagram of the PFD

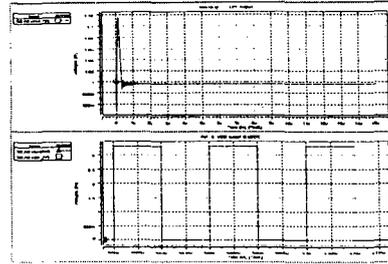


그림 11. Loop Filter출력과 Ref. & VCO 클럭  
Fig. 11. Output of the Loop Filter and Ref. & VCO clock

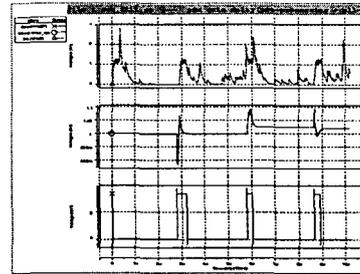


그림 12. Peak-to-peak detector 출력, Loop Filter 출력, PFD clear 신호  
Fig. 12. Output of the peak-to-peak detector and loop filter, clear signal of the PFD

위상정렬(alignment)부에서는 클럭 버스트 패턴의 위상반전을 이용하여 심볼의 위상을 정렬하는 역할을 한다. 입력신호와 PLL의 출력을 곱할 경우 클럭 버스트 패턴의 normal phase부분과 reversed phase부분이 위상반전 지점을 중심으로 +, -의 값을 갖게 된다. 즉, 위상반전 지점에서 zero-crossing이 생기게 되고 이 점에서부터 reversed phase 길이만큼 counting을 하면 그 지점이 payload의 시작이다. 여기서 입력과 PLL의 위상이 일치하지 않으면 zero-crossing이 여러곳에서 발생하는 문제가 있다. 그림 13~15는 두 신호의 곱을 위상차에 따라 나타낸 것이다. 위상차가 작은 경우는 저역통과필터의 계수를 변화시켜 보상할 수가 있다. 그러나 너무 큰 경우는 보상이 불가능하다.

이와 같은 위상차 문제는 PLL 설계시 클럭 버스트 패턴의 길이와 PLL의 속도를 고려하여 방지한다. 그러나 입력신호가 전처리부와 PLL을 통과하는 동안 필연적으로 delay가 생기게 된다. 이를 보상하기 위하여 그림 16과 같은 지연기가 필요하다.

위상정렬부에서도 payload 구간동안 입력신호와 PLL출력의 곱을 취하면 zero-crossing이 여러 개 생기게 된다. 즉, 클럭 버스트 패턴 구간에서만 곱셈을 취해야 한다.

III. 결론 및 추후 연구

DWMT 시스템과 같이 변조방식에 의해 클럭 추출이 어려운 통신시스템에서 위와 같은 아날로그 클럭 추출 방식을 적용하여 클럭을 추출할 수 있다. 제안하는 변조 방식에 무관한 클럭 복원방식은 하드웨어 구현면에서 간단한 아날로그 회로를 이용하여 구현할 수 있고 동작 알고리즘이 간단하다.

본 논문에서는 클럭을 추출하기 위하여 클럭 주파수의 0.5배에 해당하는 클럭 버스트 패턴을 변조된 신호에 주기적으로 삽입하며, 심볼 경계 식별을 위하여 중간에 phase-reversal을 시키는 방식을 제안하였다. Payload 구간에서는 신호의 주파수와 크기가 랜덤하기 때문에 PLL의 동작을 멈추게 해야한다. 이 제어신호는 peak-to-peak detector와 delta modulator를 이용하여 클럭 버스트 패턴 구간에서 펄스열을 생성하고 이 펄스열을 count하여 클럭 버스트 패턴을 검출하는 방식을 제안하였다. 이 제어신호를 이용하여 payload 구간에서 PLL을 hold시킨다. 위상정렬부에서도 PLL과 마찬가지로 payload 구간에서 제어신호가 필요하다.

차후 필요한 연구사항으로는 실제 하드웨어로 구현시에 PLL-CONT부의 제어신호에 의해 PLL의 loop filter가 전압을 오랜 시간동안 유지할 수 있는지의 여부와 유지가 안될 경우 유지를 위한 추가 회로의 연구가 필요하다. 또, 클럭 버스트 패턴의 길이에 따라 요구되는 PLL의 동작속도와 클럭 버스트 패턴이 전체 시스템에 미치는 영향에 대한 연구가 필요하다.

참고문헌

[1] Floyd M. Gardner , "Phaselock Techniques", A Wiley-Interscience Publication, 1979  
 [2] J. Alvin Connelly, Pyung Choi, "Macromodeling with SPICE", Prentice-Hall International Editions, 1992  
 [3] Mark Van Paemel, "Analysis of a Charge-Pump PLL: A New Model", IEEE TRANSACTIONS ON COMMUNICATIONS. VOL 42. NO. 7, 1994  
 [4] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop", IEEE Trans. Comm., vol. COM-28, PP.1849-1858, 1980  
 [5] Dr. Walter Y. Chen, " DSL", MACMILLAN TECHNOLOGY SEREIS, 1998  
 [6] Thierry Pollet and Miguel Peeters, Alcatel. "Synchronization with DMT Modulation", IEEE Communications Magazine, 1999

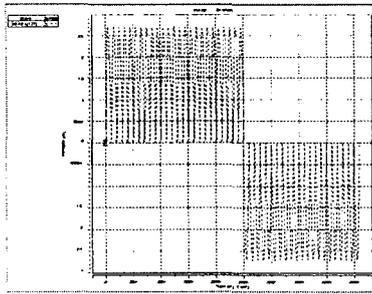


그림 13. 0° 위상차  
 Fig. 13. 0° phase error

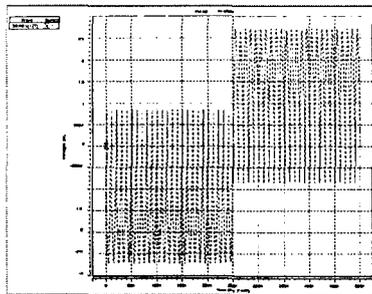


그림 14. 18° 위상차  
 Fig. 14. 18° phase error

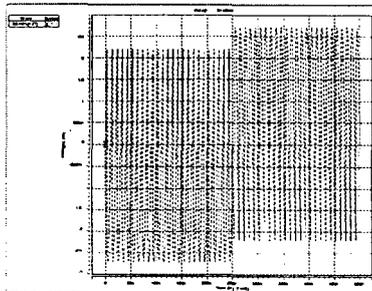


그림 15. 48° 위상차  
 Fig. 15. 48° phase error

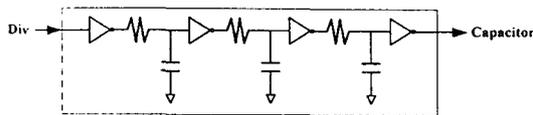


그림 16. 지연기 블록  
 Fig. 16. Delay block