

무선 LAN 시스템에서 FHSS을 위한 직접형 디지털 주파수 합성기에 대한 연구

임세홍, 장용수, 이완범, 김환용

원광대학교 대학원 전자공학과

전북 익산시 신룡동 344-2

E-mail : lsh@gaebyok.wonkwang.ac.kr

Study of the Direct Digital Frequency Synthesizer for FHSS in Wireless LAN Systems

Se Hong Lim, Yong Soo Jang, Wan Bum Lee, hwan yong kim

Dept. of Electronic Eng., Wonkwang Univ.

344-2, Shinyoung-dong, Iksan, Chun-buk, Korea

E-mail : lsh@gaebyok.wonkwang.ac.kr

Abstract

The demands of WLAN(Wireless Local Area Network) systems increase rapidly in whole society and this phenomenon has been expected that WLAN will substitute for wired-LAN. The FHSS(Frequency Hopped Spread Spectrum) method using the WLAN is changed to the performance of Frequency synthesizer.

In this paper, we proposed pipeline-accumulator using ring-counter method instead of constant accumulator that has demerits of size and power consumption. Designed DDFS generated operating frequency of 167MHz and maximum output frequency of 83.5MHz.

I. 서 론

정보화 사회로의 발전과 함께 컴퓨터와 네트워크가 급격하게 발전하고 있으며 인터넷 환경의 발달로 인해 LAN(Local Area Network)의 구축이 사회 전분야에서 급속히 확산되고 있는 추세이다. 무선 LAN은 별도의 Layout 없이도 시스템을 증설할 수 있으므로 유선 LAN을 대체하여 사용되리라고 전망되며 현재 표준화가 진행되고 있는 실정이다. 이러한 무선 LAN의 전형적인 사용 환경인 옥내에서도 안정된 매체가 되어야 한다.

본 논문에서는 현재 제안된 표준안증 스펙트럼 확산 방식의 하나인 부호 계열에 의한 반송 주파수가 불연

속적으로 편이하는 주파수 호핑 방식을 적용하여 직접형 디지털 주파수 합성기(DDFS)를 설계하였다. 처리 속도 향상과 소비전력을 줄일 수 있도록 구조적인 개선과 기능 보완에 관점을 맞추어 연구하였다. 전체 시스템 속도를 향상시키기 위하여 파이프라인 구조에서 앞단에 오는 레지스터를 제거하므로써 부피와 소비전력을 절감할 수 있었다. 또한 삼각파 출력을 할 수 있도록 삼각파 생성 블록을 설계하였다.

본 논문에서는 일반적인 무선 LAN 시스템에 대한 개요와 표준화된 방식을 고찰하고 FHSS을 위한 DDFS(Direct Digital Frequency Synthesizer)를 설계하였으며 시뮬레이션 결과 167MHz의 동작주파수와 83.5MHz의 최대 출력주파수 특성을 확인하였다.

II. 무선 LAN 시스템

무선 LAN 시스템은 기존의 유선망과 무선망을 병합하여 사용할 수 있으며 메인 프레임을 사용하여 단말기의 이동시 유연성을 가질 수 있도록 일반적으로 그림 1과 같은 구성형태를 갖는다. 유선 LAN과는 달리 무선 LAN은 전파 또는 적외선을 이용하여 데이터를 전송하기 때문에 사무실의 레이아웃 변경에 따른 배선의 번번한 변경, 혹은 배선이 불가능한 장소, 특히 이동을 해야하는 업무처리 분야에서 주목받고 있다.

IEEE 802.11에서는 표1과 같이 규격화하여 무선 LAN의 표준화를 진행해오고 있다.

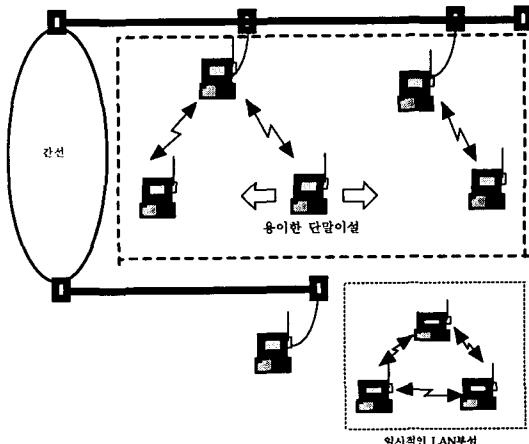


그림1. 무선 LAN의 일반적인 구성도

무선 LAN 시스템은 전송기술에 따라 ISM(Industrial Scientific Medical:902~923MHz, 2.4~2.4835GHz, 5.725~5.825GHz)을 이용하는 대역확산방식, 마이크로파 대역(18.825~19.205MHz)을 이용하는 방식과 적외선 방식이 있으나 다중 경로(multipath) 페이딩 대책이 쉽고, 간섭에 대한 내성이 크며, 우수한 보안 기능등의 특징을 갖고 있는 스펙트럼 확산 방식이 많이 이용되고 있다.

표1. IEEE 802.11 무선LAN과 IrDA 규격

규격		IEEE 802.11 무선LAN과 IrDA 규격					
사용주파수	2.4GHz		2.4GHz		적외선 (850nm~950nm)		
스펙트럼 확산변복조방식	직점시퀀스 (DSSS)			주파수 호핑 (FHSS)	-		
기저대역 변복조방식	DBPSK	DQPSK	2GFSK	4GFSK	16-PPM	4-PPM	
최대전송속도 (bps)	1M	2M	1M	2M	1M	2M	
access제어방식	CSMA/CA+ACK RTS/CTS						
최대통신거리 (예측/사부상)	100~300m/25~100m			20~30m/약 5m			

스펙트럼 확산 방식이란 정보를 전송하는데 필요한 대역폭에 비해 훨씬 넓은 대역으로 신호를 사상하여 전송하고, 수신측에서는 그 수신 신호를 원래의 정보 대역폭 이내로 역사상하므로써 희망신호를 복원하는

기술이다. 이 협대역 신호와 광대역 신호 사이의 사상 변환은 스펙트럼 확산 기술의 핵심이다. 주파수 호핑 방식은 스펙트럼을 확산시켜야 할 신호의 반송파 주파수를 어떤 특정한 패턴에 따라 시간적으로 변화시킴으로써, 시간 평균적으로 협대역 신호를 광대역 신호로 사상 변환하는 기술이다.

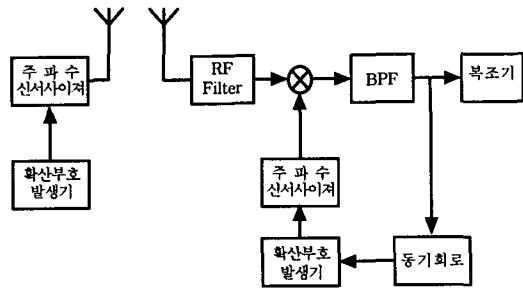


그림2. 스펙트럼 확산 방식을 이용한 변·복조

본 논문에서는 주파수가 랜덤하게 호핑되므로 재밍(Jamming)신호에 강하며 송신파의 스펙트럼이 확산되어 있기 때문에 신호 자체가 발견하기 어렵다는 장점을 가지고 있는 FHSS방식을 이용하였다.

FHSS 방식에서 송신되는 신호의 반송파 주파수는 확산 부호 발생기에서 생성되는 호핑 패턴이라 부르는 다치 신호 계열에 따라 동작하는 주파수 합성기에 의해 변환된다. 이에 따라 주파수 호핑 방식을 적용하여 무선LAN 시스템을 구성하는 경우 그림2에서처럼 주파수 합성기 부분이 주파수를 호핑하는 부분으로써 매우 중요한 역할을 하므로 본 논문에서는 기존의 주파수 합성기의 단점을 보완한 DDFS를 적용하여 시스템의 속도를 개선하며 주파수의 호핑 효율을 높이고 안정된 송·수신을 가능토록 하였다.

III. 무선 LAN에 적용한 주파수 합성기

직접형 디지털 주파수 합성기의 설계 명세조건은 다음 사항과 같다. 기준 주파수는 167MHz이고 어큐뮬레이터의 입력 비트수는 11bit이며, 주파수 분해능은 15.27MHz로 설정하였다. 그러한 제한된 주파수 합성기의 블럭도는 그림 3과 같다.

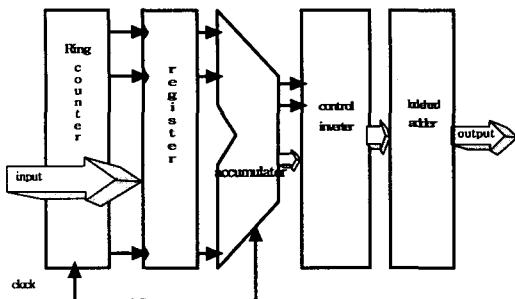
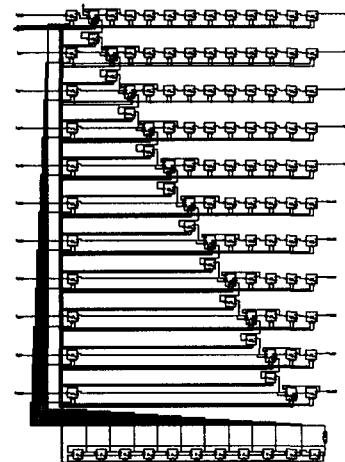


그림3. 주파수 합성기의 블록도

1. 어큐뮬레이터부

지금까지의 방식들은 위상에 상응하는 값들을 누적시키기 위하여 일반적으로 가산기의 연속적인 형태를 취하여 carry를 받아 가산하는 형태를 갖추고 있기 때문에 부득이하게 전체시스템의 속도를 낮출 수밖에 없는 원인이 발생하므로 전체 시스템의 속도가 저하되는 결과를 가져왔다.

본 논문에서는 전체적인 시스템의 구조를 개선함으로써 이에 대한 해결책을 제시하였다. 직접형 디지털 주파수 합성기의 처리 속도를 높이기 위해서 어큐뮬레이터를 파이프라인 구조로 구성하였다. 파이프라인 구조의 전체적인 관점에서 시스템의 속도를 향상시키기 위하여 각각에서 발생하는 carry를 레지스터로 받아 처리함으로써 시스템의 전체적인 속도를 향상시킬 수 있었다. 그러나 레지스터의 수의 증가로 인한 부피의 증가와 이로 인한 소비전력의 증가를 가져오는 단점을 수반하게 되었다.



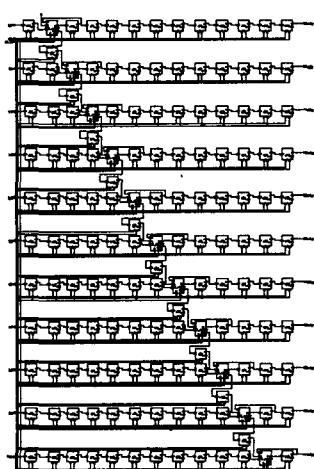
(b) 부피와 전력감소를 위한 어큐뮬레이터

그림4. 기존의 어큐뮬레이터부와 설계한 어큐뮬레이터부

이와 같은 단점을 보상하기 위하여 ring counter의 그 순차적인 출력으로 register의 클럭을 제어하므로 계단식 형태의 레지스터 기능을 대신할 수 있도록 하였다. 그림 4에서 보여주는 것과 같이 어큐뮬레이터의 구조가 개선되었고, 레지스터의 수가 반절로 줄었으며, 소비하는 전력이 감소함을 알 수 있다.

2. 삼각파 발생기

디지털 합성방식은 샘플링 이론을 근거로 D/A변환 기술을 이용하여 원하는 주파수를 발생시키는 방식으로 발생 주파수를 제어하는 디지털 FSW(Frequency Setting Word)를 입력하고 이 누적된 데이터를 이용하여 ROM 테이블의 address를 지정하는 방식이 일반적으로 사용되어 왔다. 그러나 ROM 테이블의 한정된 기억 용량 때문에 보다 많은 위상 데이터를 저장할 수 없게 되었으며 부피가 크고 그에 따른 전력 소모도 많은 단점이 있다. 또한 데이터의 증가로 인하여 지수 함수적으로 증가하는 ROM 테이블의 부피는 접근 시간의 지연을 가져오므로 전체적 시스템의 속도에도 많은 영향을 미친다. 그러나 어큐뮬레이터에서 출력되는 값들이 삼각파 발생기를 거쳐 톱니의 형태를 갖추어 출력하게 되고 이것의 최상위 비트는 부호를 결정하는 부호신호와 다음 상위 비트의 데이터를 반전시키는 반전제어 신호로 데이터를 반전시킴으로써 삼각파의 형태를 갖출 수 있도록 하였다. 이것을 다시 D/A 변환기를 거쳐



(a) 기존의 어큐뮬레이터

정현파의 형태로 출력시킬 수 있다. 이러한 결과로써 ROM 테이블을 접근하는데 걸리는 시간을 단축시킬 수 있었으며 부피와 소비전력면도 개선할 수 있었다.

3. 위상 정형기

삼각파 발생기 블록을 거치면서 발생하는 위상 절림 현상으로 인한 왜곡을 보상해 주기 위하여 그림 5와 같은 위상 정형기를 설계하였다.

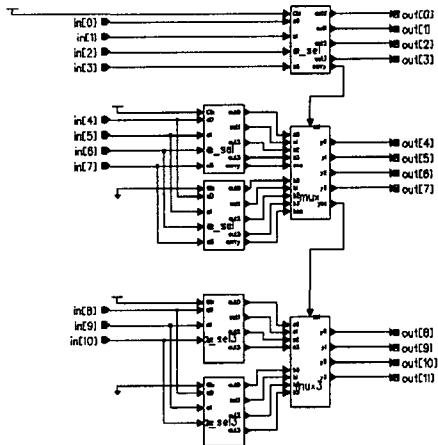


그림 5. 위상 정형기

또한, 본 논문에서는 스펙트럼 순수도를 개선하기 위하여 위의 그림 5와 같은 위상 정형기를 사용하였다. 12bit일 때 4bit의 가산을 동시에 수행하고 하위 4bit은 carry가 발생했다고 가정하며 또다른 4bit는 carry가 발생하지 않았다고 가정하여 가산을 한 후 그에 따라 select를 하는 형태로 구성하였다.

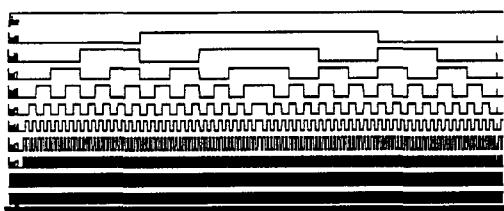


그림 6. 삼각파 생성 출력 파형

IV. 결 론

무선 LAN 시스템이 앞으로는 일반 네트워크에서

큰 비중을 차지하리라고 전망되고 있으며, 옥내에서 다중 경로 페이딩이 존재하는 열악한 환경에서도 안정된 무선 통신을 실현하기 위한 대책으로 주파수 호핑 방식의 주파수 합성기가 요구된다. 이에 따라서 본 논문에서는 기존에는 주파수 호핑을 위하여 분주기를 사용하였으나 링 카운터를 사용하여 분주기 대용으로 사용하였고, 링 카운터를 통하여 레지스터의 클럭을 제어하므로 파이프라인 어큐뮬레이터의 가산기 앞단에 오는 레지스터가 하는 기능을 대신할 수 있었다. 제안한 링 카운터를 이용한 파이프라인 구조는 많은 레지스터를 사용할 때 발생하는 glitch를 제거할 수 있고 복잡한 파이프라인 구조를 단순화 할 수 있다. 위상에 따른 정현파의 진폭값이나 삼각파의 진폭값을 저장하여 출력하는 메모리를 제거하여 제어신호에 의하여 어큐뮬레이터에서 출력되는 톱니파의 형태를 삼각파의 형태로 변환하는 삼각파 발생기를 설계함으로써 면적을 축소시킬 수 있었다. 이러한 방법은 부수적으로 레지스터의 수와 부피뿐만 아니라 소비전력 또한 감소시킬 수 있었다.

앞으로 FH 방식을 무선 LAN에 채용할 경우 발생하게 되는 동기 포착 시간의 단축에 대한 연구를 통해 표준으로 되어 있는 주파수 호핑 방식에서 좀 더 빠른 속도를 갖는 무선 LAN의 설계 방법에 관한 계속적인 연구가 필요할 것이다.

참 고 문 헌

- [1] 조성준, "알기 쉬운 무선 LAN", Ohm사, 1995
- [2] 방사현, "디지를 무선통신에서의 주파수 신세사이쳐", 전자과학, pp.166-169, 1988.2
- [3] A.Santamaria, F.J.Lopez-Hernandez, "Wireless LAN Systems", Artech House · Boston London
- [4] Akihiro Yamagishi, Masayuki Ishikawa, Tsukahara, Shigeru date, "A 2-V, 2-GHz Low-Power Direct Digital Frequency Synthesizer Chip set for Wireless Communication", IEEE 1995 CICC, pp 319-322
- [5] 김원후외 1인, "디지를 주파수 합성기법에 의한 FHSS 통신방식에 관한 연구", 한국통신학회지, 제12권 2호, 1987
- [6] 월간 자동 인식 기술, "네트워크 사용자를 위한 무선LAN 기술 강좌", 성안당, 1996
- [7] Shyh-Jue Jou etc ; "A Pipelined Multiplier-Accumulator Using a High-Speed, Low-Power Static and Dynamic Full Adder Design", IEEE JSSC, vol. 32, no. 1, Jun. 1997