

트리구조에 기초한 선형다치논리시스템의 설계와 코드할당에 관한 연구

(A Study on the Design of Linear MVL Systems
based on the Tree Structure and code assignment)

나기수*, 김흥수*

* 인하대학교 전자공학과
인천시 남구 용현동 253 인하대학교
e-mail : gsna@ee.inha.ac.kr

Gi-Su Na*, Heung-Soo Kim*

* Dept. of Electronic Eng., Inha Univ.
253 Yonghyun-Dong Nam-Gu Incheon 402-751, KOREA
E-mail : gsna@ee.inha.ac.k
Fax : +82-32-860-7413

요 약

본 논문에서는 입출력간의 연관관계가 트리구조로 표현되는 DTG(Directed tree graph)에 의한 고속 병렬다치논리회로를 설계하는 알고리즘과 DTG의 각 절점에 코드를 할당하는 알고리즘을 제안한다.

입의 절점을 갖는 DTG에 대하여 본 논문에서는 절점들이 매개변수에 의하여 표현될 때 양의 정수로 표현되도록 논리레벨 P 를 할당하고 각 레벨에 각기 다른 잉여절점을 추가하여 회로를 설계한다. 또한, 절점들의 입출력 관계를 단지 하나의 매개변수 m_i 를 이용하여 전달행렬 A 를 구하기 때문에 더 빠르고 간단하게 회로를 설계할 수 있다.

본 논문에서 제안한 알고리즘은 Nakajima 등에 의해 제안된 알고리즘으로는 설계가 가능하지 않았던 입의 절점을 가지는 DTG에 대해서도 회로를 설계할 수 있는 장점이 있다. 또한, 자연수 내에서 선형성, 정규성, 및 가시적인 장점을 가지며 절점수의 감소를 통한 처리속도의 향상, 회로 구성의 간략화 및 비용절감등의 장점등이 있다.

I. 서 론

최근 집적회로 기술의 비약적인 발전으로 인해 단일 칩 상에 방대한 양의 회로가 집적될 수 있게 되었다. 이러한 비약적인 발전에도 불구하고 보다 복잡하고 다양한 기능을 구현하기 위해 더 많은 소자들을 더 적은 면적의 칩속에 집적해야 하는 것이 현재 집적회로 기술이 해결해야 할 과제로 떠오르고 있다. 이러한 문제들은 내부접속의 복잡성으로 인한 구성의 한계로부터 기인하는 것이며 이를 해결하기 위한 많은 연구가 계속되고 있다. 그 중 최근 주목받고 있는 분야가 다치논리(MVL) 이론^[1~3]을 회로에 적용하는 것으로, 이는 하나의 신호선에 오직 두개의 신호레벨만을 전송하는 것보다 동일한 신호선에 더 많은 전송을 함으로써

내부접속의 복잡성을 감소시킬 수 있는 장점이 있다. 또 한가지 주목받고 있는 방법이 그래프이론을 회로설계에 적용한 분할연산구성기법^[4~5]이다. 이는 출력에 영향을 미치는 입력의 연관관계를 함수로서 해석하고 이를 분할연산하여 회로로 구성한 후 이를 선형결합하는 기법이다. 이러한 기법을 통해 입력과 출력의 관계를 최적화하여 회로소자들 간의 의존도감소에 의해 내부접속의 복잡성을 감소시킬 수 있다. 따라서, 다치논리이론과 분할연산 구성기법은 초고속 집적회로에 대한 차세대 논리시스템의 매우 중요한 관심분야로 부각되고 있으며 이에대한 연구가 활발히 진행중이다.

II. 수학적 배경

1. 방향성 그래프(DG:Directed Graph)

그래프는 절점(node)들과 그 절점들을 연결한 가지(branch)들의 집합으로 정의되며, 특히 절점들을 연결한 가지들의 방향이 정의되어 화살표로 방향을 표시할 때 이러한 그래프를 방향성그래프라 한다.

본 논문에서 사용되는 그래프는 트리구조의 절점들이 방향을 갖는 방향성트리그래프라 하며 이의 몇 가지 성질^[6~7]을 다음과 같이 정리하였다.

[성질 1.1] $s_2 = A s_1$ 의 관계를 갖는 두 노드 s_1, s_2 에 대하여 s_1 을 s_2 의 조상(원인 또는 입력), s_2 를 s_1 에 대한 자손(결과 또는 출력)이라 볼 수 있다.

[성질 1.2] $s_k = A^m s_1$ 의 관계를 갖는 두개의 노드 s_k 와 s_1 에 대하여 s_1 은 s_k 의 m 번째 조상이 되며, s_k 는 s_1 의 m 번째 자손이 된다. 즉, s_1 에서 출발하여 s_k 에 도착하기 위해서는 m 번의 A 를 취해주어야 한다.

[성질 1.3] 트리는 root라 불리는 하나의 노드를 가지며 트리구조의 모든 노드는 root노드와 연결되어 있다.

[성질 1.4] root노드는 길이가 1인 사이클을 이루며 root노드를 제외한 사이클은 트리구조내에 존재하지 않는다.

2. 유한체 GF(p)의 성질

유한체는 일명Galois체라고도 하며, 다치논리이론 및 오류정정부호, 스위칭이론 등에 광범위하게 적용되는 대수학의 일부분이다. 유한체GF(p)는 p가 1보다 큰 소수이고 그 원소가 0, 1, 2, ..., p-1인 기초체이다. 유한체 GF(p)상의 임의의 원소 α, β, γ 는 다음과 같은 수학적 성질^[8]을 만족한다.

[성질 2.1]. 유한체 GF(p)상의 원소들의 연산에 대하여 가산(+)과 승산(\times)이 정의되고, 그 연산 결과는 유한체 GF(p)에 대하여 닫혀있다.

[성질 2.2]. 유한체 GF(p)상의 원소들의 연산에 대하여 교환, 결합, 분배법칙이 성립한다.

[성질 2.3]. 유한체 GF(p)상의 원소들의 연산에 대하여 가산과 승산의 항등원과 역원이 각각 존재한다.

3. 회로의 분할 연산^[9]

다음 식 1에서

$$d(x) = a_0 + a_1 x + \dots + a_{n-1} x_{n-1} + x_n \quad (1)$$

$d(x)$ 의 동반행렬(Companion matrix)를 C_i 라 정의하고 이를 행렬로 나타내면 식 2와 같다.

$$C_i = \begin{pmatrix} 0 & 0 & 0 & \dots & -a_0 \\ 1 & 0 & 0 & \dots & -a_1 \\ 0 & 1 & 0 & \dots & -a_2 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & -a_{n-i-1} \end{pmatrix} \quad (2)$$

전달행렬 A 는 이러한 동반행렬들을 선형결합함으로써 다음의 식 3을 얻을 수 있다.

$$A = \begin{pmatrix} C_1 & & & \\ & C_2 & & \\ & & \ddots & \\ & & & C_s \end{pmatrix} \quad (3)$$

4. Nilpotent 행렬^[10]

A 가 정방행렬이면서 어떤 양의 정수 n 에 대해서 $A^n = 0$ 이면 정방행렬 A 를 멱영행렬(Nilpotent matrix)이라 하고 이를 동반행렬로 나타내면 식 4와 같다.

$$C_i = \begin{pmatrix} 0 & 0 & 0 & \dots & 0 & 0 \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix} \quad (4)$$

이 때, 동반행렬의 선형결합으로 구성되는 A 는 m 이라는 vector에 의해 특성화되어 지는데 m 은 식 5와 같은 형태를 취한다.

$$m = \begin{pmatrix} m_1 \\ m_2 \\ m_3 \\ \vdots \\ m_L \end{pmatrix} \quad (5)$$

III. 회로설계

1. DTG의 회로설계

본 절에서는 디지털논리시스템의 입출력사이의 연관관계를 도식적으로 표현해 주는 DTG를 회로로 설계하는 과정을 논의한다. 예를 들어 아래 표 1과 같은 절점들간의 입출력 연관관계표로부터 DTG를 도시하면 그림 1과 같다.

표 1. 절점들간의
입출력 연관관계표.

입력	A	B	C	D
출력	A	A	B	B

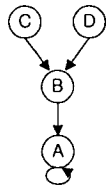


그림 1. 표 1에 대한 DTG.

이때, 주어진 그림에서 전달행렬 A 를 구하기 위해 트리의 특성을 이용하면 각 레벨간의 관계를 식 6과 식 7과 같이 표현 할 수 있다.

$$k_i = \log_p(1 + N_1 + N_2 + N_3 + \dots + N_L) \quad (i=1,2,3,\dots,L) \quad (6)$$

($N_0 = 1$)

$$N_0 + N_1 + \dots + N_L = P^{m_1 + m_2 + \dots + m_i + m_{i+1} + \dots + m_L} \quad (7)$$

$$K = Em \quad (8)$$

따라서, 전달행렬 A 를 구하기 위한 m 은 식 8에 의해 식 9와 같이 구할 수 있다.

$$\begin{pmatrix} m_1 \\ m_2 \\ m_3 \\ \vdots \\ m_{L-1} \\ m_L \end{pmatrix} = \begin{pmatrix} 2 & -1 & 0 & \dots & 0 & 0 \\ -1 & 2 & -1 & \dots & 0 & 0 \\ 0 & -1 & 2 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 2 & -1 \\ 0 & 0 & 0 & \dots & -1 & 1 \end{pmatrix} \begin{pmatrix} k_1 \\ k_2 \\ k_3 \\ \vdots \\ k_{L-1} \\ k_L \end{pmatrix} \quad (9)$$

트리구조의 레벨간 절점수의 관계를 표현해주는 매개변수 k_i 와 m_i 의 관계는 식 6과 식 7로부터 유도된다.

① k_i 변수와 m_i 변수와의 관계

$$k_i = m_1 + 2m_2 + \dots + (i-1)m_{i-1} + i(m_i + m_{i+1} + \dots + m_L) \quad (10)$$

식 10에 의해 매개변수 m_i 는 각각 다음과 같이 표현된다.

$$\begin{aligned} m_1 &= 2k_1 - k_2 \\ m_2 &= -k_1 + 2k_2 - k_3 \\ &\vdots \\ m_L &= -k_{L-1} + k_L \end{aligned}$$

② k_i 변수와 각 레벨당 절점들간의 관계 (식 6)

따라서, 각 매개변수와 절점들간의 관계를 수식적으로 계산하여 각 레벨당 절점들의 수와 매개변수 m_i 와의 관계로 표현하면 식 11과 같다.

$$m_1 = \log_p \frac{(N_0 + N_1)^2}{(N_0 + N_1 + N_2)}$$

$$m_2 = -\log_p(N_0 + N_1 + N_2) + 2\log_p(N_0 + N_1 + N_2 + N_3) - \log_p(N_0 + N_1 + N_2 + N_3 + N_4)$$

\vdots

$$m_L = \log_p \frac{(N_0 + N_1 + \dots + N_L)}{(N_0 + N_1 + \dots + N_{L-1})} \quad (11)$$

위의 식 11은 트리의 구조에서 각 레벨당 절점들의 수를 파악하여 매개변수 k_i 의 변환과정을 거치지 않고 바로 절점들의 레벨간의 구성으로부터 매개변수 m_i 를 도출해 낼 수 있는 장점이 있으며 기존의 방법과 비교하여 보다 간단하고 정확한 회로를 설계할 수 있도록 구성된 식이다.

논리시스템의 입출력 절점들간의 연관관계로부터 DTG를 도출하고 이를 토대로 매개변수 m_i 의 선형결합으로 구성되는 전달행렬 A 를 구하고 이를 회로를 설계하는 알고리즘은 다음과 같다.

[회로설계 알고리즘]

단계 1. DTG로부터 각 레벨에 달린 절점의 수를 파악한다.

단계 2. 각 레벨당 매개변수 m_i 가 양의 정수가 되도록 논리 레벨 P 를 결정하고 각 레벨간에 각기 다른 잉여의 절점을 삽입한다.

단계 3. 식 11에 의하여 벡터 m 을 구한다.

단계 4. 단계 3에서 구한 벡터 m 을 선형결합하여 전달행렬 A 를 구한다.

단계 5. 전달행렬 A 를 회로로 구현한다.

다음의 예제는 기존의 알고리즘으로 회로구성이 불가능한 경우를 본 논문에서 제안한 회로설계 알고리즘을 통해 설계한 예이다.

[예제] 표 3.4.1의 입출력 절점들간의 연관관계를 DTG로 도시하고 [회로설계 알고리즘]을 통해 회로로 설계하는 과정을 살펴본다.

표 2. 입출력 절점들간의 연관관계표.

입력	A	B	C	D	E	F	G	H	I	J	K	L	M
출력	A	A	A	A	C	C	C	C	C	C	C	C	C

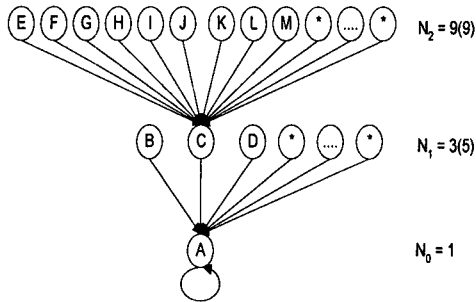


그림 2. 표 2에 잉여절점을 삽입한 DTG.

단계 1. DTG의 레벨당 절점수

$$N_0 = 1, N_1 = 3, N_2 = 9$$

단계 2. 매개변수 m_i 를 양의 정수로 얻기 위해

N_1 에 5, N_2 에 8개의 잉여절점을 삽입하고 최적의 P치를 3으로 결정한다.

$$\text{즉, } N_0 = 1, N_1 = 3(5), N_2 = 9(9)$$

단계 3. 식 11에 의해 매개변수 m_i 를 구한다.

$$m_1 = \log_p \frac{(N_0 + N_1)^2}{(N_0 + N_1 + N_2)} = \log_3 \frac{(1+3)^2}{(1+3+9)} = 1$$

$$m_2 = \log_p \frac{(N_0 + N_1 + N_2)}{(N_0 + N_1)} = \log_3 \frac{(1+3+9)}{(1+3)} = 1$$

$$\text{즉, } m_1 = 1 \quad m_2 = 1$$

단계 4. 단계 3의 m_1 과 m_2 에 의해 동반행렬 C_1 , C_2 와 전달행렬 A 를 구한다.

$$C_1 = (0), \quad C_2 = \begin{pmatrix} 0 & 0 \\ 1 & 0 \end{pmatrix}, \quad A = \begin{pmatrix} 0 & 0 \\ 0 & 0 \\ 1 & 0 \end{pmatrix}$$

단계 5. 그림 3은 전달행렬 A 에 대한 회로설계이다.

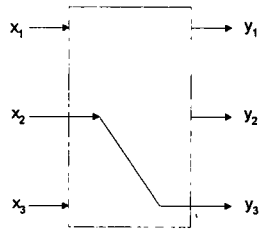


그림 3. 표 2에 대한 GF(3)상의 회로설계

다음은 [회로설계 알고리즘]을 적용하여 구해진 전달행렬 A 의 적합성과 실효성을 검증하기 위해서 각 절점에 코드를 할당한다.

그림 3은 3개의 회로 결선수중에서 단지 y_3 만이 x_2 에 영향을 미치는 것을 의미한다. 따라서 GF(3) 상에서 3개의 회로결선중에 2개가 *일 때 순차적으로 코드를 배열할 수 있는 경우의 수는 9개이다. 따라서 모든 절점에 적절한 코드를 할당할 수 있다.

	A	B	C	D	E	F	G	H	I	J	K	L	M
x_1	0	0	0	1	0	0	0	1	1	1	2	2	2
x_2	0	0	0	0	2	2	2	2	2	2	2	2	2
x_3	0	1	2	0	0	1	1	0	1	2	0	1	2

표 3 그림 3에 대한 표 2의 코드할당.

예제를 통해 DTG의 특성을 갖는 절점들의 입출력관계를 고속병렬다치회로로 구현하기 위하여 [회로설계 알고리즘]의 적용이 기존에 제안된 알고리즘에 반하여, 더 최적의 설계 알고리즘을 알 수 있다.

IV. 결론

본 논문에서는 DTG로 표현된 입출력사이의 노드들간의 연관관계를 수식적 해석을 통하여 함수로 변환하고 이를 회로로 구현하는 알고리즘과 각 절점에 코드를 할당하는 방법을 제안하였다.

Nakajima 등의 방법은 각 레벨당 절점들의 수를 파악한 뒤 가장 많은 절점 수를 갖는 가지의 절점 수를 다른 모든 가지에도 같은 절점수를 갖도록 잉여절점을 부여하는 알고리즘을 제시하였다. 그러나, 이러한 방법은 특정 가지에 많은 수의 절점이 몰릴 경우 상대적으로 많은 수의 잉여절점이 필요할 뿐만 아니라 최적의 회로 구성에 필요한 논리 레벨 P를 선택할 수 없기 때문에 회로 구성이 특정한 경우에 제한되는 단점이 있다. 이러한 문제를 해결하기 위하여 본 논문에서 제한한 알고리즘은 매개변수가 양의 정수가 되도록 각각의 레벨당 독립된 잉여절점을 삽입하는 방식으로 모든 경우의 트리구조에서 최적의 회로구성이 가능하다는 장점이 있다.

본 논문은 입출력의 연관관계가 단항연산일 경우에 한하여 연구가 진행되었다. 보다 일반적인 DTG의 해석을 위하여 입출력의 연관관계가 다항연산일 경우에 대하여 연구가 진행되어야 한다고 사료된다.

[10] A.Gill, *Linear Sequential Circuits*, McGraw Hill Book Co., Newyork. 1966.

참고문헌

- [1] M. Kameyama, "Toward The Age of Beyond-Binary Electronics and Systems," *IEEE Proc. 20th Int. Symposium on Multiple-Valued Logic*, pp.162-166, May. 1990.
- [2] K.C.Smith and P.G.Gulak, "Prospects for multiple-valued intergrated circuits," Special issue on Multiple-Valued intergrated Circuits IEICE TRANS. ELECTRON., vol.E76-C, no.3,pp.372-382, Mar. 1993.
- [3] T. Hanyu, M. Nakajima and T. Higuchi, "Prospects of multiple-valued VLSI processors," Special issue on Multiple-Valued intergrated Circuits IEICE TRANS. ELECTRON., vol.E76-C, no.3, pp.383-392, Mar. 1993.
- [4] M. Ryu and M. Kameyama, "Design of a Highly Parallel Multiple-valued Linear Digital Circuits for k -ary Operations Based on Extended Representation Matrices," *IEEE Proc. 25th Int. Symposium on Multiple-Valued Logic*, pp.20-25, May. 1995.
- [5] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital Circuits Based on Symbol-Level Redundancy," *IEEE Proc. 26th Int. Symposium on Multiple-Valued Logic*, pp.104-109, May. 1996.
- [6] R. J. Wilson and J. J. Watkins, *GRAPH An Introductory Approach*, John Wiley & Sons, Inc. 1990.
- [7] Douglas B. West, *Introduction to Graph Theory*, Prentice Hall, Inc. 1996.
- [8] E. Artin, *Galois Theory*, NAPCO Graphic arts, Inc., Wilconsin. 1971.
- [9] Robert J. McEliece, *Finite Fields for Computer Scientists and Engineers*, Kluwer Academic Publisher, 1978.