MCM-C(Multi-Chip-Module)용 내장형 캐패시터의 구조적 특성에 관한 연구

유 찬 세, 이 우 성, 조 현 민, 임 욱, 강 남 기, 박 종 철
전자부품연구원
(E-mail : ychs@nuri.keti.re.kr)
wslee@nuri.keti.re.kr

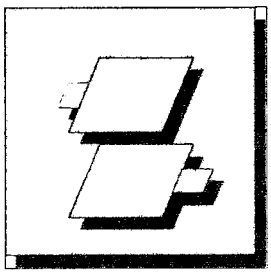
Study on the structure of buried type capacitor for MCM(Multi-Chip-Module)

C. S. Yoo, W. S. Lee, H. M. Cho, W. Lim, N. K. Kang, J. C. Park
Korea Electronics Technology Institute

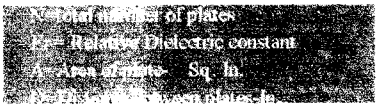
1. 서론

Capacitor는 전극간에 유전체가 존재하고 그 전극사이에서 용량(전하)이 저장되는 수동소자이다. 일반적으로 MLCC(multilayer ceramic capacitor)와 같이 전극이 수직적으로 배열됨으로써 용량을 저장하는 방법이 있고, 수평 면에서 회로를 만들어주는 방법이 있다.

먼저 수직적인 전극의 배열과 그 용량계산은 다음과 같다.

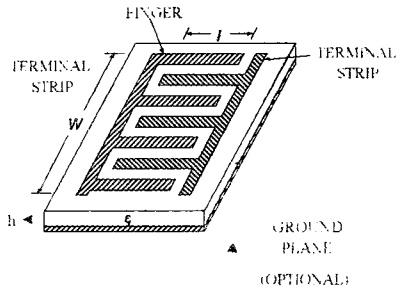


$$C = \frac{A \cdot Er \cdot (N-1)}{4.45 \cdot D} pF$$



위의 그림은 위 아래 위치한 전극간에 유전체가 채워져 있는 capacitor구조를 나타내고 있다. 여기서 capacitance는 전극의 면적에 비례하고 전극간 거리에는 반비례한다. 그리고 전극이 쌓이는 층수와 유전체의 유전율에 비례한다.

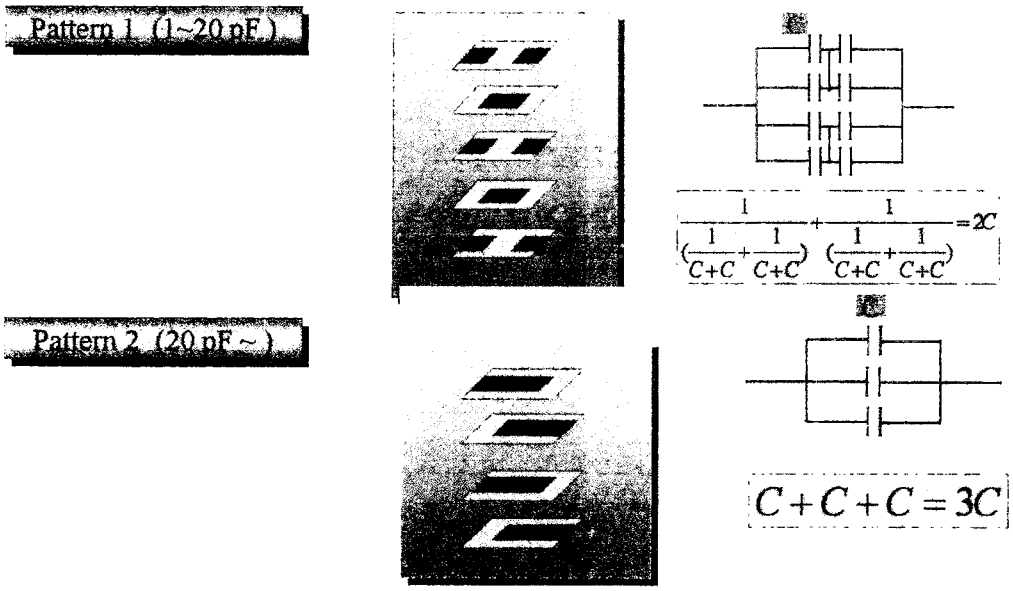
두 번째 구조는 수평면에서 여러개의 전극을 배열시켜 용량을 얻는 방법인데 주로 작은 용량에 대해서 미세하게 조절할 때 사용한다.그에 대한 구조와 계산식은 아래와 같다.



$$C = \frac{Er+1}{W} l \left[(n-3)A_1 + A_2\right]$$

N=# of fingers
A_1=0.089 pF/cm A_2=0.1pF for h>w
l=finger length, cm
w=finger width
h=Dielectric thickness, cm

MLCC 구조를 보면 저용량에서는 capacitor를 직렬, 병렬로 연결하여 미세 용량을 조절하며 20pF 이상의 용량에 대해서는 단순히 병렬로 연결한다.



내장형 (buried type) capacitor pattern은 이런 MLCC구조를 기반으로 하지만 module 내부에 내장되는데 그 큰 차이가 있다. 위의 구조와 같이 각 층의 전극이 port로 직접 연결될 수 없기 때문에 via로 연결되어야만 한다. 그리고 module전체의 면적이 제한되어 있기 때문에 차지하는 면적을 최소화하면서 원하는 용량을 얻어야 하며, port의 위치가 한 방향으로 정해질 필요가 없기 때문에 이를 이용하여 고주파 특성을 향상시키면서 면적을 최소화하는 구조에 대한 연구를 수행하였다. 이 과정에서 HP사의 HFSS(high frequency structure simulator)를 이용하여 각 구조의 특성을 평가하고, 등가회로 분석을 통해 기생 인덕턴스값을 계산하였고, 가장 우수한 특성을 나타내는 구조에 대해서 LTCC 재료를 이용하여 직접 구현하여 실제 module에의 실현 가능성을 확인하였다.

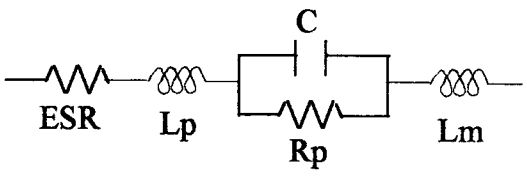
2. 실험 방법

먼저 기존 1608크기의 MLCC pattern을 이용하여 module화 시키고 그 특성을 관찰하였다. 각 층의 pattern은 모두 via를 통해 연결하였으며, 세라믹 body의 크기는 내부 capacitor pattern에 비해 충분히 크게 하였다.(면적 대비 5배 이상) 측정을 위해서 세라믹 body의 맨 윗면에 strip line 형태의 pad pattern을 인쇄하고, SMA connector에 접촉시키고 network analyzer에서 1-port법으로 임피던스 값을 6 GHz까지 측정하였다. 위와 같은 방법으로 여러 가지 pattern에 대해서 simulation, 및 시작품을 제작하여 그 특성을 비교하였다.

3. 결과 및 고찰

(1) HFSS를 이용한 구조 특성 분석

먼저 구조 분석에 사용된 등가 회로는 다음과 같다.



C : capacitor
Lp : 구조에 의해 생긴 기생 L값
Lm: 측정에 이용된 via에 의한 L값
Rp : 구조에 의해 생긴 기생 R값
ESR : equivalent series R

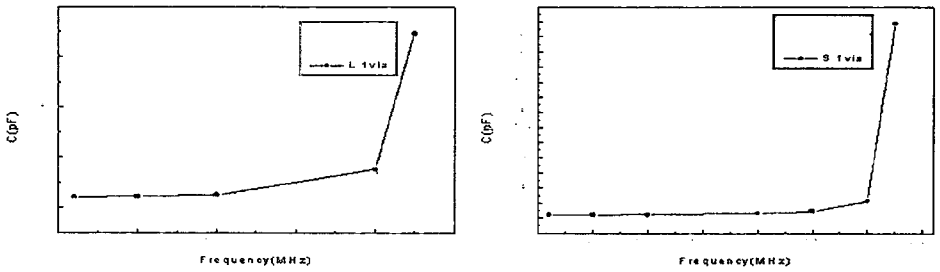
앞에서 제시된 MLCC구조의 가장 큰 문제는 port를 통해 신호가 전달되는 길이가 길다는 점이다. 이는 capacitor에 기생성분으로 존재하는 기생 인덕턴스(parastic series L)값의 크기를 증가

시키고 이런 이유로 SRF가 낮아지게 된다. 좀 더 높은 주파수에서 사용할 수 있는 capacitor를 얻기 위해서는 이런 기생 인덕턴스 값을 줄일 필요가 있다.

각 전극을 via로 연결하되 1608 크기를 기준으로 기존에 16방향(긴방향)에 있던 port의 위치를 08방향(짧은 방향)으로 바꾸어서 용량 및 고주파 특성을 비교하였는데 그 결과는 다음과 같다.

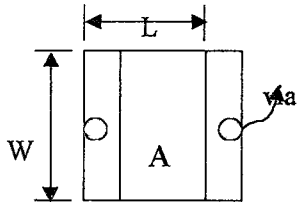
	16방향	08방향
C(pF) at 100MHz	4.1	4.182
SRF(GHz)	2.316	3.276
Lp(nH)	1.15	0.56

위에서 알 수 있듯이 같은 용량을 구현하면서도 기생 인덕턴스값이 반정도로 감소하였다. 그 밖의 결과들이 아래그림에 나타나 있는데 port가 짧은 방향에 위치하는 경우가 SRF도 높아지고 고주파 대역에서 C값이 더 안정적으로 유지됨을 알 수 있다.



(a) 긴 방향 (b) 짧은 방향

위의 특성을 확인하기 위해 다음과 같은 실험을 수행하였다. 전극 면적을 동일하게 하고 가로 세로길이의 비만 변화 시켜가면서 고주파 특성을 관찰하였는데 그 조건과 결과는 아래와 같다.



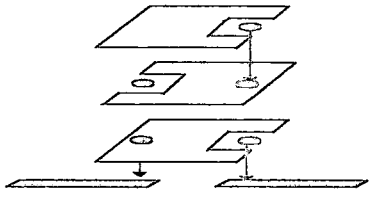
$A=11.5mm^2$

구조A

W/L	1.3	2	2.61	4.89
C(pF)at100MHz	81.44	86.06	88.35	88.95
SRF(MHz)	504	586	624	678
Lp(nH)	1.226	0.857	0.736	0.619

위의 결과를 살펴보면 같은 전극 면적을 갖더라도 전극모양이 신호의 입·출력 via 옆쪽으로 넓어 질수록 용량도 증가하고 기생 인덕턴스값도 감소함을 알 수 있다. 특히 기생 인덕턴스는 신호의 이동 길이, 즉 전극의 길이에 기인하는데 입·출력간의 거리에 더 크게 영향을 받고 있다. 이로 볼 때 module의 정해진 면적내부에 캐패시터를 내장시킬 경우 W/L을 크게할수록 유리하다.

그런데 이 구조도 via 옆쪽의 면적을 활용하지 못하는 단점을 안고 있기 때문에 이를 개선할 수 있는 구조를 고안하였다. 이 구조가 아래에 나타나 있다. Via 옆쪽에 면적을 붙여서 'ㄷ'모양으로 전극을 만들면 module내에서 차지하는 면적은 동일하면서도 유효면적이 증가 하기 때문에 더 큰 용량을 얻을 수 있다.



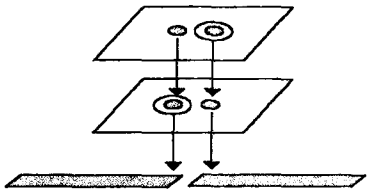
구조 B

위의 구조에 대한 simulation 결과가 아래에 나타나있다.

C(pF) at 100 MHz	SRF(GHz)	Lp(nH)
5.27	2.892	0.57

용량은 같은 면적을 차지하는 다른 구조에 비해 10%이상 증가하였고, 기생 인덕턴스는 전극 길이에 변화가 없기 때문에 거의 증가하지 않음을 알 수 있다.

이상에서 알 수 있듯이 캐패시터의 고주파 특성에 있어서, 기생 인덕턴스의 값은 매우 중요하며 이는 신호가 이동하는 길이에 크게 영향을 받는다. 이런 관점에서 신호의 이동거리를 최소화 시키기 위해 다음과 같은 구조를 고안하였다.



구조 C

이 구조는 전극을 정사각형으로 하고 via를 전극의 중앙에 위치시킴으로써 모든 방향으로의 신호이동거리가 최소화되는 장점이 있다. via가 내부로 들어가기 때문에 면적의 손실이 생기며 2pF 이하의 저용량 설계에는 한계가 있으나 중·고용량 설계시에는 효과적으로 적용할 수 있다. 이에 대한 simulation 결과가 아래에 나타나있다.

C(pF) at 100 MHz	SRF(GHz)	Lp(nH)
2.41	4.891	0.44

(2) 시작품 제작 및 측정

앞에서 고찰한 세가지 구조를 바탕으로 LTCC(low temperature cofired ceramic)재료를 이용하여 0.7pF~127pF까지 제작하고 측정하였다. 저용량에는 구조 A를 적용하였고 중간용량에는 구조 B와 구조 C를 병행하였고, 고용량에서는 구조 B를 이용하여 구현하였다. 이에 대한 측정 결과가 아래에 나타나있다.

C(pF) 100MHz	SRF(GHz)	Lp(nH)	C(pF) 100MHz	SRF(GHz)	Lp(nH)
0.77	< 6		9.379	1.763	0.869
0.91	5.91	0.802	11.206	1.610	0.872
1.021	5.605	0.79	13.905	1.445	0.872
1.304	4.97	0.786	17.239	1.315	0.85
1.684	4.38	0.784	23.825	1.132	0.83
2.103	3.99	0.757	30.801	0.974	0.867
2.579	3.59	0.762	35.163	0.939	0.817
3.126	3.165	0.809	43.546	0.832	0.84
3.805	3	0.74	54.224	0.750	0.83
4.148	2.88	0.736	59.066	0.719	0.83
4.455	2.74	0.757	64.562	0.687	0.831
5.24	2.53	0.755	75.76	0.626	0.853
6.828	2.23	0.746	100.81	0.560	0.801
8.49	2.03	0.724	127.34	0.508	0.771

또, 비슷한 용량에서 구조별 특성차이를 살펴보면 아래와 같다.

	구조A	구조B	구조C
C(pF) at 100MHz	6.342	6.828	7.066
SRF(GHz)	2.27	2.23	2.26
Lp(nH)	0.775	0.746	0.702

그런데, 내장형 캐패시터의 경우에는 측정을 위해서 세라믹 body 표면까지 via를 통해서 단자를 연결시켜야 하기 때문에 측정결과에는 이 via에 의한 영향이 포함되어있다. 이 via의 특성을 분석하고 위의 측정 data를 보정하는 작업을 수행하였다. 본 연구에서 제작한 시작품은 모두 100 ㎛ 깊이에 전극이 내장되어있는데 via 길이, 즉 깊이에 따른 인덕턴스값(Lm) 변화를 관찰하기 위해 전극의 깊이를 2배로 하여 제작하였다. 깊이가 100㎛인 것과 200㎛인 것의 Lp값을 비교해 본 결과 0.096nH의 차이가 있었고, 이 값이 100㎛의 길이를 갖는 via에 의한 인덕턴스 값으로 생각된다. 이 값을 각 주파수에서 $X_L=2\pi fL$에 의하여 임피던스 값으로 변환하고 다음 식에 의하여 보정하였다.

$$X_C + X_V = X_t$$

$$X_C = X_t - X_V$$

Xc : 내장된 캐패시터만의 임피던스
Xv : 측정에 이용된 via에 의한 임피던스
Xt : 측정된 total 임피던스

	보정 전	보정 후
C(pF) at 100 MHz	3.65	3.6498
C(pF) at 2.5 GHz	6.15	5.39

보정 결과를 보면 저주파 대역에서는 그 영향이 크지 않으나, 고주파 대역으로 갈수록 그 영향이 점점 커지고 있음을 알 수 있다.

4. 결론

MCM-C용 내장형 캐패시터에 적합한 전극 pattern을 고안하고 각 구조에 대해서 등가회로 분석을 통해 기생성분을 정량화하고 고주파 특성을 관찰하였다. 신호의 입·출력거리는 짧을수록 유리하며 정해진 면적내에서 최대의 용량을 낼 수 있는 pattern이어야 한다. 그리고 캐패시터를 제작하고 측정하는데 사용된 모든 성분들을 정량화함으로써 module 설계시 캐패시터만의 특성을 정확히 적용할 수 있을 뿐 아니라 다른 부품과 연결되는 선, via 들을 자유롭게 배치하고 그에 따른 임피던스들을 정확히 계산할 수 있도록 하였다.

5. 참고 문헌

1. M. Honda, The Impedance Measurement Handbook: A Guide to Measurement Technology and Techniques. Palo Alto, CA:Hewlett-Packard, 1989.
2. J. Asaumi, K. Nakal, T. Ezaki, O. Sugano, S. Takahashi, C. Yamahashi "COPPER CIRCUIT ON CO-FIRED MULTI-LAYER CERAMIC SUBSTRATE WITH EMBEDDED CAPACITORS AND RESISTORS " p402 ISHM '91 Proceedings
3. H. Kanda, R. C. Mason, C. Okabe, J. D. Smith and R. Velasquez " Buried Resistors and Capacitors for Multilayer Hybrids " p47 ISHM'95 ISHM
4. Hiroshi Kanda, Robert C Mason, Chie Okabe, Jerome D. Smith and Ricardo, Velasquez "Buried Resistors and Capacitors for Multilayer Hybrids" p248 IMC 1996 Proceedings