

전도성 유전기판을 이용한 다층기판에서의 Simultaneous Switching Noise 감소 기법

김성진, 전철규, 이 해 영
아주대학교 전자공학부
(E-mail; hylee@madang.ajou.ac.kr)

Simultaneous Switching Noise Reduction Technique in Multi-Layer Boards using Conductive Dielectric Substrate

Sung-Jin Kim, Chul-Gyu Chun, Hai-Young Lee
School of Electronics Engineering, Ajou University

Abstract

In this paper, we proposed a simultaneous switching noise(SSN) reduction technique in multi-layer boards(MLB) for high-speed digital applications and analyzed them using the Finite Difference Time Domain(FDTD) method. The new method by conductive dielectric substrates reduces SSN couplings and resonances, significantly, which cause series malfunctions in the modern high-speed digital applications.

I. 서론

정보 통신 시스템이 대용량, 고속화 되면서 사용되는 신호의 주파수 대역폭이 크게 증대되고 사용 주파수 또한 급속히 높아지고 있다. 이에 따라, 통신 기기 및 컴퓨터에 사용되는 인쇄회로 기판(Printed Circuit Board: PCB)도 고속화, 고밀도/다층화가 빠르게 이루어지고 있다. 고속 고밀도 디지털 회로에서 클럭과 내부 신호의 주파수가 증가함에 따라서 다층 기판의 접지 평면과 전원단에서의 과도 전류가 급속히 증대되어 주요 잡음원이 되고 있다. 디지털 회로의 동시 다발적인 고속 switching으로 인하여 접지 평면과 전원단에

서 발생하는 잡음을 Simultaneous Switching Noise(SSN)라 하며 현재 고속 고밀도 디지털 회로의 오동작을 일으키는 주요원인 되고 있다[1]. SSN은 동일 인쇄회로 기판상의 주변 회로 소자에 결합되어 주변소자를 오동작하게 만든다. 또한, 인쇄회로 기판의 크기가 유한하므로 접지평면과 전원 평면을 반파장으로 하는 고조파 성분이 공진을 일으켜 SSN의 직접적인 혼신보다 심각한 잡음 결합 특성을 발생시킬 수 있다[2]. 이러한 혼신(Crosstalk) 특성을 감소시키기 위하여 Decoupling 커패시턴스를 사용하는 방법이 널리 사용되고 있으며 또한 주요 소자 및 회로 블록의 접지 평면과 전원단을 분리하는 PCB 설계 기법을 널리 사용하고 있다. 이러한 기법들은 SSN의 직접적인 결합으로 인한 혼신을 감소시킬 수 있으나 SSN의 공진은 제거하지 못하며 공진 주파수를 사용 주파수 영역보다 높게 만드는 방법으로 수백 MHz에서 1 GHz 이상의 초고속 디지털 회로에는 효과적이지 않다[3].

본 연구에서는 고속 디지털회로의 고밀도 다층 기판에서 발생하는 SSN의 결합 및 공진 특성을 감소시키기 위하여 접지평면과 전원 전원평면사이 기판에 전도성 유전체를 삽입 또는 형성하는 방법을 제안하고 그 특성을 시간 영역 유한 차분(Finite Difference Time Domain: FDTD)법을 이용하여 해석하였다[4]. 전도성 유전체의 형성은 기판 전체에 대한 경

그림 3의 모든 구조는 전도성 유전체가 접지평면과 전원평면을 완전히 연결하지 않으며 0.2mm의 간격으로 분리되어 있다. 이는 완전 연결시 도전성 기판으로 인한 접지 평면과 전원 평면의 단락으로 인한 전력 손실을 방지하기 위함이다.

III. 해석 결과 및 고찰

우선 일반적인 PCB의 접지 평면과 전원 평면의 공진 특성을 해석하고 그 특성을 도전성 유전체를 배치하여 해석한 결과와 비교하였다. 도전성 유전체를 균일하게 배치한 구조에서는 도전율이 0.1S/m와 1S/m의 두 가지 경우에 대하여 해석하였다. 가장자리에만 도전성 유전체를 배치한 경우는 도전율 1S/m에 대하여 해석하였으며 각각 접지 평면 쪽에만 배치한 구조와 전원 평면까지 양쪽에 배치한 두 가지 구조를 해석하였다.

1. 기존의 PCB 구조

그림 4에서 기존의 PCB 구조에 대한 SSN 공진 특성을 해석한 결과를 나타내었다. (0mm, 30mm) 지점에서 인가한 SSN은 10 GHz의 대역폭을 가지는 가우시안(Gaussian) 펄스를 사용하였으며 I과 II 지점에서 정규화된 전압 파형을 추출하였다. 약 2.4 GHz 및 3.8GHz 지점에서 SSN의 공진 특성이 나타남을 확인할 수 있으며 지점 I, II에서 SSN의 공진으로 인한 심각한 혼신 특성이 발생할 수 있음을 의미한다.

2. 도전성 유전체를 균일하게 배치한 구조

도전성 유전체를 균일하게 배치한 경우 SSN 공진 특성이 크게 감소되는 결과를 그림 5에서 확인할 수 있다. 도전율이 0.1 S/m의 경우에는 약 15%로 감소됨을 볼 수 있으며 도전율이 1 S/m일 때는 1GHz 이상의 주파수 성분에는 거의 모두 제거됨을 확인할 수 있다. 그러나, 실제 다층기판의 설계에는 Via가 필수적으로 사용되기 때문에 Via 통한 전력 누설의 단점이 있다.

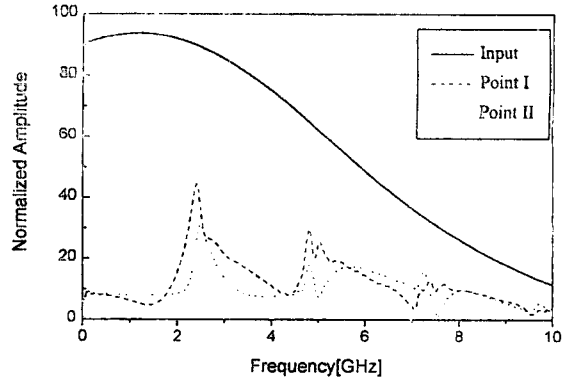


그림 4. 기존의 PCB 구조에 대한 SSN 공진 특성

Fig. 4. SSN resonance in conventional PCB's

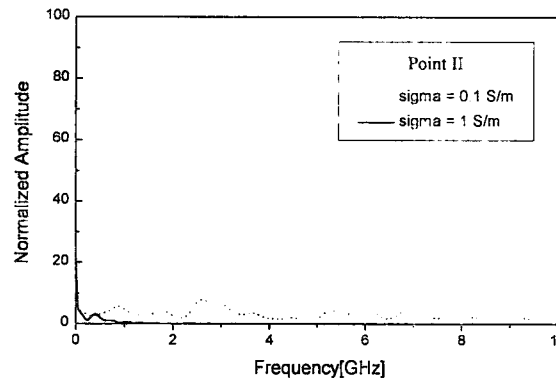


그림 5. 균일하게 전도성 유전체를 배치한 구조

Fig. 5. Uniform distribution of conductive dielectrics

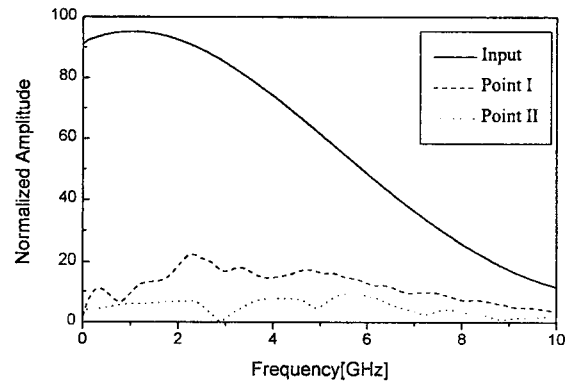


그림 6. 접지 평면 가장 자리에 전도성 유전체를 배치한 구조

Fig. 6. Conductive dielectrics on the ground plane edges only

우와 다층기판의 Via 배치를 고려하여 기판의 외곽 가장자리에만 배치한 두 가지 경우에 대하여 해석하였다. 해석 결과 전도성 유전체를 접지 평면과 전원 평면의 전체에 대하여 배치하였을 때 SSN의 공진 특성이 약 85% 감소하는 것을 관찰 할 수 있었으며 기판 가장자리에만 배치한 경우에는 약 55% 가량의 감소를 확인하였다. 전도성 유전체 이용한 SSN의 공진 특성 감소 기법은 향후에도 고속 고밀도 디지털 회로의 동작 속도가 계속 증가됨을 고려할 때 고성능 시스템에 효과적으로 활용되리라 기대된다.

II. 구조 및 해석

그림 1은 일반적으로 사용되는 다층기판 구조 중의 하나로 각 층의 할당을 나타낸다. 중간에 전원 평면과 접지 평면을 각각 배치함으로써 일종의 평행판 전송선로의 구조가 생성된다. 이와 같은 구조에서 SSN은 접지 평면과 전원평면을 따라 전파되며 유한 영역을 가지므로 공진이 발생된다.

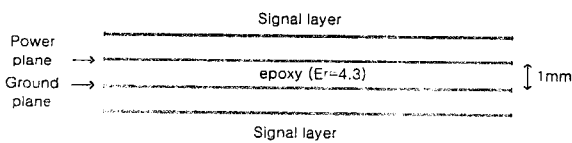


그림 1. 다층 기판(4층)의 층 배치
Fig. 1. Multi-layer board stack up

그림 2는 상용 FDTD 프로그램인 EMPIRE[5]를 이용하여 해석한 다층기판의 접지 평면과 전원 평면만의 구조로서 가로 8Cm, 세로 6Cm를 가지며 SSN 발생 지점과 공진으로 인한 SSN 결합 특성을 추출한 지점을 표시하였다. 사용된 기판의 비유전율은 FR-4 기판을 가정하여 4.3을 지정하였으므로 SSN의 발생지점은 (0mm, 30mm)이며 결합된 SSN의 추출지점 I, II의 좌표는 각각 (10mm, 30mm), (70mm, 30mm)이다.

그림 3은 전도성 유전체를 접지 평면과 전원 평면에 배치한 구조이다. 전도성 유전체의 두께는 0.8mm 이고 0.1 과 1.0 S/m의 전도도를 가진다. 그림 3(a)는 전도성 유전체를

균일하게 배치한 경우이다. 이 경우는 실제 구현에 있어서 Via를 통하여 부품을 연결할 때 전도성 유전체와 완전한 절연상태를 유지하기 어렵다는 문제점이 있다. 그림 3(b), (c)는 폭 2mm, 두께 0.8mm의 전도성 유전체를 기판의 가장자리에 배치한 구조로 그림 3(a)의 단점을 해결하였다.

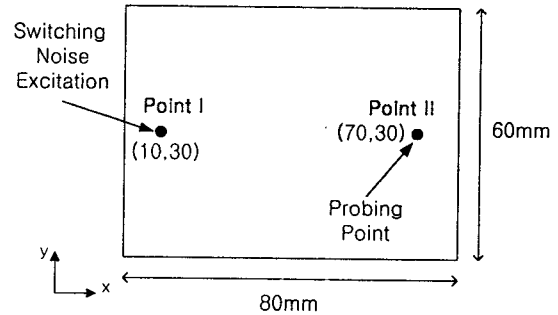


그림 2. 모의 실험에서 사용된 PCB 구조
Fig. 2. Analyzed PCB structure

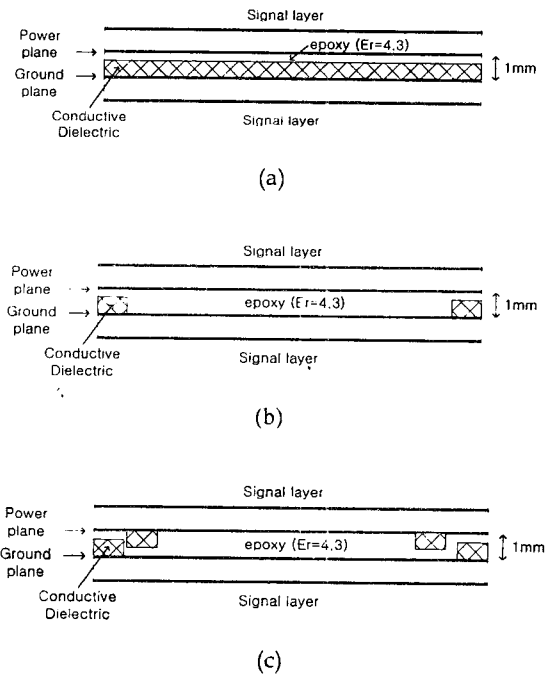


그림 3. 전도성 유전체를 배치한 PCB 구조; (a)균일 배치, (b)접지 평면의 가장자리에 배치, (c)접지 평면과 전원 평면의 가장자리에 배치
Fig 3. PCB stackups using conductive dielectrics; (a)uniform distribution, (b)only on ground plane edges, (c)both on ground and power plane edges.

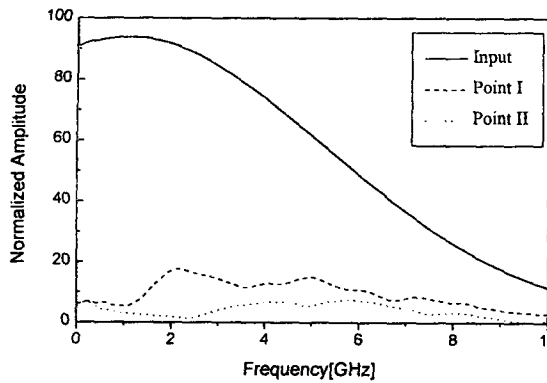


그림 7. 접지 평면과 전원 평면 가장 자리에 전도성 유전체를 배치한 구조

Fig. 7. Conductive dielectrics on the ground plane and power plane edges

3. 도전성 유전체를 가장자리에 배치한 구조

그림 6에서는 접지 평면의 가장자리에만 1 S/m의 전도성 유전체를 사용한 경우의 정규화된 인가전압과 측정전압을 표시한 그림이다. 그림 4의 일반적 구조와 비교하여 I지점에서의 SSN 공진 결합 특성이 약 60%로 감소되고 II지점에서는 보다 크게 감소되는 것을 관찰할 수 있다.

그림 7은 접지평면과 전원평면 양쪽 가장 자리에 전도성 유전체를 동시에 서로 어긋나게 사용한 구조의 결과이다. 그림 6의 결과와 비교할 때 공진 주파수에서 15% 더 감소되는 것을 볼 수 있다. 전도성 유전체를 균일하게 배치한 경우에 비하여 결합 특성은 크게 나타나지만 실제 구현의 측면에서는 가장 자리에만 전도성 유전체를 사용하는 것이 효과적이라 할 수 있다.

IV. 결론

고속/고밀도 다층기판에서 발생하는 SSN 결합 특성을 감소시키기 위하여 접지평면과 전원평면을 전도성 유전체로 배치하는 방법을 제안하고 전도도와 배치 구조에 따른 SSN 결합 특성을 해석하였다. 해석 결과 기존의 PCB 구조에서는 유한 접지 평면과 전원 평면으로 인한 SSN 공진 특성을 확인 할 수 있었다. 이러한 공진 특성은 전도성 유전체를 균일하게

접지 평면과 전원 평면사이에 배치할 경우 약 15% 이하로 감소되는 것을 확인 할 수 있었다. 기판 가장자리에만 전도성 유전체를 배치한 경우에도 접지 평면에만 배치했을 때는 약 60%, 전원 평면에까지 배치할 경우 약 45% 미만까지 SSN 결합 특성을 낮출 수 있음을 확인하였다. 접지평면과 전원평면을 가지는 다층기판에서 전도성 유전층의 배치를 토하여 고속 고밀도 디지털 회로의 성능을 크게 향상시킬 수 있으리라 기대된다.

참고문헌

- [1] M. I. Montrose, Printed Circuit Board Design Techniques for EMC Compliance, IEEE PRESS, pp. 20-21, 1996.
- [2] S. Van den Berghe, F. Olyslager, D. De Zutter, J. De Moerloose, and W. Temmerman, "Study of the ground bounce caused by power plane resonances," IEEE Trans. Electromagnetic Compatibility, vol. 40, pp. 111-119, May, 1998.
- [3] Istvan Novak, "Reducing simultaneous switching noise and EMI on ground/power planes by dissipative edge termination," Proceedings the 7th Topical Meeting on EPEP, pp. 181-184, Oct. 1998
- [4] Sung-Jin Kim, Hai-Young Lee, and Tatsuo Itoh, "Rejection of SSN coupling in multi-layer PCB using a conductive layer," Proceedings the 7th Topical Meeting on EPEP, pp. 199-202, Oct. 1998.
- [5] EMPIRE, User and Reference manual, IMST GmbH, 1999