

## SIMOX 웨이퍼의 표면 결함 특성 ( Characterizat on of Surface Defect on SIMOX Wafers

J.S.Lee, S.D.Yoo, J.M.Park and J.G.Park

최근 몇 년간 SIMOX 웨이퍼의 질은 많이 향상이 되었다. 그러나 아직도 많은 표면 결함을 가지고 있다. 이런 결함을 분석하는 일반적인 방법들은 결함들을 잘 발견하지 못하고 파괴 검사이기도 한다. 본 논문에서는 SIMOX Wafer의 결함 구조를 새로운 분석 방법을 통해서 관찰했다. 분석 방법으로는 Cu-Decoration, Particle Counter 그리고 Coordinated AFM을 사용했다. 발견된 결함은 TEM을 사용해서 웨이퍼 단층을 분석했다. 특히 Cu-Decoration 방법은 결함 부분을 다른 곳이랑 분리 시켜 쉽게 결함 부분을 찾을 수 있게 해준다. 그림 1은 as-grown SIMOX 웨이퍼에서 인가된 전압에 따른 Cu decorated Defect의 수를 보여주고 있다. 전압이 증가하면 Defect의 수는 증가한다.

그림 2와 그림 4에 Cu-decorated Defect을 X-TEM을 이용해서 찍은 사진을 볼 수 있다. 그림 2의 사진은 Top Silicon과 BOX Oxide가 없다. 본 논문에서 p-defect이라고 정의하겠다. 그림 4는 Islanding Defect이다.

일반적인 방법으로는 p-defect을 찾아내는 것은 불가능하다. 따라서 만약 분석을 하려면 소자 구조를 만들어야 하기 때문에 굉장히 복잡하다. 그러므로 Cu Decoration은 as-grown SIMOX 웨이퍼의 결함 분포나 형태를 찾아내는데 아주 좋은 성능을 발휘한다. D-defect이나 Islanding defect의 경우 Silicon substrate와 Cu가 short가 되어서 Cu가 결함 부분에 남아 있게 된다.

그림 3은 p-defect의 AFM 사진이다. 그림에서 보듯이 다양한 깊이의 구멍들이 모여 있다. 구멍의 깊이는 대략 160nm에서 120nm사이 이다. 그림 4는 그림3의 X-TEM이다. 이 그림에서는 Islanding Defect과 BOX Oxide 층이 얇아지는 것을 볼 수 있다. p-defect의 형성 과정은 아직 명확하게 밝혀지지 않는 것이다. 이 p-defect이 소자 성능에 영향을 줄 수 있다는 것은 직관적으로 알 수 있다. 따라서 이 결함을 없애는 것은 필수적이다.

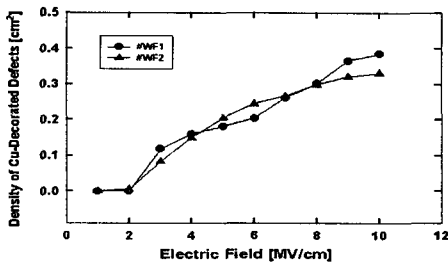


그림 1 인가 전압에 따른 Cu-decorated 결함의 수



그림 2 X-TEM image of p-defect

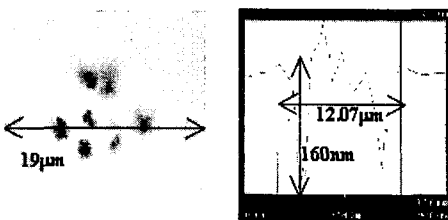


그림 3 AFM image of the group of p-defect



그림 5 X-TEM image for the typical surface defect