

## CoSi<sub>2</sub>를 코팅한 전계 방출 팁 어레이의 방출 특성 (Emission Characteristics of Cobalt Silicide Coated Silicon Field Emitter Array)

한병욱, 이화성, 안병태  
한국과학기술원 재료공학과

### 1. 서론

전계방출소자로 실리콘 팁은 반도체 공정에 의해 팁 반경을 감소시켜 기하학적 인자를 증가시킬 수 있고 가능한 작은 게이트 개구를 갖도록 만들어 turn on 전압을 감소시킬 수 있는 물질로서 전계 방출 소자로서의 응용이 유망한 재료이다. 그러나 실리콘 자체가 가지는 쉽게 산화되는 특성은 전계 방출 효율을 크게 떨어뜨려 current uniformity와 reliability 면에서 문제가 되고 있다. 이러한 단점을 극복하기 위하여 열전도성이 우수하고 녹는점이 우수하며 낮은 일함수를 가지는 물질로 실리콘 팁을 코팅하게 된다. 여러 코팅 물질 중 CoSi<sub>2</sub>는 Si와 격자상수의 차이 (상온에서 1.2% mismatch)가 작고 특히 낮은 저항 ( $15\mu\Omega\text{cm}$ )과 열적 안정성이 좋은 장점을 가지고 있으므로 많은 연구가 이루어지고 있다.

### 2. 실험방법

CoSi<sub>2</sub> 증착 방법은 MOLPCVD장비를 내에서 기판온도를 600~650°C로 유지한다음 Co precursor로서는 Co(C<sub>5</sub>H<sub>5</sub>)(CO)<sub>2</sub>를 사용하였다. 이때 기판에서 Co 소스의 유입과 동시에 Si 기판과의 반응으로 CoSi<sub>2</sub>가 in-situ로 형성되었다. 증착된 박막의 상분석을 위하여 XRD 분석을 하고 박막내의 불순물과 depth profile은 AES로 분석하였다. 방출 팁 어레이의 제조는 산화막이 성장되어 있는 실리콘 웨이퍼에 사진식각 공정을 통하여 감광막 패터를 만들고 이를 마스크로 사용하여 산화막을 식각하고 실리콘 에칭은 ICP (Inductively Coupled Plasma) 장비로 수행하였다.

### 3. 결과

기존의 실리콘사이드공정은 스퍼터링법으로 금속을 증착한 후 다단계의 열처리에 의하여 실리콘사이드를 형성시키는 방법이 보고되어져 왔는데, Co 단일층으로 cobalt silicide를 형성할 경우 Si 소비가 많고 다결정 성장을 하기 때문에 Si와 cobalt silicide 계면이 매우 불균일해 지고 dopant들의 재배열로 접촉저항이 증가하여 전기적 특성이 나빠진다. 이를 보완하기 위하여 Co의 확산방지막으로 Ti, Zr 이중층을 이용하기도 한다. 그러나 CVD법으로 Co 및 CoSi<sub>2</sub>를 증착하는 경우에는 우선적으로 도포성이 우수한 박막을 얻을 수 있다는 장점 외에도 Si와의 낮은 접촉저항과 낮은 비저항을 가지고 있어 공정이 단순화 될 수 있다는 장점을 가지고 있다. 본 연구에서 수행한 CVD방법으로 CoSi<sub>2</sub>를 실리콘 팁 위에 증착시켜 전계방출 특성을 평가함으로써 bare 실리콘 팁에 비해 turn on 전압이 감소하고 전류량의 증가를 관찰할 수 있었다. F-N plot에 의하면 기울기가 감소되는데 이는 CoSi<sub>2</sub> 코팅에 의한 일함수의 감소에 기인한다고 판단된다.