

대용량 ZVS FB DC/DC 컨버터에 있어서 Digital-To-Phase Shift PWM 발생회로

김 은 수*, 김 태 진*, 최 해 영*, 박 순 구*
김 윤 호**, 이 재 학**
한국전기연구소* · 중앙대학교**

Digital-To-Phase-Shift PWM Circuit for High Power ZVS FB DC/DC Converter

E. S. Kim, T. J Kim, C. H. Choi, S. G Park, Y. H. Kim*, J. H. Lee*
K.E.R.I.*, Chung-Ang Univ.**. Chang-Won Univ.*

Abstract

With the advent of the high-speed microprocessor and DSP, the possibility of executing a control strategy in digital domain has become a reality. By the use of the DSP and microprocessor controller, many high power converters such as especially inverter and motor drive system may be enhanced resulting in the improved robustness to EMI, the ability to communicate the operating conditions and the ease of adjusting the control parameters. But, the digital controller using DSP or microprocessor is not applied in the high frequency switching power supplies, especially full bridge DC/DC converter. So, this paper presents the method and realization of designing a digital-to-phase shift PWM circuit for full digital controlled full bridge DC/DC converter with zero voltage switching. The operating principles, simulation and experimental results will be presented.

1. 서론

본 논문은 FB DC/DC 컨버터의 디지털 구동제어 회로에 관한 것으로서, 전원장치의 제어회로 분야에 있어서 위상전이(位相轉移:Phase Shift) 풀-브릿지 작류/작류 변환기(Phase Shifted Full Bridge PWM DC/DC Converter)의 구동을 풀 디지털로 제어하기 위해, DSP(Digital Signal Processor)에서 연산 처리

된 디지털 값 그리고 프로그램 가능 논리소자(EPLD)를 사용하여 위상 전이된 디지털 값으로 변환하고, 이에 따라 대용량 위상전이 FB DC/DC 컨버터의 구동을 제어하는 Digital-To-Phase Shift PWM 발생회로 및 적용 실험된 연구에 관한 것이다.

본 연구에서는 제어회로의 유연성 및 단순화를 위해 아날로그 제어부를 제외하고 단지 DSP(TMS320C32)를 이용한 제어회로만으로 35kW Full Bridge DC/DC 컨버터를 제어하는 풀 디지털 제어회로를 구성하여 적용했다.

2. Phase-Shifted FB DC/DC 컨버터의 Digital-to-Phase-Shift PWM 발생회로

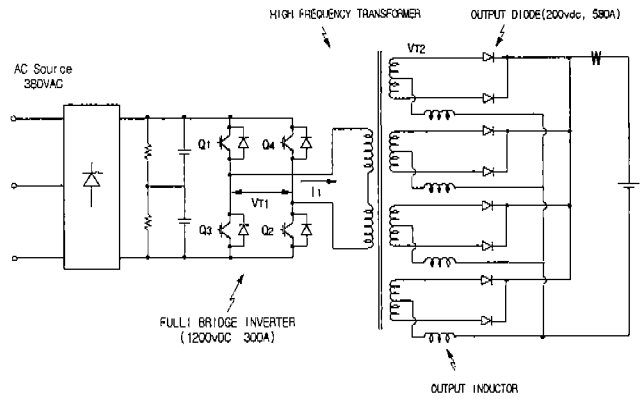
TMS320C32 DSP 적용 EPLD 내의 디지털 위상전이 펄스 발생회로(그림 2)의 동작은 다음과 같다. 먼저 DSP가 스위칭 주파수의 반주기마다 타이머인터럽트(TINT0)를 발생해서 일정한 주기를 갖는 펄스(DIR_DATA)를 출력한다. 상기 펄스(DIR_DATA)는 정·부의 펄스로 나뉘어져 Counter1,2에 인가되고, 일정한 데드타임을 갖는 펄스로 스위치 제어신호 GATE_A(Q1)와 GATE_B(Q3)로 출력되어 풀-브릿지 DC/DC 컨버터의 왼쪽 진상 레그 2개의 스위치를 제어하게 된다. 이와 동시에 DSP에서 연산 처리된 데이터 값이 10비트 카운터에 래치되고, 카운터는 래치된 값만큼 계수(Count Down)하여 위상지연된 신호를 D 플립플롭(60) CLK 입력신호로 출력하게 되고, D 플립플롭 입력단자의 입력신호인 제어신호(DIR_DATA) 값에 따라 D 플립플롭은 출력신호(CGA)를 출력하게 되고 출력신호(CGA)는 정·부 펄스로 나뉘어져

COUNTER3, 4에 인가되고, 일정한 데드타임을 갖는 펄스로 Gate_C(Q2)와 Gate_D(Q4)를 출력하게되어 풀브리지 DC/DC 컨버터의 오른쪽 지상암(Leg) 2개의 스위칭 소자를 제어하게 되는데, 이때의 상세 동작은 출력 전압/전류를 A/D 변환기(AD MAX120)로 변환한 후에 DSP에서 연산 처리된 10비트 값을 각각 8비트 카운터(41)와 2비트 카운터(42)로 구성된 10비트 카운터(40)에 래치시킨다. 8비트 카운터(41) 및 2비트 카운터(42)의 GN 신호가 'H'로 유지(Holding)되어 있다가, 8비트 카운터(41)의 GN 신호가 'L'일 때, 다운 카운트(Down Count)를 시작한다. 8비트 카운터(41)의 QH~QA가 전부 'L'일 때, COUT 출력신호는 'H'로 되고, 다음 클럭의 상승에지에서 COUT 출력신호는 'L'가 된다. 이때의 8비트 카운터의 출력신호(COUT)는 CLK의 한주기 펄스폭을 갖는다. 8비트 카운터(41)의 COUT 출력이 'H'가 되면, 8비트 카운터(41)의 COUT에 연결된 2비트 카운터(42)의 CIN 입력신호는 'H'가 되고, 2비트카운터는 다음 클럭(CLK)의 상승에지에서 다운 카운트를 시작한다.

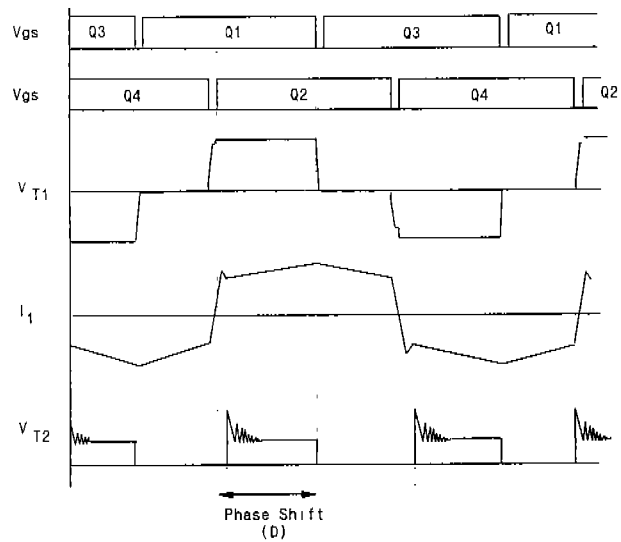
다음에 2비트 카운터(42)의 QB, QA 출력신호가 'L'일 때, 2비트 카운터(42)의 COUT 출력신호는 'H'가 되고, 다음 클럭의 상승에지에서 'L'이 된다. 그리고 2비트 카운터(42)의 COUT 출력신호는 D 플립플롭(60:그림 3)의 클럭신호로 입력된다. 다음에 2비트 카운터(42)의 COUT 출력신호는 'H'가 될 때에 D 플립플롭의(60) 출력 Q(CGA)는 D 플립플롭의 입력단자 D에 입력되는 펄스(DIR_DATA) 값에 따라 D 플립플롭(60)의 출력 Q가 나타난다.

따라서 D 플립플롭(60)의 출력은 입력 펄스(DIR_DATA)보다 10비트 카운터(40)에 래치된 데이터 값(BD[0..9]) 만큼 위상전이(Phase Shift)된 펄스로 나타나게 되고, 각각 정. 부의 펄스로 나뉘어져 Counter3,4에 인가되고, 일정한 데드타임을 갖는 펄스로 GATE_C와 GATE_D로 출력되어 풀-브릿지 DC/DC 컨버터의 오른쪽 지상레그 2개의 스위치를 제어하게 된다.

그림 3(a), (b)는 디지털 위상전이 펄스 발생회로의 입력과 출력 파형을 시뮬레이션한 것을 도시하고 있으며, a 부분이 위상전이되는 부분이며, e 부분이 Counter3의 QB인 X1, QC인 X2에 의해 데드타임이 설정되는 것을 도시하고 있다. 여기에서 d 부분이 e 부분에 따른 데드타임이 설정되어 출력되는 스위치 제어신호(Gate_C)를 도시하고 있다.



(a) 풀 브리지 DC/DC 컨버터 주 회로도



(b) 풀 브리지 DC/DC 컨버터 동작파형

그림 1. 풀 브리지 DC/DC 컨버터 주회로 및 동작파형

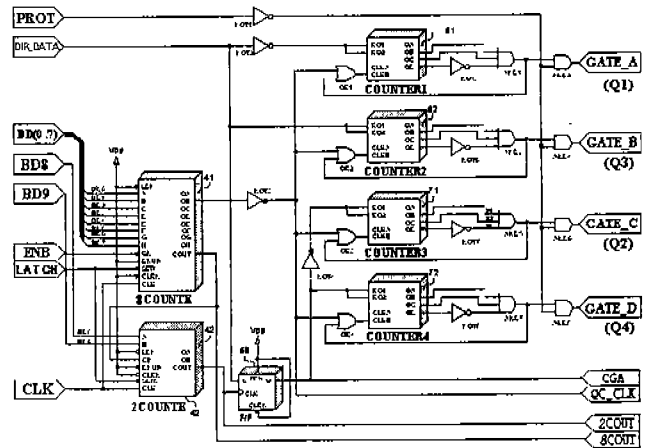
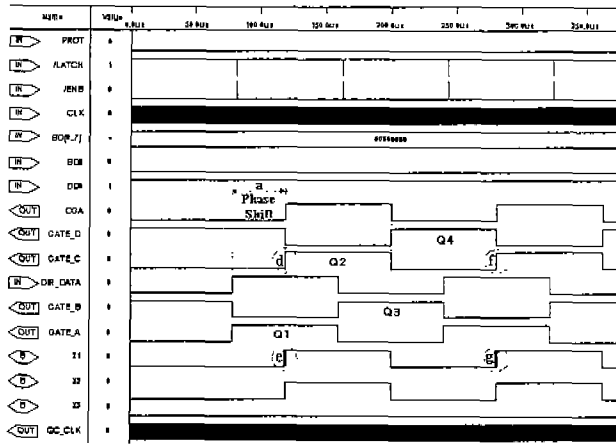
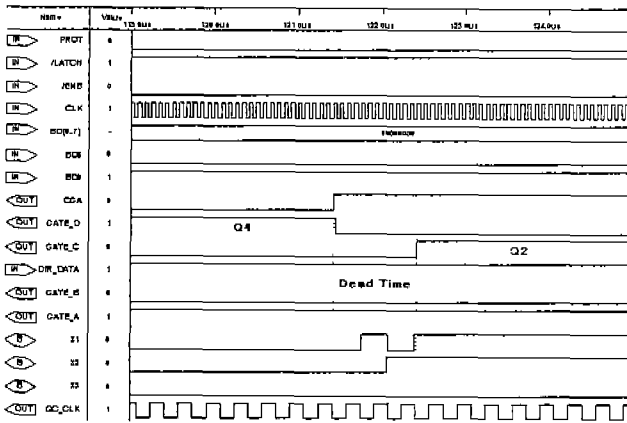


그림 2. DSP 적용 Digital-To-Phase Shift 발생회로



(a) Digital-To-Phase Shift 발생회로1 입·출력 파형



(b) Digital-To-Phase Shift 발생회로1 상세 입·출력 파형

그림 3. DSP 적용 Digital-To-Phase Shift 발생회로1 입·출력 파형

3. 실험 결과

제작 실험된 풀 디지털제어 FB DC/DC 컨버터 (17VDC, 2,000A)는 3상 AC 380V를 입력받아 3상 정류기를 통해 정류된 DC 전압을 입력으로 하여 출력 17[VDC], 2,000[A], 스위칭 주파수 20[kHz]로 구동되는 저리플 고밀도 도금용 전원장치를 제작하여 실험하였고, 실제 실험에 있어서는 대전류 부하로 주물저항(0.001Ω/500A)을 직·병렬 연결하여 실험하였다. DSP(TMS320C32)를 사용한 Digital-to-phase-shift 발생회로1을 적용한 대용량 FB DC/DC 컨버터의 사양 및 특성은 다음과 같다.

- 입력 전압 : AC 380 [V],
- 주스위칭 소자(Q₁-Q₄)정격 : 1,200[V] / 300[A]

- 스위칭 주파수 : 20[kHz],
- 변압기 : PE38 UU120×310×20
- 턴수비 : 16/1(N_p/N_s),
- 누설인덕턴스 : 3.5[uH]
- 출력 전압/전류 : DC 0~20[V], 2,000~2,500[A]
- 출력 용량 및 냉각방식 : 35[kW], 강제풍냉
- 출력단 FRD : 200V, 580A (t_{rr}:150ns, V_F:1.08)
- 출력 capacitor : 실험에는 사용되지 않음
(1% 미만의 정밀리플 요구 시: 400,000 [μF]/25 [V])
- Dead time(δ t) : 1.02 [μs]

그림 4는 Digital-to-phase shift circuit 1을 적용한 IGBT 구동회로의 실험결과 파형이다. IGBT 구동회로의 Dead Time은 그림 2에 있어서 8bit 카운터의 출력핀(QH ~ QA) 과 카운터 1, 2, 3, 4의 연결 관계에 의해 결정된다. 하지만, 그림 2에서와 같이 Digital-to-phase shift circuit의 Dead Time이 1.02us로 설계되어 출력된다 할지라도 IGBT의 스위칭시 구동회로 EXB841의 상승과 하강시간 및 IGBT의 입력 커패시턴스의 존재에 따라 IGBT 구동신호가 지연되어 나타남을 알 수 있다.

그림 5는 대용량 ZVS FB DC/DC 컨버터의 고주파 변압기 1, 2차측 전압, 전류 파형을 보여준다. 실험의 변압기 1차측 파형 결과에서 중 부하 시 고주파 변압기의 누설인덕턴스와 1차측 스위칭소자의 기생캐패시턴스와의 공진 특성에 따라 Dead Time 동안 영전압 스위칭 됨을 볼 수 있다. 그림 5(b) 및 그림 6(a)의 실험 파형에서 출력정류다이오드의 역회복 특성 및 고주파 변압기 누설인덕턴스와 출력정류다이오드의 기생캐패시턴스에 따른 기생진동이 발생함을 볼 수 있다. 그림 6(b)의 파형은 전류명령에 따른 전류제어특성으로 DSP 제어회로에서 직접 제어함에 따라 제어의 정밀한 선형제어 및 유연성을 볼 수 있다.

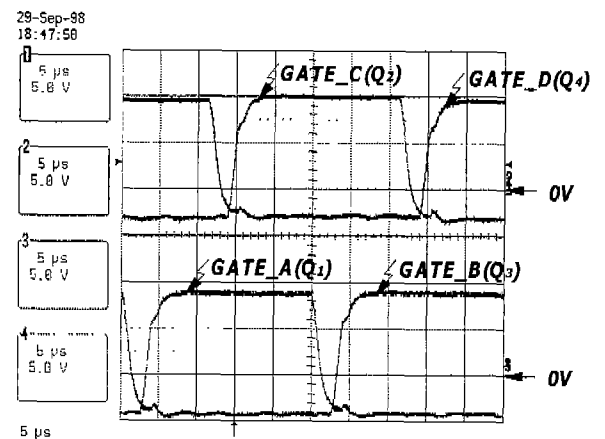
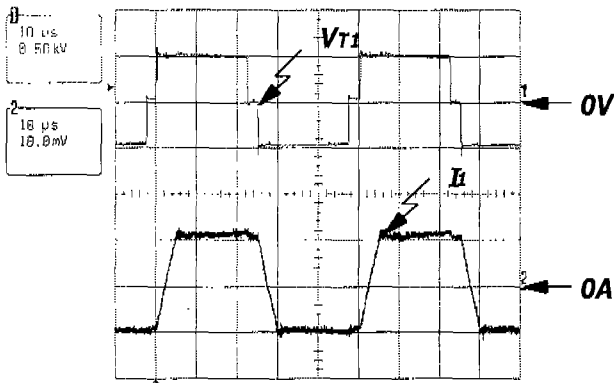
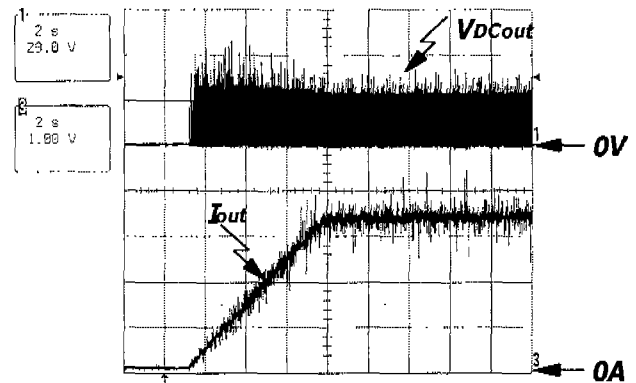


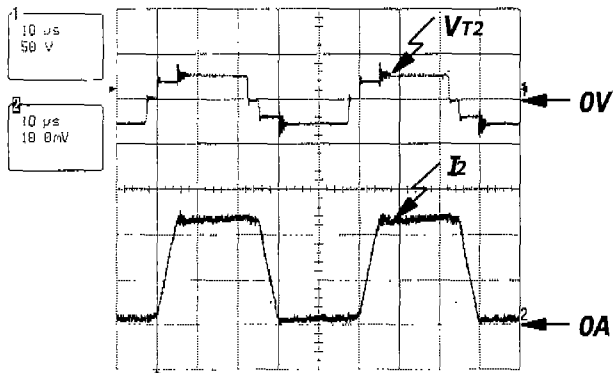
그림 4. Digital-to-phase shift circuit 1을 사용한 EXB841 IGBT 구동회로 실험 파형



(a) 고주파 변압기 1차측 전압 전류 파형 (500V/div, 100A/div, 10us/div)



(b) Soft Start 제어시의 출력응답특성과파형



(b) 2차측 정류부 Unit1의 고주파 변압기 전압 전류 파형 (500V/div, 200A/div, 10us/div)

그림 5. 100% 부하(17VDC, 2000A)에서의 고주파변압기 1, 2차측 전압 전류 실험파형

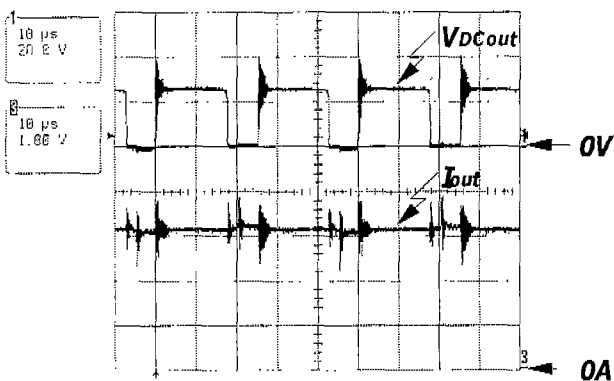
그림 6. 100%부하(17VDC, 2300A)에서의 출력 제어 특성 (20V/div, 650A/1V/div, 2s/div)

4. 결론

전원장치의 제어회로 분야에 있어서 위상전이 (Phase Shift) 풀-브릿지 DC/DC 컨버터의 구동을 풀 디지털로 제어하기 위해, DSP 또는 마이크로프로세서에서 연산 처리된 디지털 값 그리고 프로그램 가능 논리소자(EPLD)를 사용하여 위상 전이된 디지털 값으로 변환하고, 이에 따라 FB DC/DC 컨버터의 구동을 제어하는 Digital-To-Phase Shift PWM 발생회로에 대해 제안하여 시뮬레이션 및 실험을 통해 이를 확인했다.

참고 문헌

- [1] I. K. Ellis, A. J. Forsyth, Z. Lu, "A High-Performance Digital Phase-Shift-Controller for The Zero-Voltage-Switching FB Converter", IEEE EPE, 1997.
- [2] E.S. Kim, K.Y. Joe, M.H. Kye, Y.H. Kim, B.D. Yoon, "An Improved ZVZCS PWM FB DC/DC Converter Using Energy Recovery Snubber", IEEE, APEC, 1997
- [3] C.H. Chan, M.H. Pong, "DSP Controlled Power Converter", IEEE Catalogue No.95TH8025, 1995
- [4] Texas Instrument, " TMS320C32-Addendum to the TMS320C3X Users Guide ", 1995



(a) DC 출력전압 및 전류파형