

# AC 전원장치의 출력 THD저감을 위한 반복제어기 설계

김 병 진, 최 재 호

충북대학교 전기공학과, 충북대학교 전기전자공학부

## Repetitive Controller Design to Reduce THD of an AC Power Supply

Byoungjin Kim, Jaeho Choi

Chungbuk National University

### Abstract

This paper presents the design method of a repetitive controller to reduce the harmonics in the output voltage waveform of the AC power supply systems.

Output voltage error under the nonlinear load like a rectifier is cyclic with the same period to fundamental wave, therefore one can design the repetitive controller calculating cycle by cycle. The controller is verified mathematically and by simulations.

### 1. 서 론

보조 전원장치나 UPS등의 인버터 제어기 설계에 있어서 출력전압의 THD를 최소화시키기 위한 많은 노력이 시도되어 왔다. 순시제어기법과 이중제어기법은 출력전압의 왜형률을 개선시키기 위해 제안되었으며 실제로 모든 부하에서 많은 향상을 가져왔다.<sup>[1]</sup> 이러한 기법들은 전압 왜형률 개선을 위해 제어의 속응성을 향상시켰다. 특히 테드비트 제어기법은 제어의 속응성을 가장 빠르게 하는 디지털 제어기법으로 역시 출력전압의 왜형률을 개선하기 위한 목적으로 제안되었다.<sup>[2]</sup> 그러나 제어의 속응성이 향상 될수록 파라미터 변동이나 노이즈 등에 민감해져 시스템의 강인성이 떨어진다. 결국 하나의 제어기는 속응성과 강인성의 서로 상반되는 성능을 고루 반영할 수밖에 없고, 이것은 비선형 부하에서 출력전압 왜형률 향상에 건널 수 없는 장애물이 되어 버렸다. 결국 빠른 제어기만이 출력전압의 왜형률을 개선한다는 생각에서 벗어나 다각적인 방면에서 THD개선을 위한 연구가 이루어지고 있다.<sup>[3][4]</sup>

본 논문에서는 비선형 부하에서 출력전압의 THD를 개선할 목적으로 반복제어기를 제안하고자 한다. 대표적인 비선형 부하인 정류기 부하에서 나타나는 출력전압의 오차가 매 주기마다 반복되므로 이러한 현상을 이용하여 사이클 단위의 제어가 행하여지도록 제어기를 설계한다. 본 논문에서 제안된 제어기는 전체 제어기의 일부분이다. 2절에서 전체 제어기에 대한 개요를 다룬 후 설계된 제어기의 성능을 수학적으 로 증명하고 시뮬레이션과 실험으로 검증하고자 한다.

### 2. 전체 제어기의 개요

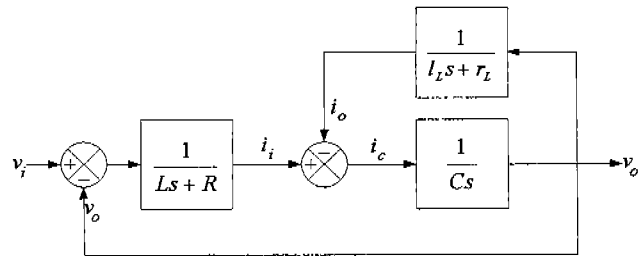


그림 1 플랜트 블록도.

그림 1은 플랜트(LC필터가 달린 전압형 단상 인버터)의 블록도이다. 부하는 유도성으로 놓았다. 고려한 부하는 전열기나 전동류 같은 순수한 저항 부하, 모터 부하와 정류기같은 비선형 부하들이다.

이러한 부하들은 전류의 기본파가 진상이 아니므로 유도성으로 놓을 수 있다. 표기를 소문자로 한 이유는 부하들은 늘 변하는 양이기 때문이다.

제어기는 크게 세 부분으로 나뉘어 진다.

- TC (Tracking Controller)
- DR (Disturbance Remover)
- VR (Voltage Regulator)

TC는 과도응답 특성을 개선한다. 즉 출력이 정상상태에 빠르게 도달하도록 하며, 제어루프의 가장 안쪽에 위치하여 그 외부 제어 루프 설계에 기준이 되고 그들의 동적 특성을 향상시킨다.

DR은 부하 왜란에 따른 영향을 소거한다. DR은 다시 두 부분으로 구성된다.

- DDC (Direct Disturbance Cancel)
- RC (Repetitive Controller)

DDC는 부하의 갑작스런 증가 혹은 감소에 의해 출력전압이 흔들리는 영향을 없애준다. 이를 위해 DDC는 순시적으로 부하를 추정하여 이를 전향제어 함으로써 부하의 영향을 직접적으로 소거한다. RC는 정류기 부하시 출력전압의 THD를 최소로 줄여준다. 부하의 외란은 순시적으로 완전히 소거되기 어렵다. 출력전압의 매 주기마다 일정한 패턴을 가진 정류기 부하는 외란의 주기성을 이용해 주기 단위로 소거될 수 있다.

VR의 가장 큰 기능은 출력전압의 크기를 일정하게 유지시키는 일이다. 원하는 출력전압은 CVCF이므로 그 기준신호도 역시 CVCF로 한다. VR은 원하는 주파수 대(60Hz)에서만 0[dB]의 크기, 0[°] 위상이 되게 하고 나머지 영역에서는 음의 크기 이득이 되게 하는 소위 좁은 밴드패스 필터의 출력 특성을

맞게 한다. PE (Parameter Estimator)는 플랜트의 파라미터 변동을 감시하여 제어기들이 항상 최적의 계인을 유지하도록 도와준다. 그림 2는 전체 제어 블록도이다.

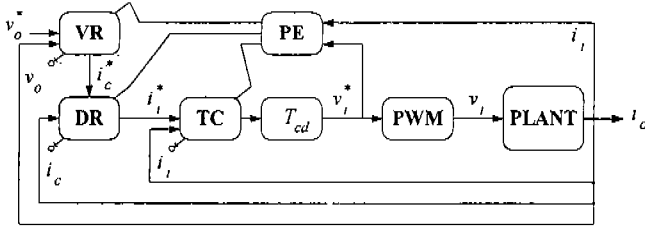


그림 2 전체 제어 블록도.

### 3. Repetitive Controller의 해석

출력신호가 주기적인 경우에는 매 주기마다 파형이 똑같은 모습을 하고 있다. 한 주기 동안의 샘플링 수를  $N$ 이라 한다면 이는 다음과 같이 표현된다.

$$y[k] = y[k + N] \quad (1)$$

우리는 이러한 신호의 한 주기 동안의 파형에 관심이 있다. 그래서 임의의 신호  $y_M[i, j]$ 를 다음과 같이 정의한다.

정의 1 :  $y_M[i, j]$

$y_M[i, j] = y[k]$ . 여기서  $i$ 는  $k/N$ 의 몫,  $i = 0, 1, 2, \dots$ 이고,  $j$ 는  $k/N$ 의 나머지,  $0 \leq j \leq N-1$ 이다.

예를 들어,  $N$ 이 10인 경우  $y[3]$ 은 첫 번째 사이클의 3번째 신호  $y_{10}[0, 3]$ 이 되고  $y[20]$ 은 세 번째 사이클의 0번째 신호는  $y_{10}[2, 0]$ 이 된다. 그러므로 주기적인 신호는 다음과 같이 표현된다.

$$y_M[i, j] = y_M[i + 1, j] \quad (2)$$

정의 2 :  $y_M[i, j]$

$y_M[i, j]$ 는 시퀀스  $y_M[i, j]$ 에서  $j$ 가 고정된 값  $J$ 를 갖고  $i$ 만 1씩 증가하는 신호이다.

보조정리 1 :  $y[k]$ 가 주기  $N$ 인 주기 신호라면, 그리고  $j$ 가 임의의 고정된 값  $J$ 일때,  $y_M[i, j]$ 는 상수 시퀀스이다.

이는 식 (2)를 보아 알 수 있다.

정의 3 :  $\varepsilon$

$$\varepsilon = z^N$$

그러므로  $z^{-N}$ 은  $\varepsilon^{-1}$ 이다. 제안된 RC는 그림 3과 같다. 기준입력 신호와 외란 신호는 주기신호이다.

정리 1: 그림 3에 제안된 시스템의 출력은 기준치 입력  $r_M[i, j]$ 에 점근적 수렴한다.

증명: 왜란을 무시하고 시스템의 전체 전달함수를 구하면,

$$\frac{y[k]}{r[i, j]} = \frac{\gamma \varepsilon^{-1}}{1 - (1 - \gamma) \varepsilon^{-1}} \quad (3)$$

이 되고, 입력신호  $r_M[i, j]$ 를 lemma 1에 의해 단위 계단함수로 놓고 최종치 정리를 적용하여 시간이 충분히 지난 뒤의 출력은

$$\begin{aligned} \lim_{i \rightarrow \infty} y[i, j] &= \lim_{\varepsilon \rightarrow 1} (1 - \varepsilon^{-1}) \frac{\gamma \varepsilon^{-1}}{1 - (1 - \gamma) \varepsilon^{-1}} r[i, j] \\ &= \lim_{\varepsilon \rightarrow 1} (1 - \varepsilon^{-1}) \frac{\gamma \varepsilon^{-1}}{1 - (1 - \gamma) \varepsilon^{-1}} \frac{1}{1 - \varepsilon^{-1}} \\ &= 1 \end{aligned} \quad (4)$$

이 된다.

정리 2: 그림 3에 제안된 시스템의 에러  $e[k]$ 는 외란 입력  $d_M[i, j]$ 에 대해 0에 점근적 수렴한다.

증명: 왜란을 무시하고 시스템의 전체 전달함수를 구하면,

$$\frac{e[k]}{r[i, j]} = \frac{1 - \varepsilon^{-1}}{1 - (1 - \gamma) \varepsilon^{-1}} \quad (5)$$

이 되고, 입력신호  $d_M[i, j]$ 를 lemma 1에 의해 단위 계단함수로 놓고 최종치 정리를 적용하여 시간이 충분히 지난 뒤의 출력은

$$\begin{aligned} \lim_{i \rightarrow \infty} y[i, j] &= \lim_{\varepsilon \rightarrow 1} (1 - \varepsilon^{-1}) \frac{1 - \varepsilon^{-1}}{1 - (1 - \gamma) \varepsilon^{-1}} r[i, j] \\ &= \lim_{\varepsilon \rightarrow 1} (1 - \varepsilon^{-1}) \frac{1 - \varepsilon^{-1}}{1 - (1 - \gamma) \varepsilon^{-1}} \frac{1}{1 - \varepsilon^{-1}} \\ &= 0 \end{aligned} \quad (6)$$

이 된다.

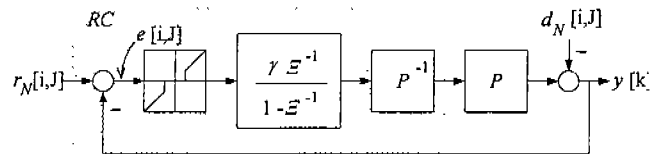


그림 3 제안된 Repetitive Controller. 제안된 RC는 세 부분으로 구성된다.

- Dead Band
- Cyclic Integral
- Inverse plant

Inverse plant를 구현하는데 두 가지의 고려 사항이 있다. 하나는 플랜트의 모델의 정확성이고 다른 하나는 Inverse plant의 적합성 (being proper)이다. 만일 Inverse Plant가 적합하지 않더라도 제안된 RC는 적합할 수 있다. 그러한 조건은 다음과 같다.

$$N > n_{pd} - n_{pm} \quad (7)$$

여기서  $n_{pd}$ 는 플랜트 분모의 차수이고,  $n_{pm}$ 는 플랜트 분자의 차수이다.

내부의 TC와 PE는 플랜트 모델의 정확성을 확보한다. TC는 다음 절에서 다룬다. 만일 Inverse plant가 실제의 플랜트의 정확한 역이 안된다면 제안된 시스템은 충분히 불안해 질 수 있다. 이것을 방지하기 위하여 Dead Band가 삽입되었다. 이는 약간의 에러는 무시함으로써 시스템의 발산을 막는다.

#### 4. Tracking Controller의 설계

TC는 인덕터 전류  $i_l$ 를 제어할 목적으로 설계되었다. 그림 1에서 출력전압이 마치 외란처럼 개입한다. 이는 예측기법을 이용한 전향제어로 소거할 수 있다. 제안하고자 하는 TC는 그림 4와 같다.

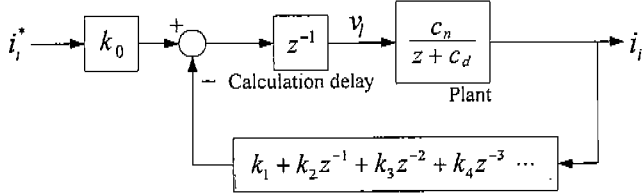


그림 4 제안된 Tracking Controller.

그림 4에서  $z^{-1}$ 는 연산지연을 나타내고 플랜트의 계수들은 다음과 같다.

$$\left. \begin{aligned} c_d &= -e^{-\frac{R}{L}T_s} \\ c_n &= \frac{1}{R} \left( 1 - e^{-\frac{R}{L}T_s} \right) \end{aligned} \right\}$$

그림 4에서 제안된 TC는 두 부분으로 나뉘어 진다.  $k_0$ 는 정상상태 오차를 결정하는데 이를 PCG(Pre-Controller Gain)이라 칭하겠다. 시스템의 안정도를 확보하고 빠른 제어수렴속도를 가지도록 하는  $k_1 + k_2 z^{-1} + k_3 z^{-2} + \dots$ 는 시스템의 극점을 원하는 위치에 놓이도록 해준다. 이를 FBC(Feed back Controller)라 칭하겠다. FBC의 설계 사양이 단위 스텝응답이 오버슈트와 정상상태오차 없이 가장 빨리 1에 수렴하는 것이므로 시스템의 근들은 1보다 작은 양의 실수이면서 우세근이 원점에 가장 가깝게 놓이도록 해야 한다. 주어진 플랜트가 안정하다면 시스템이 1보다 작은 단일 중근을 갖도록하는 FBC의 계수가 항상 존재한다. 단 일리어싱은 없는 것으로 한다. FBC가  $n$ 차이면 시스템의 전체 전달함수는 다음과 같다.

$$\frac{i_i}{i_i^*} = \frac{k_0 c_n z^n}{z^{n+2} + c_d z^{n+1} + c_n \sum_{m=0}^n k_{m+1} z^{n-m}} \quad (8)$$

만일 위의 전달함수의 특성다항식의 근이  $x_1, x_2, \dots, x_{n+2}$ 라 할 때 근과 계수의 관계에 의해 모든 근의 합은  $-c_d$ 와 같다.

$$\sum_{p=1}^l x_p = -c_d \quad (9)$$

여기서  $l$ 은 근의 갯수이며

$$l = n + 2 \quad (10)$$

이다. 모든 근이 1보다 작은 양의 중근이면 다음의 수식과 같다.

$$0 \leq x_1 = x_2 = \dots = x_l = x < 1 \quad (11)$$

식 (9)와 (11)의 두 식을 모두 만족하기 위해서는 다음의 식이 성립해야 한다.

$$0 \leq -\frac{c_d}{l} < 1 \quad (12)$$

주어진 플랜트가 안정하고 일리어싱이 없다면 플랜트의 근이 0보다 크고 1보다 작다는 것을 의미하므로 위의 조건을 항상 만족한다.

이제 원하는 피드백 제어기의 최적 계인은 근과 계수와의 관계식에서 모두 구해질 수 있다. 예를들어 FBC의 계인이 2차라 하자. 그러면 시스템의 전체 전달함수는 다음과 같다.

$$\frac{i_i}{i_i^*} = \frac{k_0 c_n z^2}{z^4 + c_d z^3 + c_n k_1 z^2 + c_n k_2 z + c_n k_3} \quad (13)$$

만일 위의 전달함수의 특성다항식의 근이  $x$ 인 중근이라 할 때 다음의 관계가 성립한다.

$$\left. \begin{aligned} 4x &= -c_d \\ 6x^2 &= c_n k_1 \\ 4x^3 &= -c_n k_2 \\ x^4 &= c_n k_3 \end{aligned} \right\} \quad (14)$$

이제 원하는 피드백 제어기의 최적 계인은 위의 수식이 만족하도록 다음과 같이 결정된다.

$$\left. \begin{aligned} k_1 &= 6 \frac{x^2}{c_n} \\ k_2 &= -4 \frac{x^3}{c_n} \\ k_3 &= \frac{x^4}{c_n} \end{aligned} \right\} \quad (15)$$

여기서,

$$x = -\frac{c_d}{4} \quad (16)$$

이 된다.

단위계단입력의 응답이 정상상태에서 정확히 1에 수렴하게 하기 위해서 PCG가 사용된다. 단위 계단 입력의 정상상태 수렴값은  $z$ 가 1에 수렴할때 시스템의 전달함수와 같다.

$$\lim_{z \rightarrow 1} \frac{i_i}{i_i^*} = \frac{k_0 c_n}{1 + c_d + c_n (k_1 + \dots + k_{n+1})} \quad (17)$$

그러므로 시스템의 단위 계단입력에 대한 응답이 1이 되기 위한  $k_0$ 의 값은 다음에 수식에 의해 결정된다.

$$k_0 = \frac{1 + c_d + c_n (k_1 + \dots + k_{n+1})}{c_n} \quad (18)$$

#### 5. Repetitive Controller의 설계

본 논문에서는 출력전압의 낮은 THD를 얻기 위해서 커패시터 전류를 제어한다. 커패시터 전류가 커패시터 전압보다 고조파에 대해 훨씬 민감하기 때문에 보다 낮은 THD를 갖는 출력전압을 얻기 위해서는 커패시터 전압을 제어하는 것보다 커패시터 전류를 제어하는 것이 훨씬 효과적이다.

정류기 부하에서 부하전류는 주기함수이므로 RC에 의해 소거될 수 있다. 우선 Inductor current TC

가 제대로 동작한다면  $i_i/i_i^*$ 의 응답이 마치 1차 지연 요소와 같다.

$$\frac{i_i}{i_i^*} = \frac{bz^n}{(z-a)^{n+2}} \quad (19)$$

여기서  $a$ 와  $b$ 는 PE와 TC에 의해 얻어질 수 있을 것을 전제로 한다. 제어대상은 커패시터 전류이므로 다음의 식처럼 부하전류의 외란이 섭동한다.

$$i_c = i_i - i_o \quad (20)$$

식(19)를 플랜트로 삼고 Inverse plant는 그것의 역이므로

$$P^{-1} = \frac{(z-a)^{n+2}}{bz^n} \quad (21)$$

이고, 제안된 RC는 다음과 같다.

$$\begin{aligned} RC &= \frac{\gamma E^{-1}}{1-E^{-1}} P^{-1} \\ &= \frac{\gamma(z-a)^{n+2}}{bz^n(z^N-1)} \end{aligned} \quad (22)$$

## 6. 시뮬레이션 및 결과

그림 5는 제안된 TC를 사용한 경우의 인덕터 전류  $i_i$ 의 응답이다. FBC의 차수가 0차, 1차, 2차, 3차에 대해 각각 시뮬레이션을 행하였다. 차수가 높아질수록 응답속도가 빨라졌다.

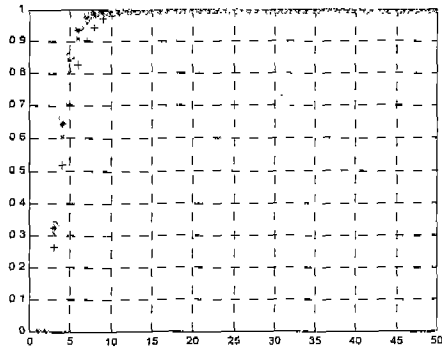


그림 5 제안된 Tracking Controller의 스텝응답.

그림 6은 제안된 RC를 적용한 경우 외란에 대한 에러의 보오드 선도이다. 기본주파수의 정수배에 해당하는 주파수에서 크기가득이 모두 음의 큰 수를 갖는다. 이것은 기본주파수의 정수배에 해당하는 외란이 소거됨을 보여준다. 그림 7은 제안된 RC의 시뮬레이션 결과이다. 최상의 파형은 커패시터 전류의 기준신호이다. 중상의 파형은 외란신호(부하전류에 해당함)의 파형이다. 중하의 파형은 출력신호(커패시터 전류)의 파형이다. 최하의 파형은 에러신호이다.

## 7. 결 론

본 논문에서는 AC 전원장치의 출력 THD의 저감을 위해 반복제어기를 제안하였다. 커패시터 전류에 함유된 고조파가 기본파의 정수배에 해당된다면 제안된 반복제어기가 모두 소거시킬 수 있음을 수식적으로 그리고 시뮬레이션을 통하여 보였다.

Bode Diagrams

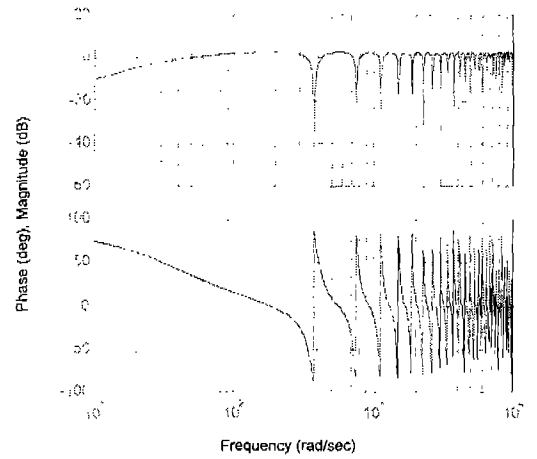


그림 6 제안된 RC를 적용하였을 경우의 외란에 대한 오차의 보드 선도.

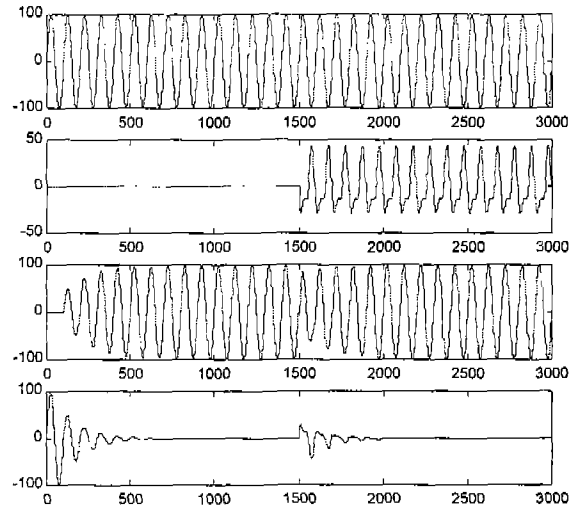


그림 7 제안된 RC의 시뮬레이션 결과.

## 참고문헌

- [1] 김병진, 최재호, "동특성 개선을 위한 UPS용 인버터의 전디지털화 이중제어기", 대한전기학회논문지, 46권 5호, pp705-712, 1997
- [2] Y. Ito and S. Kawauchi, "Microprocessor-Based Robust Digital Control for UPS with Three-Phase PWM Inverter," IEEE Power Elec. Tran., vol 10, pp.196-204, Mar. 1995.
- [3] S. L. Jung, L. H. Ho, S. C. Yeh, and Y. Y. Tzou, "DSP-Based Digital Control of a PWM Inverter for Sine Wave Tracking by Optimal State Feedback Technique," PESC, vol. 1, pp. 546-551, 1994.
- [4] S. C. Yeh and Y. Y. Tzou, "Adaptive Repetitive Control of a PWM Inverter for AC Voltage Regulation with Low Harmonic Distortion," PESC, vol. 1, pp.157-163, 1995.