

Offset 구조 Poly-Si TFT의 Negative Bias Stress 효과

Negative Bias Stress Effect with Offset Structure in Poly-Si TFT's

이제혁, 변문기, 임동규, 조봉희, 김영호

J. H. Lee, M. G. Byun, D. G. Lim, B. H. Cho, Y. H. Kim

수원대학교 전자재료공학과

* 수원대학교 전기전자정보통신 공학부

Dept. of Electronic Materials Engineering, The University of Suwon

* Dept. of Electrical, Electronic, Information and Communication Engineering, The University of Suwon

Abstract

The electrical characteristics of poly-Si TFT's with offset structure by negative bias stress are systematically investigated as a function of offset length. The changes of electrical characteristics, V_{th} , off-current, on/off ratio, in the offset structured poly-Si TFT's are smaller than that of the conventional structured poly-Si TFT's under the stress condition ($V_{DS}=20V$, $V_{GS}=-20V$). It is found that the hot carrier effect by negative bias stress is suppressed by the offset structured poly-Si TFT's because the local electric field near the drain region is decreased by offset region.

1. 서론

다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFT's)는 최근 액정 평판 표시기(liquid crystal display, LCD)의 구동소자로써 소자 개발에 관한 연구가 활발히 진행되어 지고 있다¹⁾. 특히 다결정 실리콘 박막 트랜지스터는 active matrix의 스위칭 소자뿐만 아니라 비정질 실리콘 박막 트랜지스터에 비해 동일한 기판에 액정 디스플레이 구동회로를 직접화 할 수 있기에 가능한 저소비 전력화, 소형화 및 우수한 전기적 특성으로 인하여 많은 연구가 진행되고 있다. 그러나 화소 소자에 적용할 경우 박막 트랜지스터의 누설 전류가 큰 단점으로 존재하여 화면의 flickering 현상 등의 문제점이 발생한다. 이러한 다결정 실리콘 박막 트랜지스터의 누설전류는 드레인 영역의 높은

수평 전계가 원인이 되며, 이런 수평 전계 효과를 감소 시키기 위하여 LDD(Light-Doped-Drain) 및 offset 구조를 갖는 다결정 실리콘 박막 트랜지스터²⁾에 관한 연구가 많이 보고되어 지고 있으나, 수평 전계를 감소시키기 위한 LDD³⁾ 또는 offset 구조를 갖는 소자의 전기적 스트레스에 따른 특성 변화에 대한 연구는 아직 미흡한 것으로 알려져 있다. 따라서, 본 연구에서는 $W/L=50\mu m/10\mu m$ 이고 offset 길이가 0, 0.7, 1.0 μm 인 n-채널 다결정 실리콘 박막 트랜지스터를 제작한 후 전기적 스트레스에 따른 전기적 특성변화를 분석하여 offset 영역이 전기적인 스트레스에 미치는 영향을 규명하고자 한다.

2. 실험방법

본 연구에서는 저압 화학 기상 증착(LPCVD) 방

법으로 550°C에서 500Å 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성 영역 층으로 사용하였다. 실리콘 이온을 35 KeV, $1.1 \times 10^{15} / \text{cm}^2$ 의 조건으로 실리콘 박막에 이온 주입을 시킨 후 SPC(Solid Phase Crystallization)방법으로 580°C에서 48시간 동안 열처리 하였다. Active 마스크를 이용하여 활성 영역층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950°C에서 1000Å 성장시켜 게이트 마스크를 사용하여 게이트 영역층을 정의한 후 P'를 소오스, 드레인, 게이트 영역에 이온 주입시켰으며 열산화 방법으로 순수 SiO₂ 막을 950°C에서 3500Å 두께로 증착하였다. Contact 마스크를 이용하여 소스, 드레인, 게이트의 접촉점을 정의한 후 metal 마스크를 사용하여 전극을 형성하고 450°C에서 1시간 열처리하여 n-채널 다결정 실리콘 박막 트랜지스터를 제작하였다. 제작된 소자에 전기적 스트레스($V_{DS} = 20V$, $V_{GS} = -20V$)를 인가한 후 전기적 스트레스 시간에 따른 특성변화를 분석하였다.

3. 결과 및 고찰

일반적인 구조와 offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 negative bias stress에 따른 전기적 특성은 Table. 1에 나타내었다.

Fig. 1은 offset 길이에 따른 다결정 박막 트랜지스터의 전형적인 소자 특성($I_{DS}-V_{GS}$)곡선이다. Offset 구조를 갖는 다결정 실리콘 박막 트랜지스터의 off 전류는 현저하게 감소되는 것을 알 수 있다. 이는 드레인 공핍 영역에 걸리는 전계가 offset 영역으로 인하여 감소되기 때문이며, on 전류는 offset 영역이 직렬저항으로 작용하기 때문에 offset 길이가 0.7 μm 이상 되면 현저하게 감소되는 것을 볼 수 있으며, offset 길이가 0.7 μm 인 경우의 on/off 전류비가 가장 큰 것으로 확인되었다.

Fig. 2는 일반적인 구조와 offset 길이(L_{offset})가 0.7 μm , 1.0 μm 인 다결정 실리콘 박막 트랜지스터에 negative bias stress를 인가하기 전·후의 $I_{DS}-V_{GS}$ 특성 곡선이다. $I_{DS}-V_{GS}$ 특성곡선은 $V_{DS}=5V$ 에서 측정되었으며 전기적인 stress는 총 6시간 동안 인가되었다. 일반적인 구조를 갖는 소자와 offset 구

Table 1. Summary of device parameters of offset poly-Si TFT's ($W/L=50\mu\text{m}/10\mu\text{m}$) before and after the bias stress at room temperature.

Stress condition		Device Parameters					
Bias mode	stress time (min)	Offset Length 0 μm		Offset Length 0.7 μm		Offset Length 1.0 μm	
		ΔV_{th}	on/off ratio	ΔV_{th}	on/off ratio	ΔV_{th}	on/off ratio
		$V_{DS}=20V$ $V_{GS}=-20V$	0	.	2.0×10^6	.	3.0×10^9
60	-2.4		9.0×10^5	-0.2	1.8×10^9	0.3	1.0×10^8
120	-1.4		9.0×10^5	-0.3	2.0×10^9	0.2	3.0×10^8
180	-1.6		4.4×10^5	-0.3	5.0×10^8	0.2	3.0×10^8
240	-1.4		1.0×10^5	-0.3	5.0×10^8	0.4	2.0×10^8
300	-1.4		6.0×10^4	-0.3	1.0×10^8	0.3	3.0×10^8
360	-1.4		6.0×10^3	-0.3	2.0×10^7	0.3	2.0×10^8

조를 갖는 소자 모두 on 전류는 약간 감소하였으며, off 전류는 일반적인 구조와 L_{offset} 가 0.7 μm 인 소자에서는 증가하였으나 L_{offset} 가 1.0 μm 인 소자에서는 증가가 일어나지 않았다. 또한 일반 소자와 L_{offset} 가 0.7 μm 인 소자의 경우에는 negative bias stress 인가 후 문턱전압의 negative shift 현상이 나타나는데 이는 negative bias stress에 의한 hot-hole 주입에 의한 전류 특성으로 사료된다. 일반적인 구조와 offset 구조를 갖는 소자는 shift 되는 정도에서 차이가 나게 된다. 일반적인 구조를 갖는 소자는 게이트 oxide 내로 정공이 주입되는 것이 지배적으로 작용하지만 offset 구조를 갖는 소자는 gate oxide 보다 치밀하지 못한 side wall 쪽으로 정공이 주입되는 것이 지배적으로 작용하기 때문에 채널에 직접적인 영향을 미치지 못하는 것으로 사료된다. 일반적인 구조를 갖는 소자와 offset 길이가 0.7 μm 인 소자의 경우는 negative stress에 의한 정공 trap에 의하여 채널 영역에 (-) 전하를 유도하는 현상이 지배적으로 작용해서 문턱전압의 감소를 가져오게 되지만 offset 길이가 1.0 μm 인 경우의 문턱전압의 감소는 offset 영역의 직렬 저항 효과와 hot carrier 주

입으로 인하여 poly-Si/SiO₂계면에 생성된 interface state와 poly-Si 박막 내에 생성된 defect state의 효과가 보다 지배적으로 작용하기 때문에 문턱 전압의 증가가 일어나게 된다.

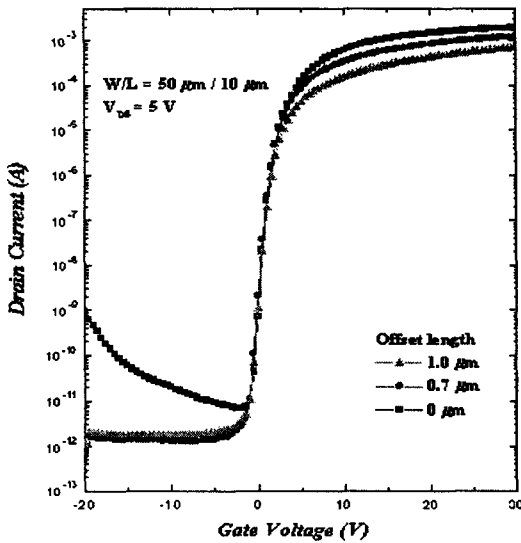


Fig. 1. The I_{DS} - V_{GS} characteristics at the drain voltage $V_{DS}=5V$ of n-channel poly-Si TFT's with different offset length. All device are measured at the channel dimension of $W/L=50\mu m/10\mu m$

Fig. 3은 Fig. 2의 누설전류 부분을 크게 확대한 것이다. 그림에서 보는 것과 같이 offset 구조를 갖는 소자는 스트레스 전과 후의 off 전류가 매우 큰 폭으로 감소하는 것을 볼 수 있다.

Fig. 4는 각각 다른 offset 길이를 갖는 소자의 stress 시간에 따른 V_{th} 의 변화율을 나타낸 것이다. 일반적인 구조를 갖는 소자는 처음 1시간 동안 stress를 인가했을 때 V_{th} 의 변화가 크게 일어나고 그 이후에는 별다른 변화를 보이지 않는다. Offset 구조를 갖는 소자의 경우는 drain 전계 감소 현상으로 인하여 stress 시간에 따라 V_{th} 의 변화가 거의 일어나지 않음을 알 수 있었다.

Fig. 5는 각각의 offset 길이에 대한 스트레스 시간에 따른 on/off ratio를 나타낸 그래프이다. 일반적인 구조를 갖는 소자는 스트레스 전·후에 약 $\times 10^3$ 의 큰 on/off ratio의 감소를 나타낸 반면

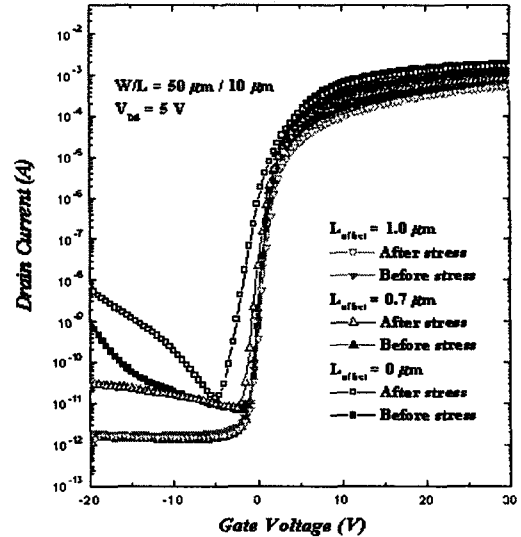


Fig. 2. The I_{DS} - V_{GS} characteristics at the drain voltage $V_{DS}=5V$ of n-channel poly-Si TFT's with offset length 0, 0.7, 1.0 μm before and after the application of electrical stress ($V_{DS}=20V$, $V_{GS}=-20V$ and $V_S=0$) for 6 hr.

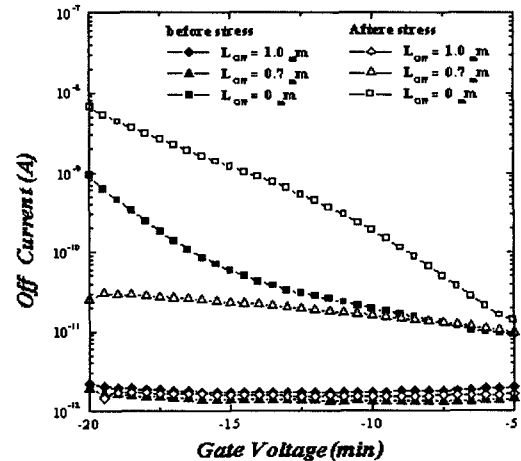


Fig. 3. The change of off-current under the stress at $V_{DS}=5V$; stress conduction $V_{DS}=20V$, $V_{GS}=-20V$.

offset 길이 0.7 μm 와 1.0 μm 인 소자는 일반적인 구조

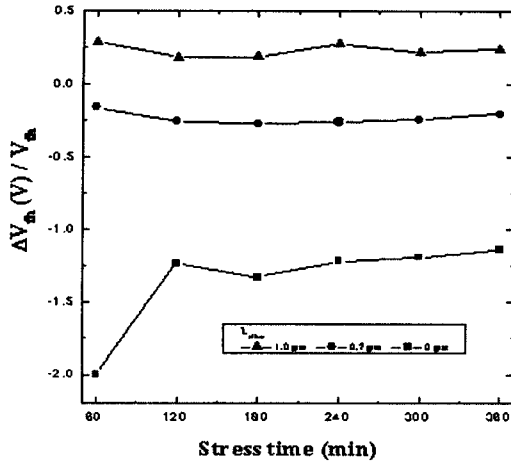


Fig. 4. The $\Delta V_{th}/V_{th}$ as a function of electrical stressing time for various poly-Si TFT's with different offset length.

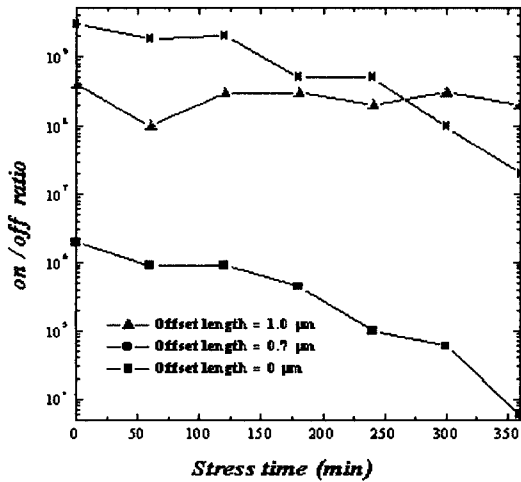


Fig. 5. The on/off ratio as a function of electrical stressing time for various poly-Si TFT's with different offset length

를 갖는 소자에 비하여 비교적 작은 감소를 나타낸다. 이것은 offset 영역이 드레인 근처의 수평전계를 감소시키기 때문에 off 전류의 현저한 감소와 hot carrier 효과에 의한 on/off ratio의 감소를 억제하는 것으로 사료된다.

4. 결론

본 연구에서는 offset 길이에 따른 poly-Si TFT's의 negative bias stress 효과를 조사하였다. 스트레스에 의한 소자의 V_{th} , off 전류, on/off ratio의 변화가 일반적인 구조를 갖는 소자보다 적게 영향을 받는 것으로 나타났다. 이러한 결과로 보아 offset 구조를 갖는 poly-Si TFT's는 offset 영역이 드레인 근처의 전계를 감소시키기 때문에 일반적인 구조를 갖는 소자에 비해 negative bias 스트레스 효과에 의한 소자의 특성 저하가 감소되는 것을 알 수 있었다.

참고 문헌

1. A.G. Lewis, D.D. Lee, R.H. Bruce, and R.A. Martin, "Polysilicon TFT active-matrix LCD drivers." SID 91 Digest, p. 535, 1991
2. KEUI TANAKA, HITOSHI ARAI and SHIGETO KOHDA, "Characteristics of Offset Structure Polycrystalline Silicon Thin Film Transistors." IEEE Electron Device Lett., Vol. 9, NO. 1, pp.23-25, 1998.
3. Y.S Kim, M.K Han, " Degradation Due to Electrical Stress of Poly-Si Thin Film Transistors with Various LDD Lengths". IEEE Electron Device Lett., Vol. 16, NO. 6, pp. 245-247, 1995.