

24/25 I-NRZI 변조기 설계에 관한 연구

박기서*, 박종진, 조원경
경희대학교 전자공학과
경기도 용인시 기흥읍 서천리 1번지
nymph@csvlsi.kyunghee.ac.kr

(A Study on 24/25 I-NRZI Modulation)

Kiseo Park*, Jongjin Park, Wonkyung Cho
Dept. of Electronic Engineering Kyunghee University
#1, Seochul-Ri Kiheung-Eup Yongin-Shi Kyunggi-Do

Abstract

The paper provides an overview of those requirements. A detailed description is given of the construction of the new channel code, called 24/25 code, that complies with the given constraints and involves only a minor drawback in terms of the overhead needs. The servo position information is recorded as low frequency components, pilot tracking tones, which are embedded in the recorded stream of binary digits. Pilot Tracking Tones are used to derive head position reference information in camcorders and DVCRs. A simple pilot tone encoder has been designed by using a new approach, "2 path precoder". Owing to this method, the hardware size can be significantly reduced. The correctness of the method has been verified by theoretical analysis and by extensive simulation. [1][2][3][4][5]

I. 서론

아날로그 시스템 방식의 기기 들은 모든 전자 산업의 근간을 이루었으나 디지털 시스템의 발전에 따라 기존의 아날로그 시스템을 대체하는 디지털 시스템이 개발되고 있으며 CD, DVD등이 급속히 기존의 저장 매체를 대체해 나가고 있다. 이와 함께 아날로그 방식으로 전송되던 방송도 디지털 방식으로 바뀌고 있으며 라디오, TV, 위성방송 등이 실현 됐거나 곧 실현될 예정이다. 따라서 가정용으로 많이 사용되는 VCR(Video Cassette Recorder)또한 디지털 방송에 맞게 디지털로 바꾸는 연구가 진행중이며 여러 가지 표준안이 제안, 실용화되고 있다.[1][4][5]

본 논문에서는 DVCR에서 기록 부호화기로 사용되는 24/25 I-NRZI 변조기를 고찰하고, 24/25 I-NRZI 변조기의 전체부분의 최적화를 위하여 2개의 출력Path를 갖는 24/25 I-NRZI Coder를 구성하여, 전체 연산기를 구성해 보았다. 기능검증을

위해 먼저 C로 모델링을 해 보았으며 전체 연산기의 구성을 위하여 Verilog HDL로 전체 연산기를 설계하였다. 전체합성은 Synopsys Tool로 하였으며 실험결과 참고문헌[6][7]에서 제안한 변조기와 본 논문에서 제안한 2개의 출력path를 갖는 변조기를 비교해 본 결과 약 1,000~2,000개의 gate가 줄어듬을 알 수 있었다.[6][7][8]

II. 이론적 배경

1. 기록부호화기(24/25 I-NRZI 변조)

일반적인 디지털 VCR구성은 VCR 규격에 따라 다소 차이가 있지만 그림 1과 같이 처리된다.

이때 디지털 기록은 "1"과"0"의 Bit Stream을 Tape 및 Head의 특징에 잘 맞게 변환하여 반송파 대 잡음비(CNR)가 높은 Spectrum을 갖도록 한다. 또한 자장매체에서 최소 기록과장을 작게 하거나 헵트랙 기록을 구현하므로 고밀도로 데이터를 저장할 수 있다. 이에 따라 기록한 트랙을 재생시 완벽하게 읽기 위해서는 신뢰성 높은 Pilot 신호가 필요하고 일반적으로 8mm VCR에서 사용하는 주파수 분할 다중(FDM)방법의 기록은 신뢰성이 떨어지므로 이를 보완하여 Code에 이산적인 Pilot신호를 가지도록 변조하여 기록하면 재생시 고 정도의 트랙킹이 가능하다. 따라서 이를 모두 만족할 수 있는 기록부호화인 24/25 I-NRZI 변조를 DVCR의 기록부호화기로 채택하였다.[1][2][5]

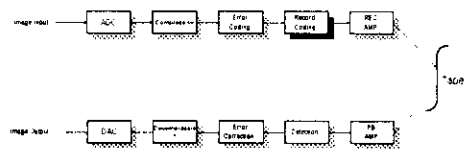


그림 1. Digital VCR의 영상 데이터 처리과정

(1) 24/25 변조

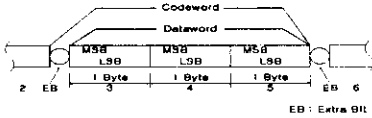


그림 2. 24/25 변조

기록부호화기에서 사용하는 신호변조 방식은 24/25 변조 방식을 사용한다. 24/25 변조 방식은 트래킹용 Pilot 신호를 기록부호 계열 자신이 발생하는 부호화방식이다. 그림 2에서는 24비트 단위마다 1개의 비트를 추가시킨 그림이다.^{[2][5]}

“1” 혹은 “0”을 추가하고 추가된 25비트의 2path bits stream을 주기적으로 변화시켜 주파수 f1의 혹은 f2의 2종류의 Pilot 신호를 발생시킨다. 즉 24bit에 “0” 또는 “1”로 추가된 25 bit stream을 각 track에 맞는 전력 스펙트럼이 그림 3와 같이 되도록 제어하며 표 1은 각 스펙트럼의 특성을 나타내고 있다.

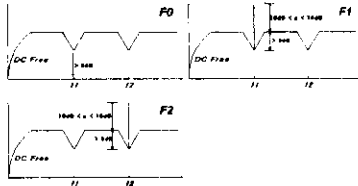


그림 3. F0, F1, F2 Pilot 신호

표 1. 각 트랙의 Spectrum의 특성

종류	노치	과일본
F0	DC, f1, f2	
F1	DC, f1, f2	f1
F2	DC, f1, f2	f2

누설된 Pilot 신호가 검출되기 쉽도록 각각의 프래임과 트랙은 그림 4에서 보는바와 같이 F0, F1, F0, F2, F0,....와 같이 F0의 사이에 F1과 F2가 교대로 들어가도록 배치한다. 그리고 SD급에서는 20트랙이 1프래임이 되도록 설정한다.^{[2][3][5][9]}

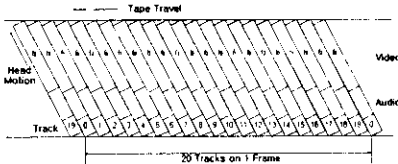


그림 4. 주파수 특성에 따른 트랙의 배열

(2) I-NRZI

그림 5에서 보듯이 NRZI (Non - return to zero invert)은 비트값이 1일 때 전류의 방향을 바꾼다.^[4]

그림 5의 NRZI와 같은 코드는 때로는 특정한 응답을 갖도록 설계되기도 하는데, 그림 6처럼 이

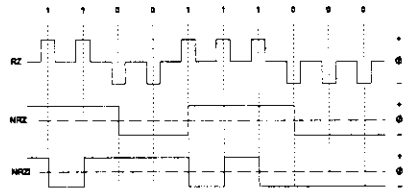


그림 5. 기록 코드의 종류

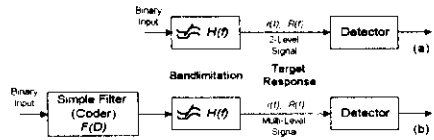


그림 6. 채널모델 : (a) 일반적인 이전 신호 모델 (b) PR 신호 모델

진 입력을 임펄스열 $\sum x_n \delta(t - nT)$ 로 모델링 할 경우 대역제한필터 $H(f)$ 에 의해 응답 $R(f) \Leftrightarrow r(t)$ 를 갖게 된다.

Partial Response(이하 PR)신호를 갖도록 하는 것은 그림 3의 (b)와 같이 앞단에 필터(코더)를 설치함으로써 가능하며 이 필터는 딜레이 D 에 의한 다항식으로 구성된다. 다항식의 일반적인 형태는

$$F(D) = (1 - D)^m (1 + D)^n \tag{1}$$

이고 m, n은 0일수 있으나 동시에 0일수 없으며 이에 의한 응답 $R(f)$ 는

$$R(f) = H(f)F(D) \quad D = \exp(-j2\pi fT) \tag{2}$$

와 같다.

PR-4의 $F(D)$ 의 다항식은 $1 - D^2$ 이고 전달함수는

$$H_F(f) = 1 - e^{-j2\pi fT} = j2 \sin(2\pi fT) e^{-j\pi fT} \tag{3}$$

$$|H_F(f)| = |2| \sin(2\pi fT)| \tag{3}$$

이고 이에 대한 응답 $R(f)$ 는

$$\frac{1}{T} 2 \exp\left[-j\left(2\pi fT - \frac{\pi}{2}\right)\right] \sin 2\pi fT \quad -\frac{1}{2T} \leq f \leq \frac{1}{2T} \tag{4}$$

0 그외 [4]

가 된다.

식 4에서 보듯이 $R(f)$ 은 DC와 $1/(2T)$ 이상에서 $R(f)$ 가 0이 되는데 이는 제한된 밴드 폭을 초과하지 않으며, 마그네틱 재생헤드는 이 두개의 주파수 대역에서 노이즈에 약하므로 노이즈에 유리한 장점이 있다.

그림 7은 $1 - D^2$ 로서 나타내어 질 수 있는 코더로써, 2T지연과 한 개의 모듈로 2가산기(EXOR)로써 만들 수 있다.

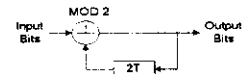


그림 7. PR-4 Precoder

2. 24/25 I-NRZI 변조기의 최적화 구조

(1) I-NRZI 변조기

24/25 I-NRZI 변조기의 전체 구성은 초기에 1 bit("0" 혹은 "1") 추가된 두 개의 입력 데이터는 Spectrum 제어기의 최종 단계에서 두 개의 입력된 데이터 중에서 트랙 Spectrum에 유사한 Path를 판단하여 전송되며 선택되지 않은 다른 Path의 값은 다음 입력되는 데이터를 처리하도록 한다. 그러나 Spectrum 제어기는 입력되는 25 Bits 데이터의 누적, 승산이 수행되며, 이를 25클럭에 처리하기가 매우 어렵다. 참고문헌[7]에서 보듯이 이를 해결하기 위하여 "0"Path와 "1"Path에 Precoder를 각각 2개씩 사용하여, 현재 처리되는 데이터는 각 Path를 이전 "0"Path와 "1"Path의 데이터값을 모두 미리 처리하고 25Clock후에 Path를 선택함으로써 실시간 처리가 가능한 24/25 I-NRZI 변조기를 설계할 수 있다.

4개의 출력 Path를 갖는 Coder의 연산으로 본문에서 제안한 2개의 출력 Path를 갖는 I-NRZI 변조기를 설계할 수 있는데(그림 8), 그림 9에서 보는바와 같이 초기값이 동일한 경우에는 "00"Path와 "10"Path로, 초기값이 동일하지 않는 경우에는 "00"Path와 "01"Path를 선택함으로써 2개의 출력을 갖는 Precoder를 설계할 수 있다. 표 2는 25비트 연산후 레지스터의 재배치를 나타낸 것이다.

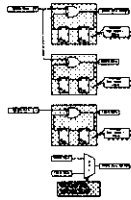


그림 8. 2개의 출력 Path를 갖는 Precoder의 구조

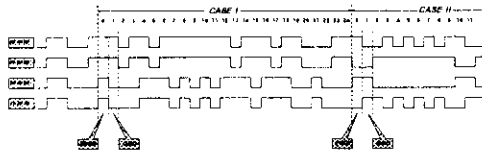


그림 9. Precoder Timing

표 2. CS 신호에 따른 데이터의 Reload

	CS 신호가 "0"일 때	CS 신호가 "1"일 때
Reg. 00	Reg. 00	Reg. 01
Reg. 01	Reg. 10	Reg. 11
Reg. 10	Reg. 00	Reg. 01
Reg. 11	Reg. 10	Reg. 11

(2) Spectrum 연산부

스펙트럼 연산부는 각각 I-NRZI Coder에서 출력된 데이터로써 그림 3과 같은 파형을 만들어 내는 부분이다. Spectrum 연산부는 Filter 연산기, Rom Table 연산기, Mac 연산기로써 구성되어 질 수 있으며, Filter 연산기는 I-NRZI 연산기의 출력에 따라 구성이 달라질 수 있다.

먼저 Filter 연산기는 DC Free, 2개의 Notch, 2개의 Pilot 연산기로 구성되어 질수 있으며 그림 10은 Filter 연산기의 구성을 나타내고 있다.

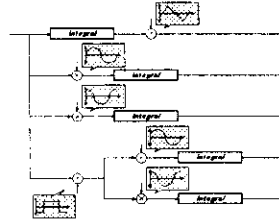


그림 10. Filter 연산기

ROM Table 연산기는 미리 구성된 표준데이터를 출력하는 부분으로 Pilot 신호가 발생하는 주파수를 갖는 Sin과 Cos 데이터로 구성되며, 이를 ROM에 저장하도록 구성한다.

Mac 연산기는 Filter 연산기에서 출력된 5개의 출력 데이터를 제공하고 이를 누적하여 출력하는데 그림 11에서 보는바와 같이 곱셈기를 포함하고 있으며 이를 실시간 내의 처리하기 위해서는 2번 클럭에 1번의 연산을 수행하게 된다.

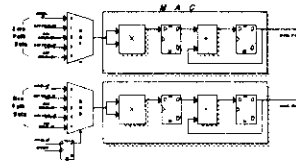


그림 11. Mac 연산기

(3) Run Length 연산부

Digital VCR의 데이터 기록매체는 자성테이프이며 이에 따라 저장될 Run Length의 개수를 제한한다. Tmax 연산기는 I-NRZI 연산기에서 출력된 각 Path의 데이터의 Run Length를 계산한다. 각각의 Run Length의 계산된 출력값은 표 3과 같이 나타낼 수 있으며, 기준값은 9비트로 나타낼 수 있다. 또한 24/25 I-NRZI 연산기의 최종출력을 위해 구성된 Delay 연산기는 Path 선택신호에 따라 먼저 25비트 Delay에 저장되며, 그 다음에 선택 신호에 따라 다음 2개의 25비트 데이터를 저장하고 마지막으로 선택신호에 따라 1개의 25비트 Delay값을 출력하도록 구성되어 진다.

표 3. Tmax 연산기의 출력값

출력값 연산결과	Tmax_s		
	Tmax_c	0Path < 1Path	0Path ≥ 1Path
0Path ≥ 9 & 1Path ≥ 9	1	0	1
0Path ≥ 9 & 1Path < 9	1	0	1
0Path < 9 & 1Path ≥ 9	1	0	1
0Path < 9 & 1Path < 9	0	x	x

III. 실험 및 고찰

본 논문에서 설계된 24/25 I-NRZI 변조기의 기능을 검증하기 위하여 먼저 24/25 I-NRZI 변조기의 기능을 C언어로 Modeling하고, 각 Track의 Data를 생성하여 Spectrum 분석을 하였다. 이렇게 검증된 24/25 I-NRZI 변조기는 Verilog-HDL을 이용하여 모듈을 설계하였으며, 전체 합성은 Synopsys (Samsung kg75 Library)를 이용하여 합성을 하였다.

그림 12은 각 Track의 검증된 파형을 보여주고 있으며, 표 4는 각각의 출력 Path에 따른 전체 연산기의 gate수를 나타내고 있다. 또한 그림 13은 2개의 출력 Path로 구성되어진 24/25 I-NRZI 변조기의 전체 합성결과를 보여주고 있다.

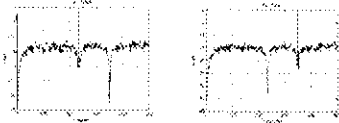


그림 12. F1, F2 트랙의 실험 결과

표 4. 각 Path에 따른 전체 연산기의 Gate의 수

	Pcr	F1t	Dly	max	Rom	Mac	Crnp	Gate
4 Path	121	6,784	1,382	968	1,459	1,758	312	12,784
2 Path	129	5,662	923	642	1,459	1,758	321	10,884
1 Path	121	6,324	507	707	1,459	1,758	374	11,250

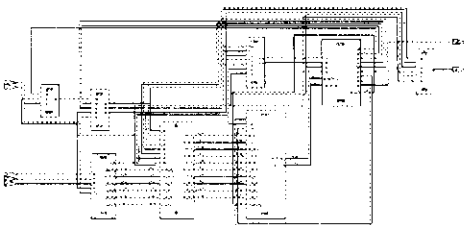


그림 13. 2개의 출력Path를 갖는 24/25 I-NRZI 변조기

표 4에서 보는바와 같이 Precoder 연산부에서는 gate의 수가 그리 크게 차이가 나질 않지만 각각의 연산부의 재구성에 따른 전체 연산부의 gate수는 4path > 1path > 2path의 순으로 나타내어짐을 알 수 있다. 1path가 2path보다 더 큰

면적을 나타내는 이유는 path선택출력의 따른 path신호의 증가와 함께 전체 연산기의 gate수의 증가가 있음을 알 수 있다. 그러므로 본 논문에서 제안한 2path 출력값 갖는 24/25 I-NRZI 변조기가 최적의 기록부호화기로 설계되어짐을 볼 수 있다.

IV. 결론

본 논문에서는 디지털 VCR에서 기록 부호화기로 사용되어 지는 24/25 I-NRZI 변조기에 대해 고찰해 보았으며, Precoder Timing에 따라 구성 되어 질 수 있는 2개의 출력 Path Precoder에 따른 전체변조기를 설계하였으며 전체 변조기의 기능 검증 및 H/W크기를 고찰하였다. 실험결과 2개의 출력 Path를 갖는 24/25 I-NRZI 변조기는 전체사양에 맞게 동작 되었으며, 참고문헌 [7],[8]에서 제안한 변조기보다 약 1,000~2,000개의 gate의 수가 줄어드는 것을 보게 되었다. 또한 Precoder부분의 설계에 따라 전체 합성 결과에 큰 영향을 끼치는 것을 알 수 있었다.

앞으로의 연구방향은 전체변조기의 반 이상을 차지하는 Spectrum연산부의 연구가 요구되어진다.

參考文獻

- [1] "Digital Video Recorder", Phillips
- [2] "Specifications of Digital VCR for Consumer-Use", HD-Digital VCR Conference
- [3] K.A.S.Immink, "Coding Techniques for Digital Recorder", Prentice Hall, 1991
- [4] John Watkinson, "The Art of Digital Video Recording", Focal Press, 1994
- [5] Ronald K. Jurgen, "Digital Consumer Electronics Handbook", Mc Graw Hill, 1997
- [6] H.W.Keesen and J.Kaaden, "An Experimental Digital Consumer HDTV Recorder Using MC-DCT Video Compression", IEEE. Trans. Consu. vol 39, no 4, Nov 1993
- [7] K.A.S.Immink, "Channel Code with Embedded Pilot Tracking Tone for DVCR", IEEE. Trans. Consu. vol 41, no 1, Feb 1995
- [8] Hyunchul Shin etc, "Embedded Pilot Tracking Tone Generation for Digital VCRs", IEEE. Trans. Consu. vol 42, no 3, Aug 1996
- [9] 이선태, "Digital VTR의 기록기술 및 동향", Telecom. vol 10, no 2, Dec 1994
- [10] 고재형, "Digital VCR용 Channel Coder의 설계", 경희대학교 대학원 석사논문, 1997