

CPSO를 이용한 비동기 GPS 위성 수신기의 데이터 추출회로 개발

김성곤, 정복교, 이창호, 정명덕, 변진식
동아대학교 전자공학과

Development of Data recovery circuit of noncoherent GPS receiver using CPSO

Sung Gon Kim, Bok Kyo Jeong, Chang Ho Lee, Myeong Deok Jeong, Kun Sik Byon
Dept. of Electronics Dong-a University
ksbyon@seunghak.donga.ac.kr

Abstract

A synchronization is very important element not only wire communication but also wireless communication. A synchronous oscillator(SO) is a network which synchronizes, tracks, filter, amplifies and divides (if necessary) in a single process. The coherent phase synchronous oscillator(CPSO) is created by adding two external loops to the SO. The CPSO retains all virtues of a SO while providing coherency throughout the tracking range.

This paper has applied a clock recovery of GPS signal using CPSO.

I. 서론

현대 사회에 있어서 인간의 활동 범위가 넓어지고, 급속한 경제 발달에 따라 항공기, 선박 및 사람을 포함한 지상 이동체의 범위가 광역화, 다양화되고 있으므로 이동중에 있는 사람을 대상으로 신속한 정보의 전달 및 위치 확인 등과 같은 통신 서비스가 요구되고 있다.

따라서 GPS(Global Positioning System)와 같은 항법 지원 시스템을 이용하면 전세계 어디에서나 전천후, 24시간 측위가 가능해진다.

본 논문에서는 CPSO(Coherent Phase Synchronous Oscillator)를 이용해서 동기클럭을 추출해 GPS의 C/A code를 역확산 시키는 방법을 사용하였다. 이를 위해 GPS 모의 송신기를 만들었으며 이를 기준으로해서 C/A code 동기를 위한 CPSO 구성하였다. CPSO에 의하여

역확산된 신호는 다시 주파수 변환부에서 PLL이 동작할 수 있는 충분한 주파수 영역으로 변환되어지며 이 신호는 PLL부에 인가되어 데이터가 추출된다.

II. DS/SS 통신의 동기 방식

동기(synchronization)는 유선 통신과 무선 통신 분야 모두에 꼭 필요한 요소로서, GPS에서 사용하고 있는 데역확산 통신방식에서는 부호 동기와 반송파 동기를 하여야 한다. 부호동기방식에는 DLL과 TDL이 널리 사용되고 있으며, 두 회로의 차이점은 DLL이 Early 신호와 Late 신호에 대한 상관기름 따로 구현했다는 것이고, TDL은 하나의 가지(branch)만을 사용한 것이다. DLL은 회로가 복잡하고 Early branch, Late branch 사이의 회로의 균형을 일치해야하는 단점이 있는 반면 TDL은 회로가 간단한 장점이 있지만 DLL에 비해 최대 3dB의 변환손실이 있다는 단점이 있다.

본 논문에서는 회로가 간단하며 추적범위가 넓고 동기가 용이한 CPSO를 이용하여 GPS의 부호동기 시스템을 구현하고자 한다.

1. SO의 구성 및 동작 원리

그림 2.1은 기본적인 동기발전기의 구성도를 나타내며 탭크회로, Q_2 , C_1 , G_B 에 의해 C급 증폭기로 바이어스된 컬피츠 발전기가 되며 Q_2 의 좁은 트리거 펄스동안 Q_2 가 도통하며, 이 동안만 Q_1 도 도통하여 전압을 유지시킨다. 그리고 V_{CS} , C_1 , G , Q_1 으로 똑같은 부의 클램프 회로가 구성된다.

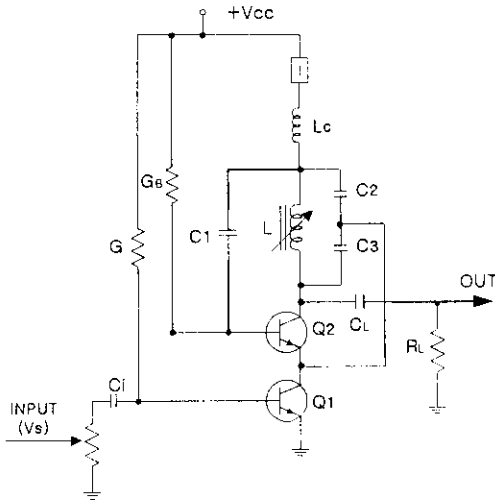


Fig. 2.1 Circuit of synchronous oscillator(SO)

전체적으로 회로동작을 요약하면 입력신호가 없을 때 탱크회로의 발진 파형중 0.7V 이상 일때만 Q_2 와 Q_1 은 트리거하여 발진하며, 이때 입력 V_s 가 인가되면 Q_1 의 베이스도 부의 클램프 회로가 되어 V_s 중 극히 적은 부분만이 Q_1 을 트리거시킨다. 이때 Q_1 의 베이스 바이어스는 Q_2 의 베이스 바이어스보다 높게하면 회로는 입력에 추종하여 출력을 만든다.

따라서 발진파형의 트리거동안 그 근처에 입력신호가 인가되면 발진기 ($f_0 \pm \Delta f$)는 입력신호를 추종하게되며 추적범위를 넘어서면 원래의 자주발진을 한다. 입력신호가 발진 주파수의 2배가 되면 입력 두번 트리거에 발진 주파수 한번 트리거하므로 출력은 원래의 발진 주파수가 된다. 또한 입력이 발진주파수의 절반이 되면 출력은 원래의 발진 주파수 그대로이므로 주파수 체배기가 된다.

2. CPSO의 구성 및 동작 원리

CPSO의 구성도는 그림 2.2에 나타내었다. CPSO는 SO의 모든 장점을 가질뿐만아니라 동기영역에서 zero phase를 유지한다.

그림 2.2에서 feedforward 루프는 하이브리드 분배기에서 위상 검출기 입력단에 신호를 인가하고, feedback loop는 출력측 하이브리드에서는 90° 위상전이기를 통하여 또 다른 위상 검출기 입력단에 신호를 인가하게 된다. 위상 검출기 입력단은 입력 주파수와 발진기에서 동기된 출력 주파수 사이의 위상차이를 검출하여 적분기에 입력 된다. 적분기 출력은 발진기 트랜지스터 Q_1 의 베이스에 위상차에 따른 바이어스 전압을 공급하게 된다.

다. ΔR_x 를 조절하여 이 바이어스 전압을 조절하면 전채 동조범위내에서 입력주파수와 CPSO 출력주파수의 위상동기가 이루어진다.

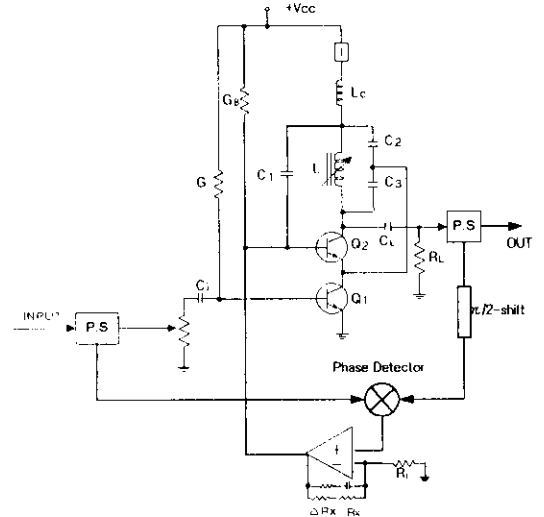


Fig. 2.2 Circuit of CPSO

그림 2.3은 CPSO의 이득-위상곡선을 나타내었으며 SO와는 달리 동조영역 내에서 위상 차이가 없음을 알 수 있다.

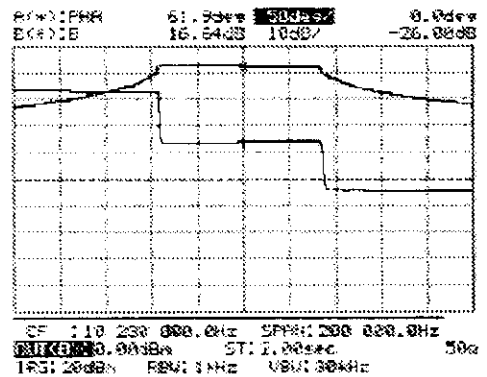


Fig. 2.3 Gain-Phase curve of CPSO

III. GPS 모의 송신부

그림 3.1은 실험을 하기 위해서 만든 모의 송신부의 블록 다이어그램이다. C/A code 발생기는 발진기 주파수를 10분주(1.023MHz)한 클럭에 의해 ROM에 저장된 gold 부호를 발생하도록 하였으며, 데이터는 C/A code 발생부로부터 1kHz의 클럭을 추출하여 20분주(50Hz)한 클럭에 의해 발생하도록 만들었다. 이 두신호는 EX-OR되

어 "C/A code ⊗ Data" 형식으로 변조되며 UBC 통하여 Bipola신호가 되어서 10.23MHz의 반송파신호와 함께 혼합기(Mixer)에 인가 된다.

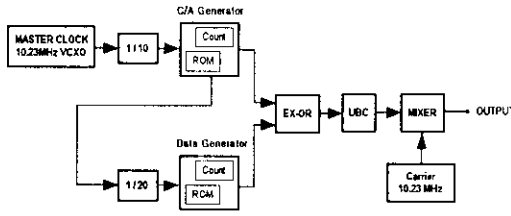


Fig. 3.1 Block diagram of GPS Simulator

IV. 수신부의 구성과 복조

1. CPSO를 이용한 Code Tracking 부

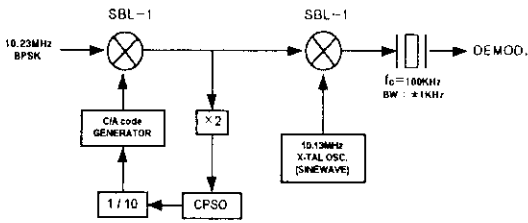


Fig. 4.1 Block diagram of code tracking loop

그림 4.1은 CPSO를 이용한 상관부의 블록 다이어그램이다. 송신부에서 들어온 10.23MHz의 BPSK 신호를 깨끗한 정현파로 만들기 위해서 2채배(20.46MHz)하고 이 신호를 CPSO에 입력시켜서 CPSO의 분주 특성을 이용하여 1/2분주에 동기된 정현파(10.23MHz) 출력을 얻는다. 이 출력 신호는 다시 10분주(1.023MHz)되어 C/A code 발생기의 동기클럭을 만든다. 이 클럭에 의해서 발생되어진 C/A code는 송신부에서 들어온 신호와 상관되어 지게되며, 상관기를 통과한 신호는 Local 신호 10.13MHz 정현파와 믹서되어 차 주파수인 100kHz가 출력된다. 주파수를 낮춘 이유는 데이터 복조부의 신호처리를 용이하게 하기 위해서이다.

2. 데이터 복조부

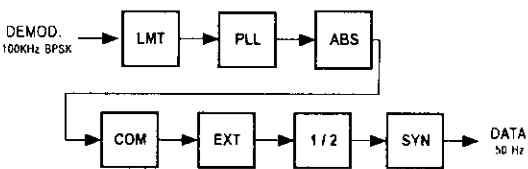


Fig. 4.2 Demodulator의 Block Diagram

그림 4.2는 데이터 복조부의 블록 다이어그램이다. C/A코드가 역확산되어 제거된 후 50bps의 데이터는 100kHz의 BPSK 변조 파형으로 존재한다.

이 변조 파형에서 데이터를 복조하기 위하여 먼저 100kHz 반송파를 hard limit 한다. 이 과정에서 페이딩 등과 같은 공간 현상에 의한 임의의 진폭 변동은 제거되며, 진폭이 제한된 IF신호는 PLL(CD14046)로 인가된다. 수신신호에 동기되면 PLL 출력에서 위상이 천이되는 시점에서 임펄스를 발생한다. 이것은 PLL이 위상이 급격하게 변동하는 시점에서 입력신호에 추종하기 위한 상태인 과도상태점을 의미하며 BPSK 변조 파형의 속성상 이점이 데이터가 바뀌는 시점임을 의미한다. 따라서 데이터 비트당 2개의 위상천이점이 존재한다. 임펄스들은 정과 부의 임의의 극성을 가지므로 모든 임펄스들이 정의 극성을 갖게 하기 위하여 전과정류기를 사용하였다. 정류 후 증폭기로 임펄스의 진폭을 증폭하고, 임펄스를 TTL레벨로 바꾸며 펄스확장기로 펄스폭을 늘려 잡음의 영향을 줄였다. 이후 2분주하여 동기 클럭 신호와 동기를 맞추면 GPS 신호가 추출된다.

V. 실험 및 결과

그림 5.1은 송신부의 출력 스펙트럼이다. 반송파 주파수 10.23MHz를 중심으로하여 C/A 코드에 의하여 스펙트럼 확산되었으므로, C/A 코드가 가지고 있는 클럭의 2배 주파수인 2.046MHz 대역에 걸쳐 분포되어 있음을 알 수 있다.

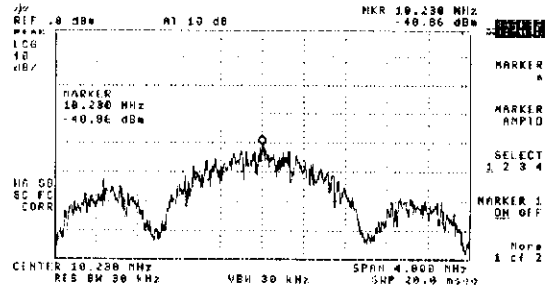


Fig. 5.1 Output spectrum (10.23MHz) of Transmitter

그림 5.2는 수신부로 들어온 신호가 2채배(20.46MHz)되어서 CPSO에 입력되어 출력된 10.23MHz 파형이며 위상동기가 정확히 일치함을 볼 수가 있다. 그리고 CPSO의 분주특성을 확인할 수 있다.

그림 5.3은 CPSO를 통과해서 10 분주된 1.023MHz 동기 신호와 이를 클럭으로하여 발생하는 수신부 C/A code이다.

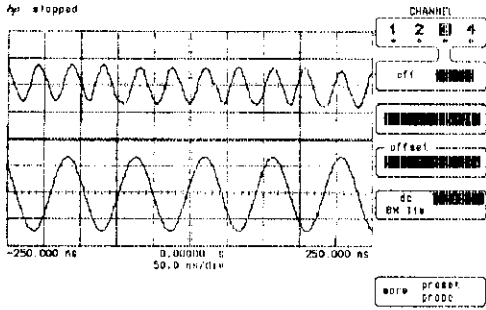


Fig. 5.2 Input signal (20.46MHz) and Synchronous output signal (10.23MHz) of CPSO

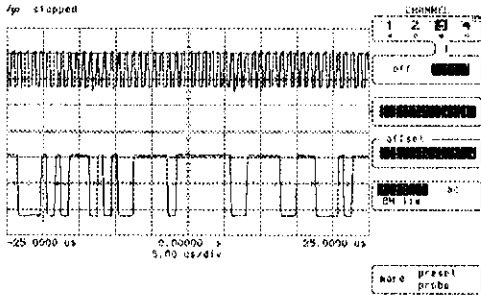


Fig. 5.3 CPSO output(1.023MHz) and C/A code in Receiver

그림 5.4는 수신부의 상관기에 의하여 C/A 부호가 제거되고, 100KHz 대역으로 천이되어 BPF를 통과한 100KHz의 스펙트럼을 보였다.

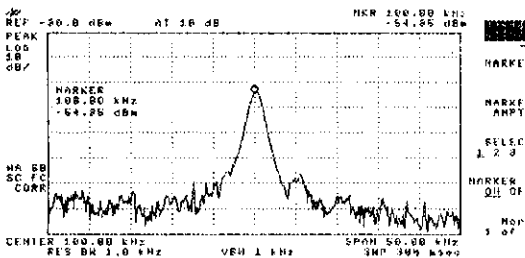


Fig. 5.4 Output spectrum (100MHz) of Correlator

그림 5.5는 복조기 입력신호와 최종 복조된 데이터이다. 그림 5.5에서 알 수 있듯이 50Hz BPSK 파형의 천이점에서 데이터가 나오고 있음을 알 수 있다.

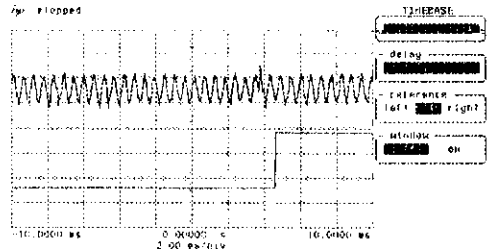


Fig. 5.5 Demodulator Input Signal (100MHz) and Output data (50Hz)

VI. 결론

본 논문에서는 대역확산통신에서의 부호동기방식인 DLL, TDL을 대체할 수 있는 CPSO를 GPS에 적용하여 부호 동기를 실험 하였다.

CPSO는 SO가 가지는 입력 신호 레벨에 따르는 동기 획득, 대역통과필터와 같은 필터링 적응 특성, 동기 대역 내에서의 일정하게 출력하는 증폭 특성등의 모든 장점을 가지고 있다. 특히 CPSO는 동조 영역 내에서 위상차가 zero phase이므로 입력 위상에 추종하는 동기 발진기를 구성할 수 있었다. 따라서 일정한 전자 진파 공간상에서 S/N비를 개선할 수 있고 위성 통신에서 야기될 수 있는 도플러 현상으로 인한 시간에 따른 위상 및 주파수 변화에 적응하여 동기할 수 있음을 실험을 통하여 알 수 있었다.

참고 문헌

1. V. Uzunoglu, "Division by non-integer numbers using synchronous oscillators", U.S. Pat. 4,356,456, Oct. 26, 1982.
2. V. Uzunoglu, "Carrier recovery networks for QPSK modems employing synchronous oscillators", U.S. Pat. 4,355,404, Oct.19, 1982.
3. V. Uzunoglu, "Synchronous and the coherent phase-locked synchronous oscillator: New technique in synchronization and tracking", IEEE Trans. Circuit Syst., pp. 997~1004, July 1989.
4. M. Tam, "A theoretical analysis and design of a coherent phase synchronous oscillator", M.S. thesis, Lehigh Univ., Bethlehem, PA,1989.
5. M. Tam, M. H. White, and Z. Ma, "Theoretical Analysis of a coherent phase synchronous oscillator", IEEE Trans. Circuits Syst., vol. CS-39, NO. 1, pp. 11~18, Jan. 1992.