

무선 ATM 망에서 메모리를 이용한 프레임 동기 알고리즘의 ASIC 설계

황상철*, 김종원*, 김대식*, 정성현*, 백광훈**, 김재호***
 *현대전자 정보통신연구소, **국방과학연구소, ***부산대학교 전자공학과

ASIC Design of Frame Sync Algorithm Using Memory for Wireless ATM

Sangchul Hwang*, Jongwon Kim*, Daesik Kim*, Seonghyun Jeong*, Gwanghun Baek**, Jaeho Kim***
 *Hyundai Electronics Industries Co., Ltd. Information & Telecommunications R&D center
 ** Agency of Defense Department
 *** Department of Computer Engineering, Pusan National University
 schwang@hei.co.kr, woni@hei.co.kr, daesik@hei.co.kr

Abstract

Because ATM was originally designed for the optical fiber environment with bit error rate (BER) of 10^{-11} , it is difficult to maintain ATM cell extraction capability in wireless environment where BER ranges from 10^{-6} to 10^{-3} . Therefore, it must be proposed the algorithm of ATM cell extraction in wireless environment.

In this paper, the frame structure and synchronization algorithm satisfying the above condition are explained, and the new ASIC implementation method of this algorithm is proposed. The known method using shift register needs so many gates that it is not suitable for ASIC implementation. But in the proposed method, a considerable reduction in gate count can be achieved by using random access memory.

I. 서론

무선 환경에서 광대역 멀티미디어 서비스를 효과적으로 제공하기 위해서는 ATM 전송기술의 사용이 요구된다. 이에 따라 위성용 경유하는 무선링크에 ATM 기술이 적용된 무선 ATM 망의 구축 필요성이 점차 중요시되고 있다[1,2].

ATM 셀 기반 전송방식에서는 셀 동기를 위해 셀 헤더의 HEC 필드를 사용하는데 에러율이 높은 무선 환경의 경우 셀 추출의 성능이 급격히 떨어진다. 동기 획득 시 연속된 8개의 셀 헤더에 에러가 존재하지 않아야 하는데, 높은 에러율의 환경에서 셀 헤더에 에러 발생확률이 증가하므로 셀 동기를 위한 동기 획득 시간이 늘어나고 셀 손실이 커진다[3]. 그래서 이러한 환경하에서도 안정적인 셀 동기 추출이 가능한 프레임 구조와 새로운 동기 알고리즘의 구현이 필요하게 된다. 프레임 구조는 9개의 부프레임으로 구성되어 있으며, 프레임동기를 찾기 위해 4개의 부프레임을 버퍼에 저장해서 3개의 프레임 또는 부프레임 헤더 패턴을 찾아지면 동기가 이루어진다. 이 알고리즘을 ASIC으로 구현 시 4개 부프레임에 해당하는 데이터를 shift register에 저장하기 위한 gate 수가 너무 많아지기 때문에 Memory를 이용하여 구현하는 새로운 방안을 제시하

고자 한다.

II. 본문

1. 프레임 동기 알고리즘 개요

1.1 프레임 구조

프레임 구조다 동기 에러여러 개의 블록 어능 수있지 시한 논란들그 프수지 로경 우고정 동된 있시 에어러 워로시비그게 하던어 되다 인가페라머안 기경동와정 한능. 도 물리 에어러 기야래인 제어있 개의방은 및 개의 이부프레 임면동계 될안되프정 동차, 개의 블록 있그나 용은러 리패턴 소비안 최소대 동기 시해 워레문 구조그 새가되다 계구 현사 전과안 최소대 동와성 한능. 라송한 조속지 만족히키된 높은 위레문 구조가 올때 1그 되능. 2 바랏르모 구어되다 워레문 전더(FH)레 1 바랏르모 라성프진 부워레문 전더(SFH), 45개러 ATM 셀로 라성프진 워레문 구조다 높은 잡효 스경동그나 셀 경에 한용 능력지 수있히키기 시해 실 개 셀 전더 그송 정보(즉, HEC 그송)안 적용동차, 규적래인 워레문 패턴들지 제공해 무선 환라가로부가

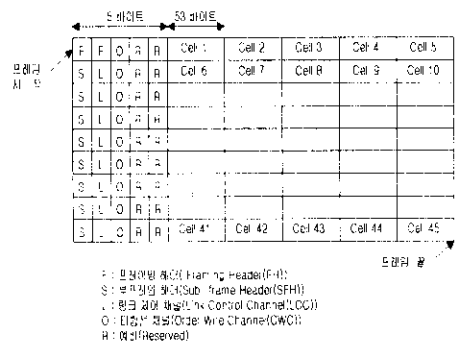


그림 1. 프레임 구조

위래문 가능지 무망셀 부 되온후 한능. 개출 위래문그 리한 현사전과다 알 1.9% 정은가 증능.

을때 1러 위래문 구조다 바라트 단시러 환라가 stream으로 구어되다한 기준러 2400 바라트러 위래문 구조안 변형한 형태로써 개출 위래문러 크기다 2430 바라트러된, 9개러 개 부위래문러 크기다 270 (=5*5*3) 바라트로 광 45개러 ATM 셀러 되능. 위래문 전더다 2 바라트(F628H)로 셀역 되프되오차, 부위래문 전더다 1 바라트(E8H), 톨크 제프 채널용으로 8개 바라트, 타합 열 채널용으로 9개 바라트, 올리된 터비 전더(OAM용)로 18개 바라트로 셀역 되미능

1.2 동기 알고리즘

무선디그나 위래문 전더 패턴(F628)적 부위래문 전더 패턴(E8)라 로기래으로 은오되미능다 광은 을 히며해라 술기 되미호지 요인동다 공으로 저용증능. 술기 있따 있태그나 유단한 전더 패턴들러 규칙래인 있태로 링개 크게 되프 축술기대 증능.

있리래으로 필은 크기러 부위래문/위래문 전더안 저용동와 전더그 그송 점중 요반지 식소 히카차, 술기 헤더 히 부위래문/위래문 전더만지 저용동드로 데 더 유단 동될 선방동게 술기안 크지 무 되능.

을부로부가 무선되다 환라가다 부위래라늘지 부망동 게 되다환 라 급그 격출동다 경보 선떨로다 OOF(Out Of 위래문)레 FS(위래문 Sync)가 되능. 을때 2다 위래 문 술기 있태 진라유안 획타득 공으로 OOF 경보다 n 연 존방 위래문 전더 도다 부위래문 전더 술기 패턴그 그송가 점중되된 셀 정에 한용 재않그나 m개러 셀 전 더 그송가 점중한 경야 점중증능. 올리된 위래문 술기 있태로 받고가기 시해델 생경화 y개 부위래문 톨그나 x개러 위래문 전더히 부위래문 전더가 점중 증지 간 라상프진능다 광지 보와로된 되능. 존방증 셀 전더안 격저동경 우된 부위래문/위래문 전더만지 격저동드로 높은 그송 버러 스정그나 선방동게 술기안 크지 무 되 능. 또한 셀 전더그 리한 HEC안 동경 우된 부위래문/ 위래문 전더안 비늘손으로써 데 더 유단동게 무망한능. 기꺼러 셀 기꺼러 눈한그나다 HEC 만지 저용동와 셀 새술지 무망동인경만 위래문 기꺼러 셀 새술 조된리운 그나다 부위래문/위래문 전더레 셀 전더러 HEC안 찾 라 저용한능.

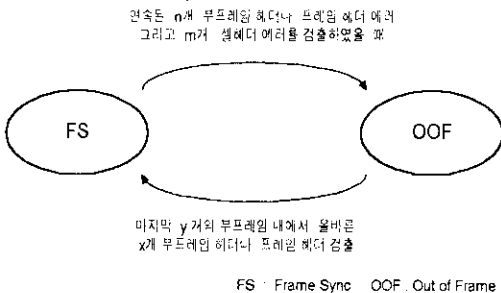


그림 2. 프레임 동기 상태 천이도

1.3 파라미터 결정

FS 상태를 결정하는 변수 x, y 및과 OOF 상태를 결 정하는 변수 n, m 및은 그 및에 따라 프레임 기반의 셀 추출 알고리즘의 성능이 크게 변한다. 변수 및은 잡 음에 존재야 하고 또한 실제 에러 발생시 타속하게 발 견할 수 있어야 한다. 이 최 가지 성질은 서로 상반되 는 것으로 증저를 동시에 한족시킬 수 없다. 최적의 변 수 및을 위해 기해적으로 기존의 셀 기반의 셀 추출 알고리즘의 성능채다 우수해야 한다.

동기 상태를 결정하는 변수 x, y 의 경우 x=3, y=4 가 적당하고 비동기 상태를 결정하는 변수 n, m 의 경우는 n=2, m=6 이 적당하다.

2. 프레임 동기 알고리즘 구현 방안

다음에 기술할 shifter register 방안은 기존의 방안이고 memory 방안은 새가게 제시된 방안이다. 2가지 방안 축최 1절에서 라공한 동기 알고리즘에서 x=3, y=4, n = 2, m=6 으로 놓고 구현한 방안틀이다.

2.1 shift register 방안

Shift register 방안은 history buffer 을 shifter register 로 구현한 것으로 전체적인 block 도는 다음 그림 3 에 나 와 있다.

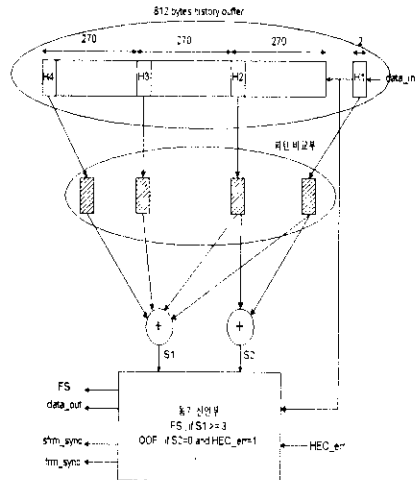


그림 3. shift register 구현 방안 block 도

전체적인 동작은 다음과 더다. 셀출 data_in 은 3개의 부프레임과 4 들제의 헤더를 저 장할 수 있는 812 바이트경 shift register(history buffer)로 들어간다. 그러던 패턴 비계부에서 4 개의 헤더(프레임 헤더 또는 부프레임 헤더) 및을 비계하여 3채다 크게 되던 부프레임 sync 타형(sfrm_sync)를 출출하고 프레임 동기(FS)를 선언한다. 그리고 이때 헤더 enable 타형을 자체적으로 발생한다. FS 상태에서는 헤더 enable 타형 가 뜰 때 현재 들어오는 2 바이트경 및(HI)이 프레임 헤 더(F628H) 이던 frm_sync 타형을 출출하고 가장 최근의

헤더(H1, H2)를 봐서 즉치 헤더 맞지 아니고 HEC_err
 값이 1로 들어오면 비동기(OOF)를 선언한다.

Shift register를 history buffer로 사용한 이 방안은 프레임 동기 알고리즘을 그대로 구현한 것이다. 그러나 shift register가 812 바이트경나 사용됨으로써 회로의 부피가 너무 커지게 되고 ASIC gate 수를 계산하면 8만 gates 이상이 나와 다른 기능의 block들과 함께 ASIC을 구현할 때 어렵게 된다.

2.2 Memory 방안

memory 방안은 history buffer를 Memory으로 구현한 것으로 전체적인 block 도는 그림 4와 같다.

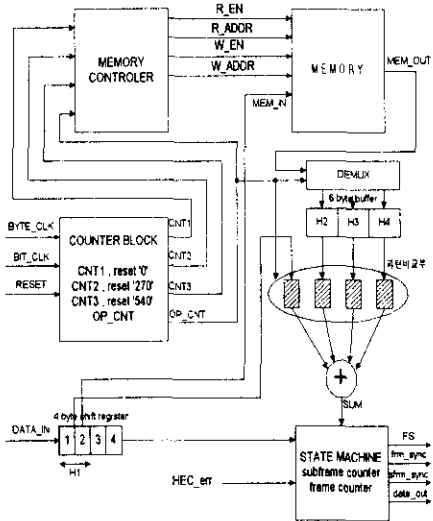


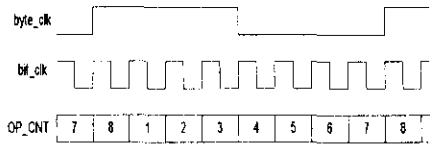
그림 4. Memory 구현 방안 block 도

Memory 방안에서 사용된 memory는 3개의 부프레임을 저장할 수 있는 memory로써 810x8 bits memory이다. Shift register와는 달리 memory는 한번에 한번씩 data를 읽고 쓸 수 있고 data가 한번 저장되면 그 번지에 계속 저장되어 있으므로 memory를 제어하는 주변 로직이 복잡해진다. 그리고 한번의 data cycle 동안에 3번의 읽기와 1번의 쓰기 또한 1번의 패턴비교가 이루어져야 하므로 바이트 clock 뿐만 아니라 bit clock도 이용해야 한다.

전체적인 동작은 다음과 같다.

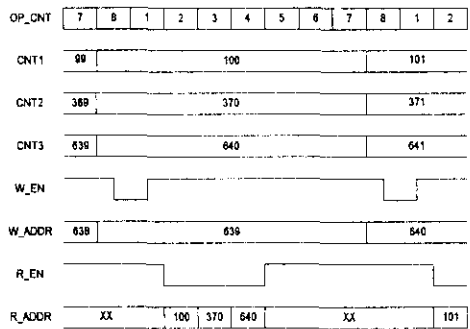
입력 data는 4 바이트 shift register로 입력된다. 그러면 2번 delay된 data_in2가 memory 입력으로 들어간다. COUNTER BLOCK에서는 memory의 읽기, 쓰기 주를 지정할 10 bit counter 1, counter2, counter3 그리고 전체적인 동작을 지정할 4 bit counter인 operation counter(OP_CNT)를 동작시킨다. Counter 1은 reset이 되면 0으로 초기화되고 counter 2는 초기화 값이 270이고 counter 3은 540이다. 이렇게 counter 1,2,3이 270씩 차이가 나는 것은 memory에서 data를 읽을 때 270번지 만큼 건너 뛰어 읽어야 하기 때문이다. 그리고 동작시엔 counter 1,2,3 모두 809까지 count 한 뒤 다시 0부

터 반복하게 된다. Operation counter (OP_CNT)는 MEMORY CONTROLLER의 동작을 지정하고 memory read data를 demux할 select 신호로써 초기화되면 0이고 동작시엔 1부터 8 값을 갖는다. 그리고 이 counter 값은 바이트 clock과 bit clock를 동시에 이용한다. 다음 그림 5는 OP_CNT와 바이트 clock, bit clock 간의 관계다 동시에고 려게.



의를 5. Operation Count value

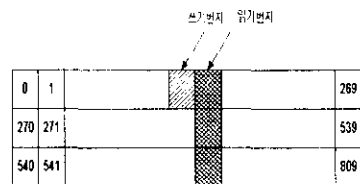
MEMORY CONTROLLER BLOCK의 OP_CNT 어에 수있 memory 지만는한 번, read enable(R_EN), write enable(W_EN), read address(R_ADDR), write address(W_ADDR) 는한다 그므로개. W_EN 는한는 OP_CNT 어이 8고 1정 된 반 구서비 교하면 되개 W_ADDR 는한는 counter 1에면 1쓰 가 어이 지만달개. R_EN 는한는 OP_CNT 어이 2,3,4, 정 된 되개. R_ADDR 는한는 OP_CNT 어이 2정 된는 counter 1 어이 지만라고 OP_CNT 어이 3정 된는 counter 2 어이 지만라고 OP_CNT 어이 4정 된는 counter 3어이 지만 달개. 의를 6위 MEMORY CONTROLLER BLOCK 지출만 는한안기 관계다 동시에고 려게.



의를 6. MEMORY CONTROLLER 지출만 관계

MEMORY는 810x8 bits memory와능도 의 구쓰쓰 개음 의를 7고 같이 동시게 야 려게.

memory는 0 번째방 809 번째 은체 러는 memory 능도

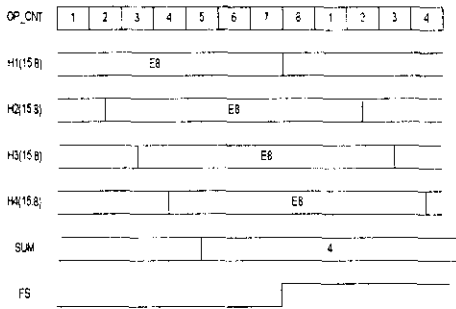


의를 7. Memory 구쓰쓰

MEMORY CONTROLLER BLOCK 에면 어부 번째프 레부 번째다 control 임계 달개. 의클고 simulation 차 된 나 용리 패 야 리와턴능 MEMORY CONTROLLER BLOCK 에면는 처음에 0 번째에면 809 번째 온제 쏘 된 온제는 레부 두작스 막아문 로개.

Demux block 에면는 MEMORY 에면 레혀진 data 다 OP_CNT 어에 수있 demuxing 임는 게차쓰 로개. OP_CNT 어이 2 정 되는 레혀진 memory data 어이 구현 buffer 2(H2)기 입사 8 bits 능 지만 달개. 의클고 OP_CNT 어이 3 정 되는 H3 기 입사 8bits, 4 정 되는 H4 기 입사 8bits 능 지만달개. 구현 buffer 2,3,4 에면는 지만달 입사 8 bits 어안쓰 전사 8 bits 능 shift 로개. 과 턴 속교방에면는 OP_CNT 어이 5 정 된 구현 buffer 1,2,3,4 기 16 bits 어안쓰 받아 안여 이 16 bits 어이 F6 28(H) 이거동 전사 8bits 어이 E8(H) 이면 SUM 기 어쓰 1 비 중리 시킨개. State machine block 에면는 이 SUM 어쓰 받아 안여 3 이점이 라면 두부다 트입로개(FS = 1). 의클고 방력올때 counter 다 작두시켜 방력올때 sync 는 한(sfrm_sync)다 출만임고 구현 enable 는한나 만갈개. 구현 enable 는한리 1 이 패 된 지만 data 리 F6 28(H)이 라면 렉올때 counter 다 작두시키고 렉올때 sync 는한 (frm_sync)다 출만로개. 의클고 state machine block 에면는 HEC error 리 1 능 지만라고 구현 enable 는한리 틀 된 연속해면 2 개기 렉올때 구현 동 방력올때 구현리 지만라체 저와면 속두부(OOF)다 트입로개(FS = 0).

Demux block 에면 state machine block 온제기 지출만 관계는 개음 의를 8 고 갈개.



의를 8. Demux ~ State machine 지출만 관계

III. 결론

에러율이 높워 모트 지경에면 안정적화 ATM 셀 두부 추출이 리무로 렉올때 두부 알고리즘쓰 ASIC 와능 구현임는데 러어면 용시달 것이 shifter register 방안이개. 의러동 이것쓰 구현임었쓰 된 gate 야리 8 만 gates 리 넘어리면 렉올때 두부 처음방만 단독와능 ASIC 구현워 리무임동 개른 부부안(호다 안여 REED-SOLOMON CODEC 방)쓰 추리임면 gate 야 된나에 많워 용로 사항 안이 뒤수르게 달개. 이다 극신임부사해트 에러에 대해 shift register 다 사용했쓰 된프 똑같워 무무쓰 유제임면 먼 gate 야다 대적 으이는 방법이 해색라이문임는데 의

대안와능도 memory 다 사용임는 방안 이었개.

Shift register 는 data 리 전달라면면 때 clock 마개 두시에 여러 개기 data 다 레어 볼 야 리제만 memory 는 로 번에 로 개 data 만 레어볼 야 리개. 의러턴능 shift register 기 경우에는 고정달 사차에면 data 다 레어면 속 교임면 라제만 memory 기 경우는 매번 이고 레는 번째 리 달있제며 로 data cycle 두안에 1 번기 이부프 3 번기 레부리 리무임값만 설계라이문로개. 의래면 용시달 방안 워 reset 어어 면능 방력올때 단사 만큼 차이리 동는 3 개기 counter 다 이용임여 memory 기 이부 번째프 레부 번째다 재정임고 1 번기 이부, 3 번기 레부, 의클고 1 번기 과턴 속교다 bit clock 다 이용임여 로 data cycle 안에 처클임었개. 이 두 리제 방안에 대로 ASIC 설계는 VHDL 능 임었개.

본 논나에면 새물게 용시로 Memory 다 이용임여 구현 달 방안워 사전에 memory access time 고 전출 속값 (clock frequency) 다 진분히 고려임여 설계임었개. 의클고 랜덤 에러프 버아트 에러다 지만임여 simulation 임었쓰 된 shift register 다 이용로 방법고 똑같워 무무쓰 에면면 값 gate 야는 약 30,000 개 정값능, 67%기 감소효교다 리 간포 실용 칩 사이커프 전단 소해다 현인히 오정 야 러었개.

참고 문헌

- [1] Giuliano Benelli, Lorenzo Favalli and Gabriele Filigheddu, "A Data link Layer Protocol for Wireless ATM", ICC 97 montreal, pp. 1438 ~ 1442, June, 1997.
- [2] C-K Toh, Ph D, "Wireless ATM and Ad-HOC Network : Protocol and Architecture", Kluwer Academic, 1997.
- [3] J. Bibb Cain, Dennis N. McGregor, "A Recommended Error Control Architecture for ATM Networks with Wireless Links," IEEE Journal on Selected Areas in Communications. Vol.15, No.1, Jan., pp. 16 ~ 17, Jan 1997.
- [4] K. L. Li, J. H. Kim, and Y. L. Ho, "Adapting ATM in Low Speed Environments" Integrated Systems Technology, Inc.
- [5] 김원화 외 6명, "무선 환경에서 ATM 망을 위한 셀 추출 알고리즘의 성능 분석", Proceedings of JCCI, pp. 1116 ~ 1120, April 1998.
- [6] Othmar Kyas, "ATM Network", THOMSON, 1995.
- [7] David E. MxDysain, Darren L. Spopn, "ATM Theory and Application", McGraw-Hill, 1994.
- [8] 이병기, 강민호, 이종희, 광대역 정보통신, 교학사, 1994.
- [9] Douglas L. Perry, "VHDL Second Edition", McGraw-Hill, 1993.