

이원부호 위상 오프셋를 이용한 새로운 방식의 동기 획득 시스템 구현

김 동 회 , 한 영 열
한양대학교 전자통신공학과
서울특별시 성동구 행당동 17

A New Efficient Acquisition Method and Its Implementation using the Phase Offset of Binary Code

Dong-Hoi Kim and Young-yearl Han

Dept. of Elec. Comm. Eng, Hanyang University, Seoul, 133-791 Korea

Abstract

This paper introduces a new efficient method of synchronization acquisition which is the most important element in DS-CDMA system using the phase offset of binary code. This approach uses the binary code function which can easily estimate the phase offset from the received spreading waveforms which respect to the receiver-stored replica of the spreading code. This paper proposes the initial acquisition model with repeat error control device that is good for performance. The hardware is implemented by TMS320c30

1. 서론

본 논문에서는 이원부호 인덱스의 규정과 가중치 부과에 따른 위상 오프셋(Phase Offset)의 관계를 이용하여 DS-CDMA 에서 가장 중요한 구성요소중의 하나인 동기획득(acquisition)에 관한 새로운 방식을 소개하였다. 본 방식은 수신기 내의 확산 부호와 수신된 확산 부호 사이의 위상차를 쉽게 알 수 있는 이원부호를 사용하면서도 성능이 우수한 초기동기 모델을 제안하였고 본 제안에 따른 Hardware 를 범용 DSP processor 인 TMS320c30 를 이용하여 구현하였다.

2. 이원 부호의 성질

먼저 n 쌍 (n -tuple)의 부호 C 와 순회 연산자 T 를 다음과 같이 정의한다. 그리고 $i \equiv j \pmod{n}$ 이면, $T^i C = T^j C$ 의 관계가 성립한다.

$$\begin{aligned} C &= (C_0, C_1, \dots, C_{n-2}, C_{n-1}) \\ TC &= (C_{n-1}, C_0, \dots, C_{n-3}, C_{n-2}) \\ &\vdots \\ T^i C &= (C_{n-i}, C_{n-i+1}, \dots, C_{n-i-2}, C_{n-i-1}) \\ &\vdots \end{aligned} \tag{1}$$

$$T^{n-1} C = (C_1, C_2, \dots, C_{n-1}, C_0)$$

여기서 i, j 는 정수이다. 또한, $T^0 C = C$ 라고 정의한다.

부호 $T^j C$ 는 다음과 같은 다항식으로 표시된다.

$$C(x) = C_{n-j} + C_{n-j+1}x + \dots + C_{n-j-1}x^{n-1} \tag{2}$$

가중치가 l 인 누산함수를 다음과 같이 정의한다.

$$A^l(T^j C) = \left. \frac{d}{dx} x^l C(x) \right|_{x=1} \tag{3}$$

여기서 l 은 임의의 정수이다. 부호 $T^j C$ 가 $A^l(T^j C) \equiv 0 \pmod{n}$ 의 조건을 만족한다면, 이 부호를 가중치가 l 인 누산함수의 기준부호이라고 정의한다. 또한, 두 정수 l 과 s 이 $l \equiv s \pmod{n}$ 의 조건을 만족하면, $A^l(T^j C) \equiv A^s(T^j C) \pmod{n}$ 의 합동식이 성립한다. 누산함수 $A^l(T^j C)$ 는 주기 n 의 이원부호 C 의 원소가 $C_i \in \{-1, 1\}$ 이면 $A_1^l(T^j C)$ 로 표기하고, $C_i \in \{0, 1\}$ 이면 $A_0^l(T^j C)$ 로 표기한다. 아래 첨자 없이 $A^l(T^j C)$ 로 표기한 경우는 이원부호 C 의 원소가 두 가지 집합 중 어디에 속하더라도 무관한 경우를 나타낸다.

(정리 1) 정수 i, l, m 에 대하여 다음이 성립한다.

$$A^l(T^i C) \equiv A^{l+i}(C) \pmod{n} \tag{4}$$

$$A^l(T^i C) - A^s(T^i C) = (l-s)C(1) \tag{5}$$

여기서 $C(1) = \sum_{i=0}^{n-1} C_i$ 이다.

(정리 2) k 을 주기 n 의 이원부호에 포함된 '1' 또는 '0' 원소의 개수라 할 때, 정수 i, j, l 에 대하여 다음이 성립한다.

$$A_1^l(T^{i+j}C) - A_1^l(T^iC) \equiv -2jk \pmod{n} \quad (8)$$

$$A_0^l(T^{i+j}C) - A_0^l(T^iC) \equiv -jk \pmod{n} \quad (9)$$

(정리 3) k 와 \hat{k} 가 주기 n 의 이원부호 C 와 \hat{C} 내에 포함된 '1' 또는 '0'의 개수이고, $l = \{0, 1, \dots, n-1\}$ 라 할 때, $C_i \in \{-1, 1\}$ 에 대하여 $(2k, n) = 1$ 이고, $C_i \in \{0, 1\}$ 에 대하여 $(k, n) = 1$ 일 때 $k \neq \hat{k}$ 이고 cycle shift 값 s 가 n 에 상대적인 소수라면

$$a^* [A^l(T^s \hat{C}) - A^l(\hat{C})] \neq s \pmod{n} \quad (10)$$

이런 다음이 성립된다.

$$a^* \hat{C}(l) \neq 1 \pmod{n} \quad (11)$$

여기서, a^* 는 다음을 만족하는 법 n 에 대한 a 의 대수적 역원이다.

$$-2ka^* \equiv 1 \pmod{n} \text{ for } C_i \in \{-1, 1\} \quad (12)$$

$$-ka^* \equiv 1 \pmod{n} \text{ for } C_i \in \{0, 1\} \quad (13)$$

가중치가 l 인 누산함수는 (정리 1)의 식(5)에 의해서 다음과 같이 주어진다.

$$A^l(T^i C) = A^1(T^i C) + (l-1)C(l) \quad (14)$$

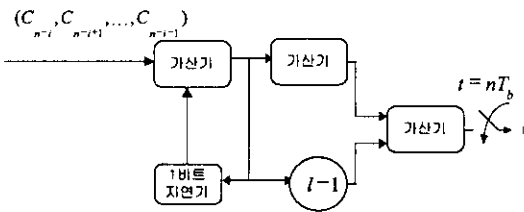


그림 1. $A^l(T^i C)$ 계산 회로

누산함수의 정의 식(3)에 의하여, 식(14)의 첫번째 항은 식(15)으로 주어지며, 그림 1의 회로를 이용하여 식(14)의 가중치가 l 인 누산함수를 계산할 수 있으며, T_b 는 부호의 한 비트 시간 간격을 나타낸다.

$$\begin{aligned} A^l(T^i C) &= \frac{d}{dx} x Q(x) \Big|_{x=1} \\ &= \frac{d}{dx} [xC_{n-1} + x^2C_{n-1} + \dots + x^{n-1}C_{n-1} + x^n C_{n-1}] \Big|_{x=1} \\ &= C_{n-1} + 2C_{n-1} + \dots + (n-1)C_{n-1} + nC_{n-1} \\ &= C_{n-1} + (C_{n-1} + C_{n-1}) \\ &\quad \vdots \\ &\quad + (C_{n-1} + C_{n-2} + \dots + C_{n-1}) \\ &\quad + (C_{n-1} + C_{n-2} + \dots + C_{n-1} + C_{n-1}) \end{aligned} \quad (15)$$

3. PN 코드 동기 획득 모델.

본 모델은 수신된 부호에서 위상차를 이용하여 동기 획득을 하도록 고안 하였다. 수신기에 들어오는 부호 열과 백색 가우시안 잡음(additive white gaussian noise)의 합으로 구성되어 있어 있는데 이 신호는 $A^l(T^i C)$ 계산 회로를 통과하고 나면 가중치가 l 인 누산함수를 계산할 수 있는데 수신한 신호로부터 그림 1의 과정을 수행하면 가중치가 l 인 누산함수를 구할 수 있다.

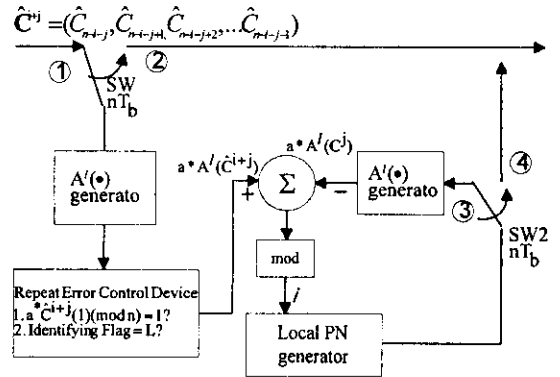


그림 2. 초기동기 모델

그림 2에서와 같이 수신되는 \hat{C}^{i+j} 의 값은 수신 도중에 채널의 영향에 의하여 오류가 발생할 수 있는데 수신된 부호열 내의 '1' 또는 '0'의 개수를 k 라고 할 때 k 의 값을 알면 오류가 존재하는지를 쉽게 판단할 수 있다. (정리 3)에서와 같이 만약 수신기에 들어오는 주기 n 의 이원부호 \hat{C} 와 송신기에서 송신한 주기 n 의 이원부호 C 사이에 $k \neq \hat{k}$ 일 때는 식(11)에 의해서 구별할 수 있다. PN 부호일 경우는 $k \neq (n-1)/2$ 로 수신된 신호에 오류가 발생한 경우이기 때문에 본 모델의 Repeat Error Control 장치에 의해 오류를 탐지하고 처음의 동기 과정으로 되돌아 가게 된다. 그러나 $k = \hat{k}$ 이면서도 $C \neq \hat{C}$ 인 경우가 존재하게 된다. PN 부호일 경우에는 $k = (n-1)/2$ 이면서도 부호열에 오류가 생긴 경우이다. 기존에는 이러한 오류가 발생할 경우에는 동기획득이 불가능했다. 그러나 본 논문에서의 Repeat Error Control 장치에서는 이러한 오류들을 고려하여 성능이 우수한 방법을 제안하였다. 그러한 경우를 자세히 살펴보자. 송신한 신호가 (1110100)에서 '1'의 값 2개(1,2 번째)와 '0'의 값 2개(4,6 번째)가 서로 교환되어

수신측에 오류가 4 개 발생했다면 이것은 (0011110)의 값으로 변화된 것으로 볼 수 있다. 즉 n 개의 부호 중에서 0 은 $k=(n-1)/2$ 개, 1 은 $n-k=(n+1)/2$ 개 이다. 변하지 않는 조건하에서 오류가 발생해야 하므로 '0'의 값과 '1'의 값이 같은 개수의 쌍을 이루어 교환되므로 항상 짝수개의 오류가 발생한다. 주기 n 의 개수에 대해 부호 내에 오류가 존재할 확률은 다음과 같다. 여기서 p 값은 부호열에서 오류가 없을 확률이고 m 은 오류가 발생할 부호 개수이다.

m = 2 인 경우

$$\binom{k}{1} \binom{n-k}{1} (1-p)^2 p^{n-2} = \binom{(n-1)}{2} \binom{(n+1)}{2} (1-p)^2 p^{n-2}$$

m = 4 인 경우

$$\binom{k}{2} \binom{n-k}{2} (1-p)^4 p^{n-4} = \binom{(n-1)}{2} \binom{(n+1)}{2} (1-p)^4 p^{n-4}$$

⋮

m = 2k 인 경우

$$\begin{aligned} & \binom{k}{\frac{n-1}{2}} \binom{n-k}{\frac{n-1}{2}} (1-p)^{2k} p^{n-2k} \\ &= \binom{(n-1)}{2} \binom{(n+1)}{2} (1-p)^{n-1} p^1 \end{aligned}$$

따라서 결과적으로 다음과 같게 된다.

$$P(E) = \sum_{i=1}^{(n-1)/2} \binom{(n-1)}{2i} \binom{(n+1)}{2i} (1-p)^{2i} p^{n-2i} \quad (16)$$

그림 3 은 식(16)에서 p 값을 $1-10^{-3}$ 으로 설정하고 모의 실험한 경우로 부호길이(n)에 따른 부호 내에 오류가 존재할 확률 P(E)의 변화를 보여주고 있다. X 축은 주기 n 의 개수이고 Y 축은 그에 따른 Error 확률이다. 본 논문에서는 수신된 부호열이 $k=\hat{k}$ 이면서도 $C \neq \hat{C}$ 인 경우에 부호 내에 오류가 존재할 확률 P(E)을 감소시키기 위해서 $k=\hat{k}$ 인 경우라도 오류가 없는 상태에서 초기동기 획득을 하기 위하여 여러 주기동안 $k=\hat{k}$ 의 경우를 연속적으로 반복하는 방법을 사용하였다. 첫 번째 주기 n 인 부호열을 받아서 $k=\hat{k}$ 의 경우 (L=1)에서 오류가 발생할 확률은 그림 3 에서 L=1 인 경우로 보여지고 있다. 첫 번째가 $k=\hat{k}$ 의 경우이면서

두 번째 연속적으로 입력되는 새로운 주기의 n-bit 의 부호열도 $k=\hat{k}$ 의 경우(L=2)라면 부호 내에 오류가 존재할 확률 P(E)은 그림 3 에서와 같이 처음의 오류확률보다는 1/2 로 감소하게 된다. 그리고 첫 번째와 두 번째 주기 n 의 부호열에서 $k=\hat{k}$ 의 경우이고 세 번째의 주기 n 의 부호열에서도 $k=\hat{k}$ 의 경우(L=3)라면 부호 내에 오류가 존재할 확률 P(E)은 그림 3 에서와 같이 처음의 오류확률보다는 $(1/2)^2$ 로 감소하게 된다 결국 $k=\hat{k}$ 의 경우가 L 번 연속적으로 반복하도록 했다면 반복 횟수가 L 로 증가할수록 오류가 발생할 확률은 한 주기의 n-bit 의 부호열에서 $k=\hat{k}$ 의 경우로 제한하여 L 이 1 로 설정한 시스템보다는 $(1/2)^L$ 만큼 감소된 오류 확률 값을 얻을 수가 있다.

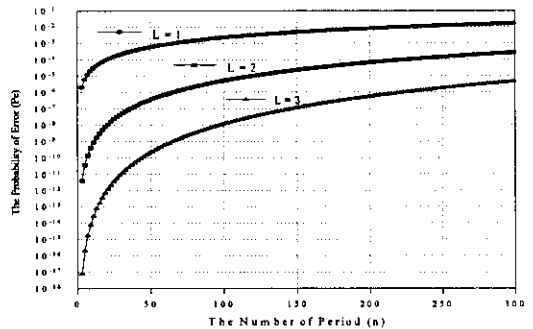


그림 3. L 값에 따른 부호길이와 오류확률

이제 본 논문에서 제안한 방식의 평균 동기획득시간을 구해보면 주기 n 인 PN 부호를 사용하고 주기적으로 전송된다고 가정하자. 수신된 부호열에서 $k=\hat{k}$ 인 확률을 P 라 한다. 여기서 T_{acq} 는 평균동기획득시간, T_f 는 $k \neq \hat{k}$ 일 경우에 소요되는 시간이고 T_p 은 $k=\hat{k}$ 일 경우에 소요되는 시간이다. 그리고 L 는 오류확률을 감소시키기 위해 반복하는 횟수이다. L 번 연속적으로 옳은 추정 이 되었다면 동기추적작업은 종료한다. 첫 번째에는 추정이 틀리고 두 번째 이후에 L 번 연속적으로 옳은 추정일 때는 동기추적작업이 종료하고 K-L 번째까지 L 번 연속적으로 옳은 추정이 발견되지 않은 경우는 계속적으로 틀린 추정으로 간주하고 동기추적작업을 계속하다가 K 번째에 L 번 연속적으로 옳은 추

정이 되었을 때 동기추적작업이 종료하게 된다. 이와 같은 방법으로 구한 평균동기획득시간은 다음과 같다.

● L 번째에 L 번 연속적인 옳은 추정이 발견될 경우

$$(L \times T_p) P^L$$

● L+1 번째에 L 번 연속적인 옳은 추정이 발견될 경우

$$(T_f + (L \times T_p))(1 - P) P^L$$

● L+2 번째에 L 번 연속적인 옳은 추정이 발견될 경우

$$(T_f + ((L + 1) \times T_p))(1 - P) P^{L+1}$$

또는

$$(2T_f + (L \times T_p))(1 - P)^2 P^L$$

⋮

CDMA 방식에서는 T_f 와 T_p 는 nT_c 가 되고 T_c 는 chip 주기가 되고 T_{acc} 는 위의 경우를 모두 더하면 된다.

4. 동기획득 시스템의 구현

그림 4 는 실제로 TMS320c30 을 이용하여 구현한 동기획득시스템의 순서도이다. 그림 2 에서와 같이 본 논문의 동기획득 시스템에서 SW1 이 ①로 연결된 상태에서 수신된 주기 n 인 PN 부호를 받아서 $A'(\hat{C}^{i+j})$ 와 $\hat{C}^{i+j}(1)$ 을 계산한 후에 $a * \hat{C}^{i+j}(1)(\text{mod } n)$ 의 결과가 1 이 아니면 $k \neq \hat{k}$ 의 경우이므로 동기획득 시스템의 초기상태로 되돌아가게 된다. 그리고 또 다른 주기 n 인 PN 부호를 다시 수신하여 $a * \hat{C}^{i+j}(1)(\text{mod } n)$ 의 결과가 1 이면 $k = \hat{k}$ 의 경우이므로 임의로 선정한 Identifying Flag 를 1 로 set 하고 다시 초기상태로 되돌아가 처음의 과정을 반복하는데 $a * \hat{C}^{i+j}(1)(\text{mod } n)$ 의 결과가 또다시 1 이면 Identifying Flag 를 2 로 set 하고 결과가 1 이 아니면 Identifying Flag 를 0 로 reset 한다. 이러한 과정을 반복하면서 설계자가 설정한 반복횟수(여기서는 L 로 설정함)를 만족하는 경우 즉 Identifying Flag 가 L 값이 되면 이러한 반복과정을 벗어나면서 SW1 이 ①에서 ②로 스위치가 바뀐다. 이러한 반복과정은 정확한 동기동기를 위해서 필수적인 과정이 되겠다.

이 과정 후에 그림 1 의 $A'(T'C)$ 계산기로부터 본래 수신단에 내장되어 있는 PN 부호 발생기에 의해서 계산된 $a * A'(C^j)$ 의 값과 수신된 주기 n 인 PN 부호에 의

해서 계산된 $a * A'(\hat{C}^{i+j})$ 을 구한 다음 두 부호열의 위상차를 구할 수 있다. 이렇게 하여 구한 위상차인 i 만큼 본래 수신단의 C^j 을 오른쪽으로 쉬프트하기 위해서 수신단의 PN 부호 발생기의 쉬프트 레지스터의 초기조건을 변환시키고 그림 2 에서와 같이 SW2 가 ③으로 스위치가 연결한다. 다음 순간에 위상차가 0 이 되고 나서 SW2 가 ③에서 ④으로 스위치를 바꾸면 초기 동기 과정이 종료되게 된다.

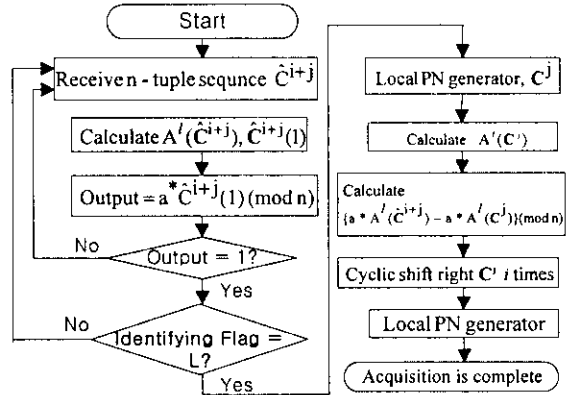


그림 4. 동기획득 시스템의 순서도

5. 결론

기존 이원부호 위상 오프셋에 의한 동기 시스템에서는 부호열에 오류가 발생했을 때 치명적인 문제가 되었다. 본 논문에서는 이러한 문제점을 해결하기 위한 Repeat Error Control 장치에 의해서 반복 횟수 L 의 증가로 수신된 부호열 오류 확률을 $(1/2)^L$ 으로 감소시켜서 신뢰성 있는 통신을 가능케 하였다. 향후 본 논문에서 계산한 평균 동기획득시간과 기존의 다른 방법에 의한 평균 동기획득시간들과의 비교분석이 요구된다.

참고문헌

- [1] Young Yearl Han and Young Joon Song, "Phase Offset of binary Code and Its Application to the CDMA Mobile Communications", IEICE Trans. on Fundamentals of Elect., Comm. and Computer Science, June 1998.
- [2] Kenneth H. Rosen, Elementary Number Theory, W.H.Freeman and Company San Francisco, 1969.
- [3] 전정식, "CDMA 디지털 셀룰라 시스템을 위한 직접 확산 대역통신에서의 동기동기", 한양대학교 석사논문, 1992.