

## LDD 공정 조건에 따른 편치쓰루 및 핫 캐리어 효과에 관한 연구

안태현, 김남훈, 김창일, 서용진\*, 장의구  
중앙대학교 전기공학과, 대불대학교 전기전자공학부\*

## A Study on Punchthrough and Hot-carrier Effects as LDD Process Parameters

Tae-Hyun An, Nam-Hoon Kim, Chang-il Kim, Yong-Jin Seo\*, Eui-Goo Chang  
Dept. of Electrical Eng., Chung-Ang Univ., School of Electrical and Electronic Eng., Daebul Univ.\*

**Abstract** - To achieve the ULSI goals of higher density, greater performance and operation speed have been scaled down. However, the reduction of channel length cause undesirable problems such as drop of punchthrough voltage, hot-carrier degradation and high leakage current, etc.. It is shown that the device characteristics depend on process parameters. In this paper, we catched hold of trends of hot-carrier effects and punchthrough voltages due to variation of some process parameters such as LDD doses( $P$ ), spacer lengths, channel doses( $BF_2$ ) and  $V_T$  adjusting channel implantation energies using design trend curve (DTC). As the LDD and channel doses increased, hot-carrier phenomena became more severe, and punchthrough voltage was decreased. It were represented that punchthrough and hot carrier effects were critically depend on LDD and channel doses.

## 1. 서 론

최근 ULSI 집적회로에 있어서 고집적화 및 고속 특성을 얻기 위해 MOSFET 소자는 계속 스케일 다운되고 있으며, 그 중에서도 소자의 동작 속도와 전류 구동 능력을 향상시키기 위해 채널 길이는 deep submicron 까지 감소되었다. 이처럼 소자 크기가 축소됨에 따라 전기적 특성과 신뢰성의 문제가 대두되었고, 고전계에 의한 DIBL(Drain Induced Barrier Lowering), 오프 상태(off-state)에서의 누설전류 증가, 편치쓰루 전압의 감소 및 게이트 누설 전류의 증가와 같은 짧은 채널 효과(short channel effects), 핫 캐리어에 의한 소자 특성의 열화 등 제반 문제점이 나타나고 있으며 이러한 현상은 deep-submicron 이하로 갈수록 더욱 더 소자의 수명을 단축시킬 것이다.<sup>[1,2]</sup>

이러한 문제점을 극복해야 좀더 안정적인 deep-submicrometer MOSFET을 설계할 수 있기 때문에 본 논문에서는 위에서 나타난 문제점 중 편치쓰루와 핫 캐리어 현상을 분석하였으며, 공정 파라메터와의 의존성을 규명하는 것에 초점을 맞추었다.

향상된 소자 특성을 얻기 위해서 공정 파라메터인 LDD 이온 주입 도즈(Dose)와 스페이서 길이(Spacer length) 그리고 문턱 전압 조절을 위한 이온( $BF_2$ )의 도즈와 에너지 등 4가지 공정조건을 각각 4번씩 스플릿하였다. 이렇게 스플릿된 대표값에 의해 추출된 임계소자 파라메터를 정규화(Normalization)시키면 하나의 그래프 내에 여러 가지 임계소자 파라메터 변화를 그려 넣을 수 있어, 동일한 공정 파라메터에 대한 임계소자 파라메터들의 변화 경향을 파악할 수 있게 된다. 이러한 그래프를 디자인 경향곡선(Design Trend Curve : DTC)이라고 한다.<sup>[3]</sup> 디자인 경향곡선 (DTC)를 이용

하여 위의 공정 파라메터에 따른 편치쓰루와 핫 캐리어 효과의 경향을 고찰하고자 하였으며, 또한 어떤 공정 변수가 위와 같은 소자 특성에 가장 민감한지를 알아보고자 한다.

소자 특성을 분석하기 위하여 공정 시뮬레이터(simulator)인 TSUPREM4와 소자 시뮬레이터인 MEDICI를 사용하여 LDD(Lightly Doped Drain)구조를 갖는 채널 길이 0.35 $\mu m$ 의 nMOSFET를 설계하였고, 이것을 표준 모델(standard model)로 사용하여 공정 스플릿 조건에 따라 각각 시뮬레이션 하였다.

## 2. 공정 시뮬레이션

본 논문에서는 LDD 기본 구조를 갖는 nMOSFET을 시뮬레이션으로 제작하여 표준모델로 사용하였으며, 기본공정 조건은 표1과 같다.

표 1. 표준 모델 MOSFET의 공정 조건.

Pwell	B	Dose = $2 \times 10^{13}$ , Energy = 700
n+ S/D	As	Dose = $2 \times 10^{13}$ , Energy = 80
LDD	P	Dose = $4 \times 10^{13}$ , Energy = 30
Gate oxide		70A

표준모델인 이 MOSFET는 채널 길이(channel length :  $L_{ch}$ )가 0.35 $\mu m$ 이고, 게이트 산화막 두께(gate oxide thickness :  $T_{ox}$ )는 70A. 소오스-드래인 접합깊이(source-drain junction depth :  $X_j$ )는 0.25 $\mu m$ 로 설계/design)하였다. 또한 스페이서 길이가 0.12 $\mu m$ 이며 채널 임플란트(channel implant)로는  $BF_2$ 를  $2.1 \times 10^{13}$  atom/cm<sup>2</sup>, 80 keV 에너지로 이온 주입했다.

표 2. 공정 변수 스플릿(split)

LDD	Dose(/cm <sup>2</sup> )	$8 \times 10^{12}, 1 \times 10^{13}$ $4 \times 10^{13}, 6 \times 10^{13}$
	Spacer( $\mu m$ )	0.12, 0.16, 0.20, 0.24
$BF_2$	Dose(/cm <sup>2</sup> )	$5 \times 10^{11}, 6 \times 10^{11}$ $2.2 \times 10^{12}, 8 \times 10^{12}$
	Energy(keV)	30, 50, 80, 120

표 2는 공정 변수들을 각각 스플릿한 대표 값들이고, 공정 변수 중에서 LDD 공정 조건과  $V_T$  조절을 위한 채널 임플랜트( $BF_2$ ) 조건에 따라 시뮬레이션하고, 그때의 편치쓰루와 핫 캐리어 현상을 관찰하였다.

공정 시뮬레이션의 정확도를 높이기 위해서 실제 소자 제작 조건에 맞도록 불순물의 OED(Oxidation Enhanced Diffusion)현상에서 공극(vacancy)과 interstitial의 영향 및 공극과 interstitial 사이에서 일어나는 커플링(coupling)까지 고려하는 PD.Full method를 사용하였다. 또한 이온 주입시에는 몬테 카를로 알고리즘(Monte Carlo Algorithm)을 사용하였다.<sup>[4]</sup>

### 3. 소자 시뮬레이션

본 논문에서는 소자 시뮬레이터인 MEDICI를 이용하여 시뮬레이션 하였으며, 소자 특성을 구할 때는 재결합 모델을 SHR(Shockley-Hall-Read)와 Auger 모델을 사용하였다. 또한 이동도 모델은 CONMOB (CONcentration -dependent MOBility), PRPMOB (PerPendicular electric field-dependent MOBility)을 사용하였다.<sup>[5]</sup>

$V_{GS}=0$  V,  $V_{DS}=3$  V의 바이어스(bias) 조건에서 누설 전류(leakage current :  $I_L$ )를 얻었으며, 게이트 전류(gate current :  $I_G$ )와 기판 전류(substrate current :  $I_{sub}$ )는  $V_{DS}=3$  V,  $V_{GS}=3$  V 조건에서 얻었다. 편치쓰루 전압( $V_{pun}$ )은  $V_{GS}=0$  V이고 드레인 전류  $I_D=0.1 \mu A$ 일 때 드레인 전압으로 결정하였다.

TSUPREM4를 이용하여 표 1의 공정 변수를 split하여 공정 시뮬레이션을 한 결과 값을 MEDICI에 입력하여 소자 파라미터 값들을 추출하였다..

### 4. 결과 및 검토

그림 1은 LDD 도즈 증가에 따른 누설 전류( $I_L$ ), 문턱 전압( $V_T$ ), S.S(subthreshold swing), 기판 전류( $I_{sub}$ ), 게이트 전류( $I_G$ ), 편치 전압( $V_{pun}$ )을 나타낸 것이다. 채널 도즈가 증가할수록 기판 전류가 급격히 증가하지만 게이트 전류는 LDD 도즈  $4.0 \times 10^{13}$ 까지 감소를 보이고 있다.

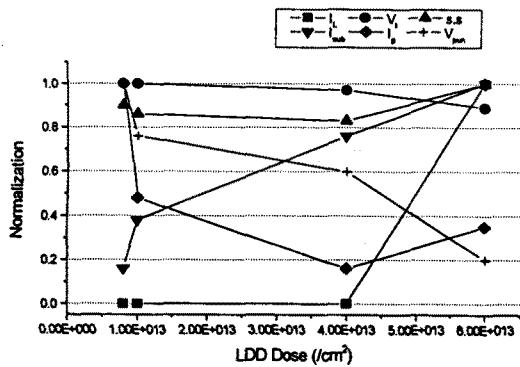


그림 1. LDD 도즈의 변화에 따른 디자인 경향 곡선

한편 LDD 도즈가  $4.0 \times 10^{13}$  이상에서는 게이트 전류와 기판 전류, 누설 전류가 급격한 증가로 보아 핫 캐리어 현상이 일어나고 있음을 추정된다. LDD 도즈 증가에 따른 편치쓰루 전압은 큰 폭으로 감소함을 알 수 있으며, 문턱전압 또한 감소함을 알 수 있다. 그러나 s.s값은 일정한 경향(Trend)을 보이지 않았다.

그림 2는 스페이서 길이 변화에 따른 디자인 경향 곡

선(DTC)이다. 스페이서 길이가 증가할수록 게이트 전류와 기판 전류는 감소추세를 보이고 있다. 그러므로 핫 캐리어 현상을 억제시키는 역할을 하는 것으로 여겨지며, 편치쓰루 전압은 스페이서 변화에 대한 일관성 있는 경향(Trend)이 나타나지 않았다. 따라서 편치쓰루 전압에는 무관한 공정 변수라고 생각된다. 소자 값들의 변화 폭이 1에서 0.4까지 범위에만 있는 것으로 보아 공정변수인 스페이서는 소자특성에 큰 영향을 끼치지 못한 것으로 생각된다.

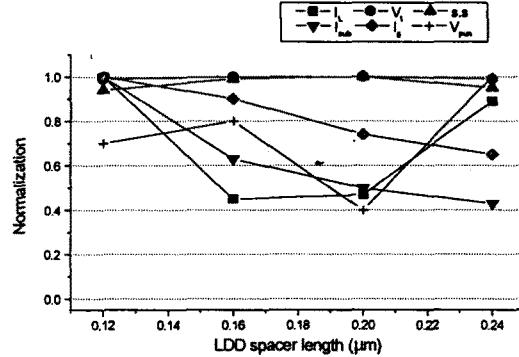


그림 2. LDD 스페이서 길이의 변화에 따른 디자인 경향 곡선

그림 3은 문턱전압 조절을 위한 채널 이온주입 도즈에 대한 임계 소자 파라미터의 변화를 보인 것이다. 채널 도즈가 증가함에 따라 가장 민감한 반응을 보인 것은 누설 전류였다. 문턱 전압은 채널 도즈가  $2.2 \times 10^{12}$  까지는 큰 폭의 증가를 보이다가 그 이후에서는 둔감한 증가를 하는 것으로 보아 채널 도즈  $2.2 \times 10^{12}$  이하에서 민감한 영향을 받는다는 것을 예측할 수 있다. 또한 기판 전류와 게이트 전류가 큰 폭으로 증가하는 것으로 보아 핫 캐리어 현상을 결정하는 중요한 공정 변수라고 생각되어진다. 편치쓰루 전압도 채널 도즈에 큰 영향을 받고 있음을 알 수 있다. 채널 도즈 증가에 따라 편치쓰루 전압이 올라가므로 소자의 특성측면에서는 양호한 정 특성을 갖고 있다고 볼 수 있으나 핫 캐리어 현상은 급격한 변화를 일으키는 부 특성을 나타내므로 이 부분에 대해서는 트레이드 오프를 통한 피드백 시뮬레이션이 필요하다고 생각된다.

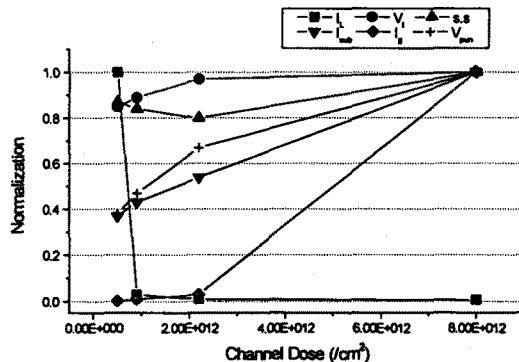


그림 3. 채널 도즈의 변화에 따른 디자인 경향 곡선

그림 4는 채널 이온 주입 에너지 변화에 따른 디자인 경향 곡선을 나타낸 것이다. 게이트 전류는 채널 이온 주입 에너지가 80 keV 이하에서 급격한 증가를 보이다

가 그 이상에서는 완만한 감소를 보이고 있음을 알 수 있다. 편치쓰루 전압 또한 80 keV 전까지는 완만한 증가를 보이지만 그 이상에서는 급격한 감소를 나타내었다. 누설 전류는 80 keV 이전에서는 작은 변화 폭의 감소를 보이다가 이후부터 급격한 증가로 반전되었다. 이 밖의 다른 소자 특성들도 80 keV를 기준으로 소자 특성이 반전됨을 볼 수 있었다. 따라서 트레이드 오프 (trade off)를 필요로 할 때, 이 점이 임계점(critical point)이라고 추정되며 이 부분에서도 피드백 시뮬레이션이 필요하다고 예측할 수 있다.

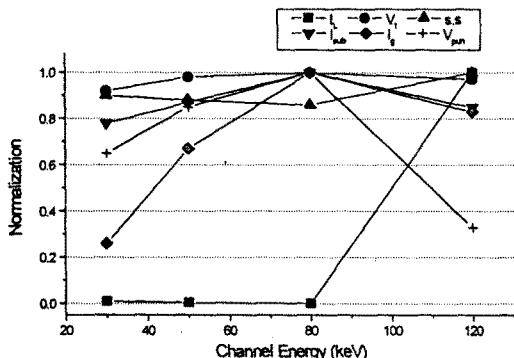


그림 4. 채널 이온 주입 에너지의 변화에 따른 디자인 경향 곡선

위의 그림에서 나타나 있듯이 핫 캐리어 현상에 민감한 영향을 주는 공정 변수로는 LDD 도즈와 채널 도즈를 들수 있다. LDD 도즈의 증가에 따라 핫 캐리어 현상이 쉽게 일어나 소자특성의 열화가 예상되며, 편치쓰루 전압 또한 급격한 감소 현상을 나타내었다. 채널 도즈의 증가 또한 핫 캐리어 현상에 민감한 영향을 끼치는 변수가 되고 있음을 알 수 있었다. 뿐만 아니라, LDD 도즈의 증가는 편치쓰루 전압을 급격히 떨어뜨리는 공정 변수로 나타났으나, 채널 도즈( $\text{BF}_2$ )의 증가는 편치쓰루 전압을 증가시키는 변수임을 알 수 있었다. 채널 이온 주입 에너지와 스페이서 길이는 채널 이온 주입 에너지의 변화에 따라서 트레이드 오프점을 전후로 핫 캐리어 현상이 일어나지 않게 하는데 도움이 되기도 하며 역효과를 가져올 수고 있음을 예측할 수 있다. 또한 LDD 스페이서 길이의 변화는 핫 캐리어 및 편치쓰루 전압의 큰 영향을 끼치지 않고 있음을 알 수 있다.

표 3. 공정 파라메터에 따른 임계 소자파라메터의 의존성 경향

	$I_{sub}$	$I_{gat}$	$I_L$	s.s	$V_t$	$V_{pun}$
channel dose	↑	↑	↓	—	↑	↑
channel energy	—	—	↑	—	—	—
LDD dose	↑	—	↑	—	↓	↓
spacer length	↓	↓	—	—	—	—

표3은 공정 파라메터를 증가시킬 때 나타나는 소자특성의 경향으로 위에서 분석했던 내용을 간략화 한 것이다. 핫 캐리어 현상 및 편치쓰루 전압을 개선하기 위해서는 다음과 같은 방법이 있다.

- ① 핫 캐리어 현상을 억제하기 위해서는 채널 도즈와 LDD 도즈를 낮게 도핑해야 하며, 스페이서를 길게 설계(Design)해야 할 것이다.
- ② 편치쓰루 전압을 올리기 위해서는 채널 도즈를 높게, 그리고 LDD 도즈를 낮게 도핑해야 할 것이다.

여기서 채널 도즈는 핫 캐리어 현상과 편치쓰루 전압 특성이 서로 상충되는 특성을 갖기 때문에 트레이드 오프(Trade off)를 해야 할 것으로 생각된다.

#### 4. 결 론

디자인 경향 곡선(DTC)을 사용하여 공정 변수들의 변화에 대한 임계 소자 파라메터의 경향(trend)를 파악할 수 있었으며, 이를 표 3에 요약하여 나타내었다. LDD 도즈의 증가는 핫 캐리어 현상 심화, 편치쓰루 전압 감소와 같은 악영향을 끼친 것으로 드러났다. 채널 도즈의 증가는 핫 캐리어 현상과 문턱 전압에 좋지 못한 영향을 주지만, 편치쓰루 전압을 다소 증가시키는 경향이 있음을 알 수 있었다. 스페이서 길이 변화는 핫 캐리어 현상과 편치쓰루 전압의 변화에 두렷한 영향을 주지 못하였으며, 채널 에너지의 변화는 핫 캐리어 현상과 편치쓰루 전압에 대한 트레이드 오프점이 나타났으며, 트레이드 오프가 필요할 때 이 점을 임계점으로 간주하면 될 것이다. 본 연구의 기대 효과로는 스케일 다운에 의해 더욱 심각한 문제로 대두되고 있는 편치쓰루 특성과 핫 캐리어 효과에 가장 민감한 공정 파라메터를 알 수 있었으며, 소자 특성과 공정 파라메터 사이의 의존성을 바탕으로 열화(degradation) 특성을 방지 할 수 있는 새로운 공정 조건을 추출할 수 있을 것으로 생각되어지며, 향후 더욱 안정적으로 동작하는 MOSFET 설계에 유효한 데이터로 사용될 수 있을 것으로 본다.

#### (참 고 문 헌)

- [1] Ronald R. Troutman, "VLSI Limitation from Drain-Induced Barrier Lowering," IEEE Journal of solid state circuits, Vol. sc-14, No. 2, p.383, 1979
- [2] T. Y. Chan and H. Gaw, "Performance and hot-carrier reliability of deep submicrometer CMOS," IEEE IEDM, p. 71, 1989
- [3] 서용진, 장의구, "서브마이크론 MOSFET의 파라메터 추출 및 소자 특성(1)", 전기전자재료학회 논문지, Vol. 7, No. 2, p. 107, 1994
- [4] Technology Modeling Associate Inc., "TSMC PREM-4 ver. 6.5 User's Manual", 1997
- [5] Technology Modeling Associate Inc., "MEDICI ver. 4.0 User's Manual", 1997