

전도 전자파 장애 분석을 위한 Pspice ABM MOSFET 모델

이재호*, 이동영*, 조보형*
 서울대학교 전기공학부*

Pspice ABM MOSFET Model for Conducted EMI Analysis

J.H.Lee*, D.Y.Lee* and B.H.Cho*
 School of Electrical Engineering, Seoul National Univ*

Abstract - For an analysis and simulation of the conducted EMI of switching converters, an accurate simulation model for MOSFET is needed. This paper presents a new modeling approach, which incorporates DC output characteristics and AC dynamics especially the parasitic capacitances. It uses Pspice ABM(Analog Behavioral Model) and the MOSFET parameters can be obtained from the Data sheet in the frequency range of interest for EMI analysis. The model verified with an experimental setup and the EMI for a test converter is analyzed with respect to the MOSFET switching waveforms.

1. 서 론

최근에 전도 EMI에 대한 규제가 강화되고 있는 추세 속에서 전도 EMI를 예측하고 해석하는 tool의 개발이 시급하다. 전도 EMI를 해석하는데 있어서 능동소자의 모델링은 그 영향을 볼 때 매우 중요하다. 그러나, 기존의 능동소자 모델링은 정확도와 사용자의 사용의 용이성은 모두를 만족시키지 못한다. 즉, 정확도가 높은 모델은 너무 복잡하고, 모델에 사용되는 매개변수가 너무나 물리적인 성격을 가지고 있어서 사용하기가 어렵다. 그리고, 사용이 용이한 모델은 대부분 고주파 영역에서의 정확성이 떨어진다. 이 논문의 목적은 Data sheet를 이용해서 전도 EMI 해석에 필요한 150KHz ~ 30MHz 영역에서 적합한 MOSFET 모델을 제시하는데 있다.

본문은 다음의 3부분으로 나뉘어 진다.

- (1) MOSFET의 DC 전달함수를 모델링하는 방법.
- (2) Body 다이오드와 기생 캐패시턴스를 모델링하는 기법과 Pspice의 ABM(Analog Behavioral Model)로 구현하는 방법.

(3) IRF840(500V, 8A)을 이용해서 스위칭파형의 시뮬레이션과 실험파형을 보고 모델의 정확성을 검증한다. 또, 간단한 Flyback 회로를 이용해서 전도 EMI를 시뮬레이션을 통하여 능동소자의 기생성분에 의한 노이즈 파형이 미치는 영향을 분석한다.

2. 본 론

2.1 DC 전달함수 모델링

제안된 DC 전달함수의 모델에 대한 수식은 다음과 같다.[1]

$$\text{if } V_{gs} < V_{th} \quad I_{ds} = 0 \quad (1)$$

$$\text{if } V_{gs} \geq V_{th} \quad \text{if } V_{ds} \geq V_{dsat} \quad I_{ds} = I_{dsat}(1 + \lambda \cdot V_{ds}) \quad (2)$$

$$\text{if } V_{ds} < V_{dsat} \quad I_{ds} = \left[I_{dsat} - I_{dsat} \frac{(V_{dsat} - V_{ds})^2}{V_{dsat}^2} \right] (1 + \lambda \cdot V_{ds}) \quad (3)$$

$$V_{dsat} = K (V_{gs} - V_{th})^m \quad (4)$$

$$I_{dsat} = K_p (V_{gs} - V_{th})^n \quad (5)$$

식(2)와 (3)은 각각 포화영역과 선형영역의 특성을 나타낸다. 여기서 V_{gs}, V_{ds}, V_{th} 는 각각 게이트-소스 전압, 드레인-소스 전압, 임계 전압을 나타낸다. 식(4)는 드레인 포화전압으로 포화영역이 시작되는 전압을 나타내며, 식(5)는 드레인 포화전류를 나타낸다.

표1은 DC 전달함수의 매개 변수와 IRF840의 Data

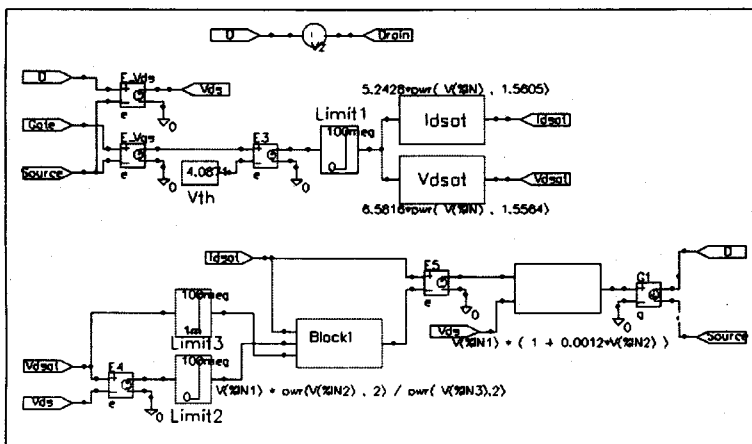


그림1. Pspice ABM DC 전달함수 모델

sheet에서 추출한 매개변수의 값이다.

	매개변수	IRF840
임계전압	Vth	4.0871
드레인 포화전압 (Vdsat)	K	6.5816
	m	1.5564
드레인 포화전류 (Idsat)	Kp	5.2428
	n	1.5605
channel length modulation	λ	0.0012

표 1. DC 전달함수의 매개변수

매개변수 값의 추출은 Data sheet의 DC 전달함수 그래프의 몇 개의 점의 값을 이용해서 식(2), (3), (4), (5)에 일치하도록 매개변수 값을 조정하는 방법을 사용한다. [1]

그림1은 제안된 DC 전달함수 모델을 Pspice ABM 모델로 구현한 것이다.

2.2 Body 다이오드 및 기생 capacitance 모델

MOSFET의 기생 capacitance는 스위칭시에 inductance와 공진을 일으켜서 EMI Noise의 주된 원인이 되므로 중요하다. Body Diode는 MOSFET에 역전압이 걸리때 이를 막아주는 역할을 하고 전압에 따라 capacitance의 비선형한 성질을 나타낸다.

기생 capacitance는 게이트-소스(Cgs), 드레인-소스(Cds), 게이트-드레인(Cgd)사이에 존재한다. 이 중에서 Cgd와 Cds는 비선형성이 매우 크다. Cgs의 경우는 비선형성이 거의 없어 일정한 값으로 모델링을 한다.

Cds는 Body 다이오드의 접합 capacitance(junction capacitance)로 모델링 했다. 이 경우 Cds는 다음처럼 표시된다.

$$Cds = \frac{Cj_{ds}}{\left(1 + \frac{Vds}{Vj_{ds}}\right)^{M_s}} \quad (6)$$

Body 다이오드 모델은 Pspice 다이오드 모델을 사용했다[2]. Body 다이오드 모델에 필요한 매개변수는 Rs, N, Is의 세가지 이다.

Cgd는 드레인과 게이트사이에 양의 전압이 걸리면 Vdg에 따라서 (6)과 같은 특성을 가지나, 음의 전압이 걸리면 Cgd값이 증가하다가 일정한 전압이 되면 상수의 capacitance값을 가지는 특성이 있다.

$$Cgd = \frac{Cj_{gd}}{\left(1 + \frac{Vdg}{Vj_{gd}}\right)^{M_{sd}}} \quad (Vdg \geq 0) \quad (7-1)$$

$$Cgd = \frac{Cj_{gd}}{\left(1 - \frac{Vdg}{Vj_{gd}}\right)^{M_{sd}}} \quad (Vdg < 0) \quad (7-2)$$

(7-1)과(7-2)는 Cgd의 모델이다. 이 모델은 그림2에서 보듯이 실제의 경우에 근사시킨 모델이다. Cgd를 Pspice ABM 모델로 구성하기 위해서 다음과 같이 식을 바꾼다.

$$Cgd^+ = \begin{cases} \frac{Cj_{gd}}{\left(1 + \frac{Vdg}{Vj_{gd}}\right)^{M_{sd}}} & (Vdg \geq 0) \\ Cj_{gd} & (Vdg < 0) \end{cases} \quad (8-1)$$

$$Cgd^- = \begin{cases} 2Cj_{gd} - \frac{Cj_{gd}}{\left(1 - \frac{Vdg}{Vj_{gd}}\right)^{M_{sd}}} & (Vdg < 0) \\ Cj_{gd} & (Vdg \geq 0) \end{cases} \quad (Cgd^- > Coxd) \quad (8-2)$$

$$Cgd = Cgd^+ + Cgd^- - Cj_{gd} \quad (8-3)$$

Cgd⁺와 Cgd⁻는 Vdg=0이면 Cj_{gd}가 되는데 실제로 ABM 모델을 구성할때는 Cgd⁺의 경우 Vdg<0이면 limiter를 써서 Vdg=0으로 하면 Cgd⁺를 구성할 수 있다.(Cgd⁻의 경우는 반대로)

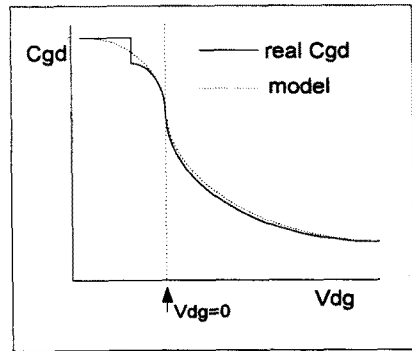


그림 2. Cgd의 근사(approximation)

그림 3은 body 다이오드와 기생 capacitance모델을 Pspice ABM로 구현한 것이다. 표2는 body diode와 기생 capacitance를 모델하는데 필요한 매개변수와 IRF840의 경우에 값을 나타낸다. 모든 매개변수는 Data sheet를 이용해서 구할 수 있다[2].

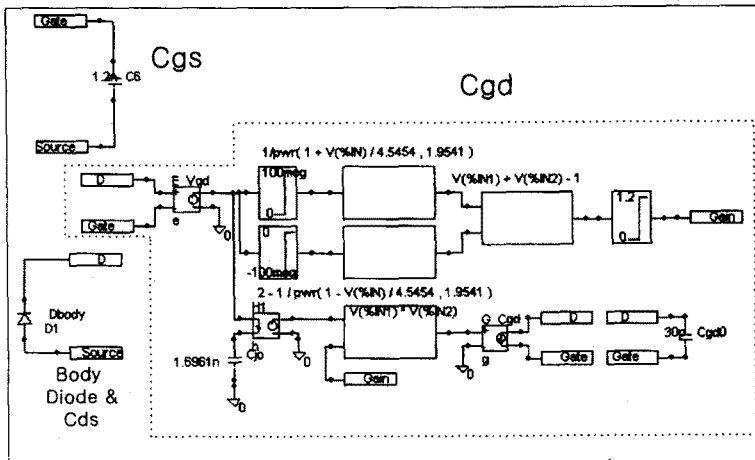


그림3. 기생 capacitance ABM 모델

매개변수		이 용	IRF840
Body Diode	Rs	ohmic resistance	10m Ω
	N	Emission coefficient	1.7
	Is	saturation current	31.6nA
Cds	Cjds	zero-bias drain-source capacitance	1.1452nF
	Mds	drain-source grading coefficient	0.6523
	Vjds	drain-source junction potential	1.4084
Cgd	Cjgd	zero-bias gate-drain capacitance	1.6961nF
	Mgd	gate-source grading coefficient	1.9541
	Vjgd	gate-drain junction potential	4.5454
	Cgd0	gate-drain overlap capacitance	30pF
Cgs	Cgs	gate-source capacitance	1.2nF
Coxd	Coxd	oxide capacitance	2.13nF

표2. body diode & 기생 capacitance 매개변수

2.3 모델의 검증 및 공진 주기와 peak 의 영향

모델을 검증하기 위해서 그림 5와 같은 회로에서 실험을 했다.

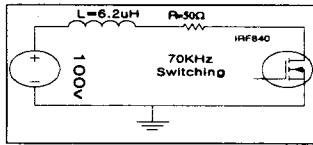


그림4. 실험 회로

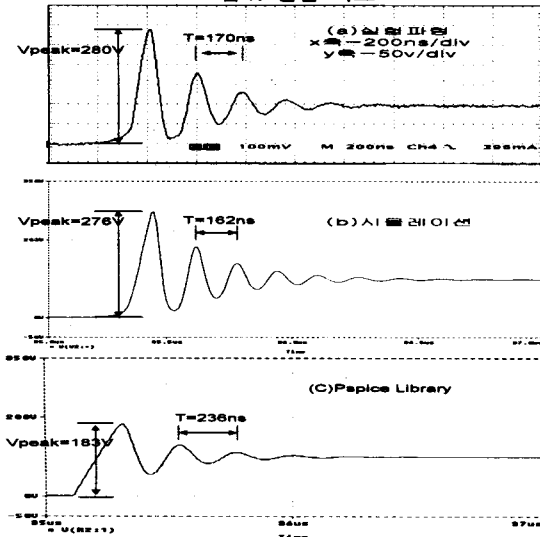


그림5. 실험파형 및 시뮬레이션 결과

그림 5는 실험파형과 시뮬레이션 결과이다. (b) 제안된 모델의 경우 Vpeak는 거의 일치하고 있고, 주기에서는 약 5%의 오차가 발생한다. (c) Pspice library 모델의 경우 Vpeak는 약 35%, 주기의 경우 약 39%의 오차가 발생함을 알 수 있다.

그림 6은 MOSFET 모델에 따라서 스위칭시에 발생하는 공진 peak와 주파수가 받는 영향을 살펴보기 위한 간단한 flyback converter 회로이다. 그림 7은 Pspice library 모델과 제안한 모델의 전도 EMI 결과이다.

Transformer의 고주파 모델((3),(6)), passive 소자 모델((4),(6)), PCB pattern 모델((5),(6))을 이용했다. 그림 6에서 flyback의 Transformer leakage inductance와 스위치의 capacitance가 공진한다.(6) 따라서, 이 peak부분이 스위치의 공진에 의해서 생기는 부분임을 알 수 있다.

그림 7(A)에서 공진점의 주파수와 level은 각각 5.7MHz 와 101.5 μ dB 이다. 마찬가지로 그림 7(B)에서는 3.9MHz와 93.5 μ dB 이다. 여기서 보면 주파수는 7(A)를 기준으로 할 때 1.8MHz차이가 생긴다. 이는 그림 5에서 발생하는 주파수의 차이 1.9MHz와 비슷하다. Level의 경우는 저주파수

(150KHz~1MHz)에서는 80 μ dB정도로 비슷하다. 그러나 스위칭공진이 생기는 부분은 그 level이 제한한 모델이 약 8 μ dB정도 크다는 것을 알 수 있다. 이것은 그림 5에서 보는 것처럼 peak 값이 제한한 모델이 더 크기 때문이다. 따라서, 공진 주파수는 전도 EMI의 peak가 발생하는 주파수에 공진의 크기는 전도 EMI의 level에 영향을 주고 있음을 알 수 있다.

3. 결 론

본 논문에서는 전도 EMI에 적합한 주파수 영역에서 사용 가능한 MOSFET 모델을 제시했다. 제안한 모델과 Pspice library 모델을 사용해서 전도 EMI시뮬레이션을 함으로써 스위칭 공진과 그 주기를 정확하게 모델해야 함을 입증했고 이러한 요구조건을 만족하고 사용자가 쉽게 주어진 스위치로부터 전도 EMI 시뮬레이션용 모델을 구하는 간단한 방법을 제시하였다.

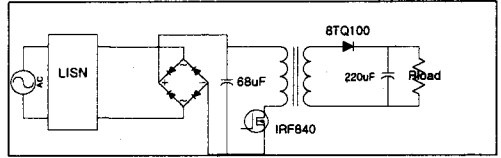


그림 6. Flyback Converter

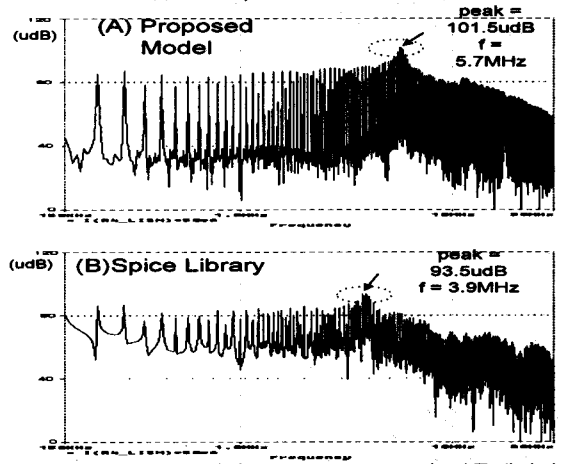


그림 7. 제안된 모델과 Spice library의 시뮬레이션

[참 고 문 헌]

- [1] Takayasu Sakurai and A. Richard Newton, "A Simple MOSFET Model for Circuit Analysis", IEEE Transaction on Electron Devices, Vol. 38, No. 4, pp887-893, 1991
- [2] Ron Kielkowski, "Practical Device Modeling", McGraw-Hill, 1995
- [3] B.Cogitore, J.P.Keradec, J.Barbaroux, "The Two-Winding Transformer: An Experimental Method to Obtain a Wide Frequency Range Equivalent Circuit", IEEE Trans. on Instrumentation and Measurement, Vol. 43, No. 2, pp364-371, April, 1994
- [4] P. F. Okyere, L. Heinemann, "Computer-Aided Analysis and Reduction of Conducted EMI in Switched-Mode Power Converter", Proc. APEC, Vol.2, pp924-928, 1998
- [5] Albert E.Ruehli, "Equivalent Circuit Models for Three-Dimensional Multiconductor Systems", IEEE Transactions on Microwave theory and techniques, vol. MTT No3, March 1974.
- [6] 민승현, 이동영, 조보형, 이병화 "Flyback 컨버터의 DM 전도 전자파 장애 분석" 전기학회 하계학술대회, 1998