

산화막 위에서 고상 결정화한 $\text{Si}_{1-x}\text{Ge}_x$ 의 고분해능
투과전자현미경 연구
(HRTEM Study of Solid Phase Crystallized $\text{Si}_{1-x}\text{Ge}_x$
Thin Films on SiO_2)

김 홍 승, 이 정 용
한국과학기술원 재료공학과

최근에 물리적 특성이 다결정 Si과 유사한 다결정 $\text{Si}_{1-x}\text{Ge}_x$ 에 관한 연구가 진행되고 있다 [1,2]. $\text{Si}_{1-x}\text{Ge}_x$ 는 Si보다 용점이 낮아서 증착, 결정화, 결정성 그리고 첨가물 활성화를 Di 보다 낮은 온도에서 할 수 있다. 이러한 저온 공정은 박막 트랜지스터 제조 공정에서 열적 부담을 줄일 수 있다. 또한 소자 제조과정에 있어 SiGe 증착 시를 제외하고 부각되는 공정이 없다. 이러한 점들은 활성화 층으로 다결정 Si을 사용할 때보다 박막 트랜지스터 제조에서 생산단가를 줄일 수 있는 장점이 있다. 다결정 SiGe을 활성화 층으로 이용한 트랜지스터의 연구는 소자쪽에서 몇몇 연구가 보고되고 있으나, 전하전송자 이동도에 큰 영향을 미치는 결정 내부의 결함 및 결정립의 크기 및 형태에 영향을 주는 기본적인 결정 성장에 관한 연구는 거의 진행되고 있지 않다. 본 연구에서는 고분해능 투과전자현미경을 이용하여 비정질 SiGe 박막을 열처리 방법으로 결정화시킨 SiGe 박막의 결정립에 존재하는 여러 결함들의 원자배열을 관찰하였다. 이러한 관찰결과를 통하여 결함들의 형태를 원자 단위로 분석하고 생성원인을 밝히고 결정성장에서 이들의 역할을 고찰하였다.

100nm 두께의 열산화막 SiO_2 층을 5" Si 웨이퍼 위에 형성시킨 후 50nm 두께의 비정질 SiGe 박막을 분자선 증착법으로 증착시켰다. 증착온도는 300°C 였고 Ge mole분율은 0.3 이었다. 위와 같이 준비된 시편들을 550°C 건조 질소 분위기에서 1시간, 3시간과 10시간 열처리하여 결정화 시켰다. 투과전자현미경 시편은 $\text{HF} : \text{HO}_2 = 1 : 1$ 용액에 시편을 넣어 박막과 Si 웨이퍼 사이의 산화막을 제거하여 박막을 분리시키는 lift-off 방식을 이용하여 제작하였다. 투과전자현미경을 이용하여 열처리한 SiGe 박막에서 병시야상, 제한시야상, 고분해능상 등을 관찰하여 미세구조 및 결함 등을 분석하였다. 사용한 현미경은 JEOL 2000EX로 작동전압은 200kV이고 점분해능은 0.21nm였다.

500°C 건조 질소 분위기에서 3시간 열처리한 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 박막 내에 존재하는 결정립들은 원에 가까운 타원형 이었다. 결정립 내부에는 길고 가는 선들이 결정립 중심 부분

에서 부터 3-5 방향으로 결정립과 비정질의 경계까지 뺏어나가 있었다. <011> 방향에서 전자선이 입사되었을 때 얻어진 전자회절상에는 쌍정들에 의해 나타나는 회절점들이 존재하고 가는 선들이 선의 강도에 차이는 있으나 다섯 방향으로 나있다. 이러한 가는 선들은 쌍정면들에 의해 일어나는 것이다. 즉, 얇은 쌍정판들에 의해 야기된다. 이는 5방향의 쌍정이 존재함을 의미한다. 결정립 내부의 긴 선들의 일부분에서 고분해능상을 얻어본 결과, 쌍정, extrinsic과 intrinsic 적층결합이 함께 존재하고 있었고, Shockley 부분 전위의 주기적인 glide로 polytype의 결합이 존재하고 있었다.

쌍정과 적층결합들은 같은 {111} 면 위에서도 다른 {111} 면 위에서 서로 충돌하여 다른 결합을 만들어 내고 있었다. 이러한 결합들은 Stair-lod 전위나 Frank 전위들이었다. 여러 쌍정들의 충돌로 여러 경계들이 존재하였고, 이러한 경계들 중 5-대칭 쌍정 입계들이 존재하였다. 이 5-대칭 쌍정 입계는 쌍정면에 전위나 적층결합은 없었고 각 도메인들의 {111} 면들의 각도가 증가하여 응력을 완충시켰다.

- [1] T.J. King, J.R. Pfiesher and K.C. Saraswat, IEEE Electron Device Lett., 12, 533(1991)
- [2] T.J. King and K.C. Saraswat, IEEE Trans. Electron Device, ED-41, 1581(1994).



그림 1. Si_{0.7}Ge_{0.3}의 결정립

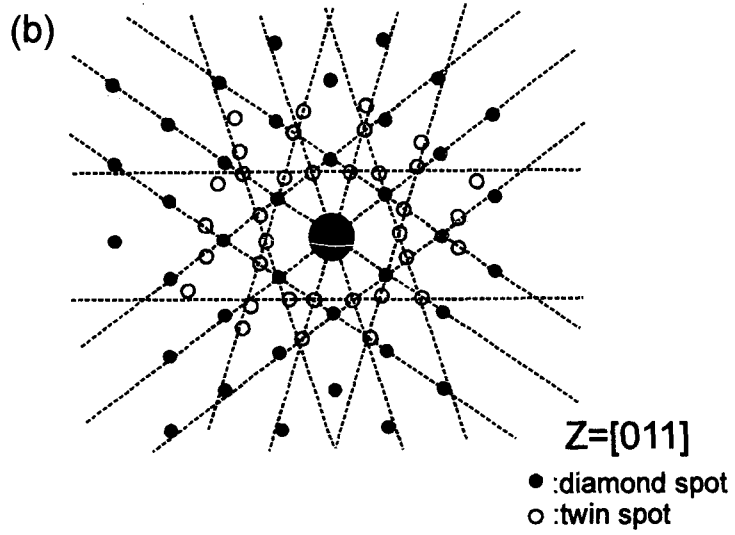
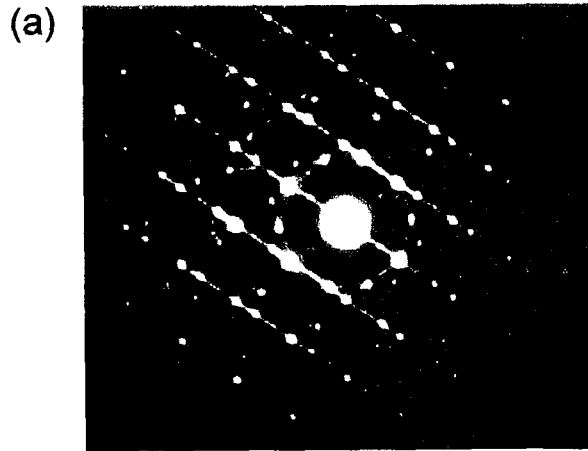
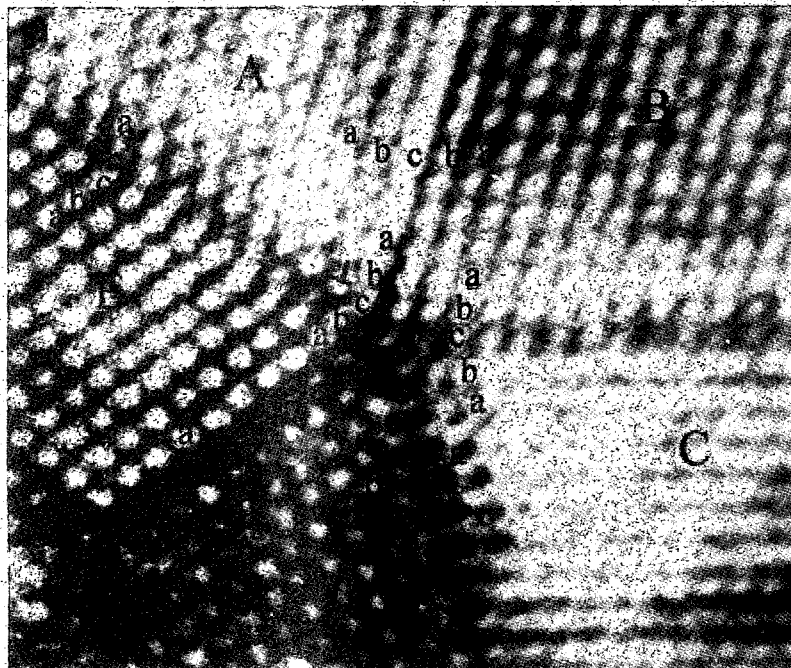


그림 2. 회절 패턴

(a)



2 nm

(b)

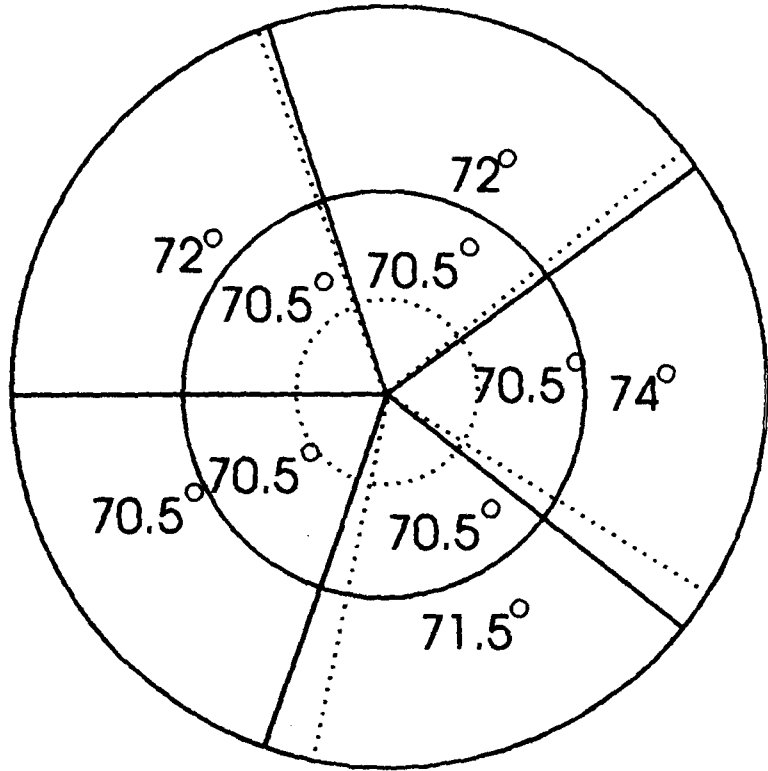


그림 3. 5 대칭 쌍정 경계