

패리티 검사비트를 이용한 새로운 오류정정 기술

Error Correcting Technique with the Use of a Parity Check Bit

현 종 식 · 한 영 열
(한양대학교 전자통신공학과)

Jongsik Hyun · Youngyearl Han
(Dept. of Electronic Communication Engineering, Hanyang University)

ABSTRACT

The simplest bit error detection scheme is to append a parity bit to the end of a bit sequence. In this paper an error correction technique with the use of a parity bit is proposed, and the performance of the proposed system is analyzed. The error probability of the proposed system is compared with the output of computer simulation of the proposed system. It is also compared with the error probability of error at BPSK system, and the signal-to-noise ratio gain is showed.

1. 서 론

디지털통신 시스템에서 신호원의 출력을 가능한 한 적은 수의 비트로 나타내는 것이 바람직하다. 이와 같이 신호원의 출력을 효율적인 방법에 의해 이진 비트 시퀀스로 표현하는 과정을 신호원 부호화(Source Coding)이라 한다.

신호원 부호화 과정을 거친 비트 시퀀스를 정보 시퀀스(Information Sequence)라 하며, 이러한 정보 시퀀스는 채널 부호화(Channel Coding) 과정으로 넘어간다. 채널 부호화 과정의 목적은 채널을 통하여 신호를 전송할 때 발생하는 잡음 또는 간섭의 효과를 극복하는 데 있다.

채널 부호화 과정을 거친 정보 비트 시퀀스는 통신 채널에 대한 인터페이스(Interface)로서 역할을 하는 디지털 변조화(Modulation) 과정으로 넘어간다. 실제적으로 거의 모든 통신 채널은 전기신호를 전송할 수 있기 때문에 변조 과정의 목적은 이

진 정보 시퀀스를 신호 파형으로 사상(Mapping) 시키는 데 있다.

변조된 신호는 채널을 통하여 수신단에 수신된 후 정합여파기(Matched Filter)를 거쳐 샘플링된다. 그 결과를 결정변수(Test Statistic)라 하며, 그 값이 임계치(Threshold)를 중심으로 어떤 쪽에 위치하는지의 여부에 따라 이진 0 또는 이진 1로 검출한다. 그 다음으로 송신단에서 채널 부호화된 방법을 이용하여 오류정정의 과정을 거친다. 본 논문에서는 오류정정(Error Correction)의 과정에 대한 새로운 방법을 소개한다.

결정변수가 가우시안(Gaussian)일 때, 오류는 대부분의 경우 결정변수의 값이 임계치 근처에 있을 때 발생한다. 이러한 현상을 이용하기 위해서 송신단에서는 일정한 길이의 이진 비트 시퀀스에 한 비트 패리티 검사 비트(Parity Check Bit)를 첨가하여 송신한다. 수신단에서는 먼저 패리티 검사를 한 후 맞지 않다면, 수신 신호의 결정변수 값들을 검토한다. 만약 하나의 결정변수 값만 임계치 근처에 있고 나머지 결정변수 값은 임계치에서 떨어져 있다면, 임계치 근처에 있는 결정변수 값 때문에 오류가 발생해 패리티 검사가 맞지 않았다고 생각하여 그 비트를 정정한다. 그러나 이러한 오류정정의 과정은 역으로 오류를 추가시킬 수도 있다.

2장에서는 본 논문에서 제안한 시스템의 모델을 제시하고, 그에 관한 원리를 소개한다. 그리고 제안한 시스템의 일반적인 평균 비트 오류 확률(Error Probability)을 유도한다. 3장에서는 유도한 수식과 시뮬레이션(Simulation) 값을 비교한다. 또한 제안한 방법을 BPSK(Binary Shift Keying) 시스템과 비교하여 신호대 잡음비(Signal-to-noise Ratio)의 이득을 구한다. 마지막으로 4장에서는 결론을 맺는다.

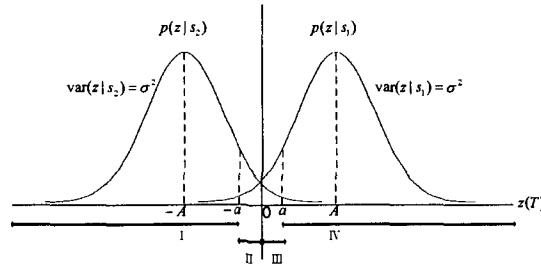
II. 제안한 시스템의 모델과 성능분석

이진신호 전송방식에서 $s_1(t)$ 이 전송되었을 때 결정변수의 확률 밀도 함수 $p(z|s_1)$ 과 $s_2(t)$ 가 전송되었을 때 결정변수의 확률 밀도 함수 $p(z|s_2)$ 의 평균이 각각 $A, -A$ 이고 분산이 σ^2 이면 그림 1과 같이 나타난다. 여기에서 기준확률 $P(s_1)$ 와 $P(s_2)$ 가 같다면 ML 규칙을 적용하면 최적 임계치 γ_0 은 다음과 같다.

$$\gamma_0 = \frac{A - A}{2} = 0 \quad (2.1)$$

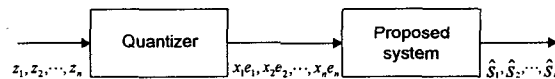
그림 3.1의 조건부 확률 밀도 함수를 살펴볼 때, $s_1(t)$ 이 전송되었을 경우 가정 H_2 로 추정되는 경우는 영역 I과 영역 II에 결정변수의 값이 속할 때이며, $s_2(t)$ 이 전송

되었을 경우 가정 H_1 로 추정되는 경우는 영역 III과 영역 IV에 결정변수의 값이 속할 때이다.



<그림 1> 결정변수의 조건부 확률 밀도 함수

여기에서 우리는 임계치 γ_0 의 근처에서 오류가 발생할 확률이 높다는 것을 알 수 있다. 따라서 그림 1의 영역 II에 결정변수의 값이 위치할 때, $s_2(t)$ 가 전송되었을 확률은 $s_1(t)$ 이 전송되었을 확률에 비해 조금 우세하며, 마찬가지로 영역 III에 결정변수의 값이 위치할 때, $s_1(t)$ 이 전송되었을 확률은 $s_2(t)$ 가 전송되었을 확률에 비해 약간 우세하다. 그렇다면 이러한 현상을 통신 시스템에 적용하여 블록도로 나타내면 그림 2와 같다. 표 1은 양자화기(Quantizer)의 동작원리를 설명한다.



<그림 2> 제안한 시스템의 블록도

<표 1> 양자화기의 동작원리

| 영역 | 출력 |
|-----|-----|
| I | 0 0 |
| II | 0 1 |
| III | 1 1 |
| IV | 1 0 |

송신단에서 길이가 $n-1$ 비트인 신호시퀀스 $s_1s_2 \cdots s_{n-2}s_{n-1}$ 에 1 비트 우수 패리티 비트 s_n 를 추가하여 $s_1s_2 \cdots s_{n-1}s_n$ 을 보낸다고 하자. 수식 (2.2)는 s_n 과 나머지 비트들의 관계를 나타낸다.

$$s_n = \sum_{i=1}^{n-1} s_i \pmod{2} \quad (2.2)$$

각 비트 $s_i (i=1, 2, \dots, n-1, n)$ 의 결정변수가 $z_i (i=1, 2, \dots, n-1, n)$ 일 때, 결정변수 z_i 는 양자화기를 통과하여 $x_i e_i (i=1, 2, \dots, n-1, n)$ 로 출력된다. 먼저 패리티 검사를 하기 위하여 아래의 수식 (2.3)에서 T 가 modulo 2 연산으로 영이 되는 지 확인한다.

$$T = \sum_{i=1}^n x_i \quad (2.3)$$

패리티 검사가 맞다면, 즉 $T=0 \pmod{2}$ 이면 오류가 없다고 생각하여,

$\hat{s}_i (i=1, 2, \dots, n-1, n)$ 는 아래의 수식 (2.4)로 나타난다.

$$\hat{s}_i = x_i, \quad i=1, 2, \dots, n-1, n \quad (2.4)$$

패리티 검사가 틀려, 즉 $T=1 \pmod{2}$ 일 경우에는 각 비트 신호들의 결정변수의 값을 살펴본다. n 개의 비트 중 한 비트만이 영역 II 또는 영역 III에 속하고 나머지는 영역 I 또는 영역 IV에 속한다면, 그 경우는 다음과 같은 수식에 해당할 것이다.

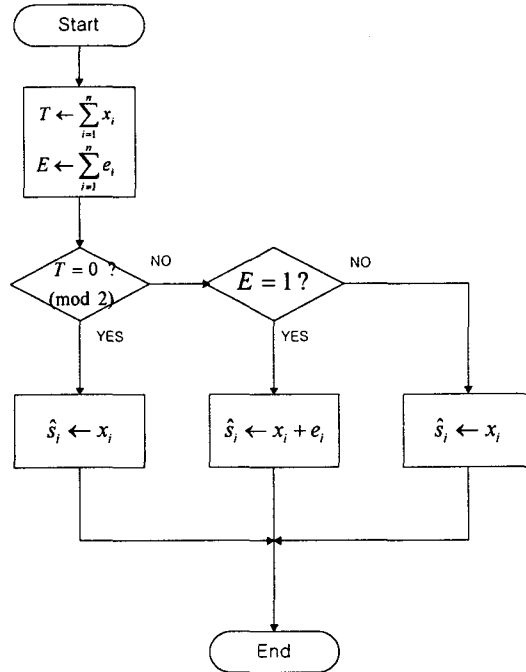
$$E = \sum_{i=1}^n e_i = 1 \quad (2.5)$$

이 경우 영역 II 또는 영역 III에 해당하는 바로 그 비트를 수정하기 위해서 아래와 같은 수식을 사용해 검출한다.

$$\hat{s}_i = x_i + e_i, \quad i=1, 2, \dots, n-1, n \quad (2.6)$$

다시 앞의 과정으로 돌아가, 패리티 검사가 맞지 않아 여러 비트들의 결정변수의 값을 살펴보고 있다고 하자. n 개의 비트의 결정변수의 값중 여러 개가 영역 II 또는 영역 III에 위치해 있든지, 아니면 한 비트도 영역 II 또는 영역 III에 위치해 있지 않다고 하자. 그러한 경우는 $E \neq 1$ 인 경우에 해당할 것이다. 이때에는 오류를 수정할 수 있는 경우에 해당하지 않기 때문에 다음과 같은 검출결과를 가진다.

$$\hat{s}_i = x_i, \quad i=1, 2, \dots, n-1, n \quad (2.7)$$



<그림 3> 제안한 시스템의 순서도

따라서 위의 과정을 종합하면 그림 3의 순서도를 얻을 수 있다.

지금부터 제안한 시스템의 성능을 분석한다. 일반적인 복조과정인 ML 규칙을 적용했을 경우, n 비트에 대한 오류가 발생하는 평균 비트수 N_1 은 수식 (2.8)과 같다.

$$N_1 = n \times Q\left(\frac{A}{\sigma_0}\right) \quad (2.8)$$

제안한 시스템에 의해 오류가 정정되는 평균 비트수는 다음과 같다.

$$N_2 = N_{21} + N_{22} \quad (2.9)$$

여기에서,

$$N_{21} = n \times \left[Q\left(\frac{a}{\sigma_0}\right) - Q\left(\frac{A+a}{\sigma_0}\right) \right] \cdot \left[1 - Q\left(\frac{A-a}{\sigma_0}\right) \right]^{n-1}$$

$$N_{22} = n \times \binom{n-1}{2} \times \left[Q\left(\frac{A}{\sigma_0}\right) - Q\left(\frac{A+a}{\sigma_0}\right) \right] \cdot \left[1 - Q\left(\frac{A-a}{\sigma_0}\right) \right]^{n-3} \cdot \left[Q\left(\frac{A+a}{\sigma_0}\right) \right]^2$$

제안한 시스템에 의해 오류가 추가되는 경우는 평균 비트수는 다음과 같다.

$$N_3 \doteq N_{31} + N_{32} \quad (2.10)$$

여기에서,

$$N_{31} = n \times (n-1) \times \left[Q\left(\frac{A-a}{\sigma_0}\right) - Q\left(\frac{A}{\sigma_0}\right) \right] \cdot Q\left(\frac{A+a}{\sigma_0}\right) \cdot \left[1 - Q\left(\frac{A-a}{\sigma_0}\right) \right]^{n-2}$$

$$N_{32} = n \times \binom{n-1}{3} \times \left[Q\left(\frac{A-a}{\sigma_0}\right) - Q\left(\frac{A}{\sigma_0}\right) \right] \cdot \left[Q\left(\frac{A+a}{\sigma_0}\right) \right]^3 \cdot \left[1 - Q\left(\frac{A-a}{\sigma_0}\right) \right]^{n-4}$$

이제 오류 확률을 유도하기 위해서 수식 (2.8), 수식 (2.9)를 이용한다.

$$P_B = \frac{1}{n} \cdot [N_1 - (N_{21} + N_{22}) + (N_{31} + N_{32})] \quad (2.11)$$

III. 결과 검토

그림 1에서 결정변수의 값이 위치한 영역을 구분하는 값 a 와 결정변수의 신호 성분 A 의 관계를 다음 수식의 R 을 사용하여 정의한다.

$$R = \frac{a}{A} \quad (3.1)$$

먼저 결정변수의 신호 성분이 A 이고 분산이 σ^2 일 때, 수식 (2.11)의 오류 확률을 최소화 하는 R 의 값을 구한다. 이 때의 R 의 값을 R_{opt} 이라 할 때, 즉 $R = R_{opt}$ 이다.

수식 (2.11)을 최소화 하는 값인 R_{opt} 은 수치해석 방법을 사용하여 구해진다.

<표 2>

| | A/σ | R_{opt} | P_B | 시뮬레이션치 |
|-------|------------|-----------|----------|----------|
| $n=6$ | 2.5 | 0.2880 | 1.700e-3 | 1.658e-3 |
| | 2.7 | 0.2844 | 6.948e-4 | 7.036e-4 |
| | 3.0 | 0.2807 | 1.617e-4 | 1.564e-4 |
| | 3.2 | 0.2791 | 5.661e-5 | 5.570e-5 |
| | 3.5 | 0.2766 | 1.046e-5 | 1.093e-5 |

표 2에서는 $n=6$ 이며, A/σ 가 2.5, 2.7, 3.0, 3.2, 3.5에서 P_B 값의 수식해석치와 시뮬레이션치를 비교한다. 여기서 수식 (2.17)에서 유도된 평균 오류 확률식과 제안한 시스템을 컴퓨터를 통하여 구현해 시뮬레이션 할 때의 결과가 거의 일치함을 알 수 있다.

지금부터 제안한 시스템과 BPSK 시스템을 비교설명한다. BPSK에서 오류확률 P_B 는 아래의 수식과 같다[2].

$$P_B = Q\left(\sqrt{\frac{2E_b}{N_0}}\right) \quad (3.2)$$

제안한 시스템의 오류확률을 유도하기 위하여 다음과 같은 관계식을 사용한다.

$$n \times E_{pro} = (n-1) \times E_b \quad (3.3)$$

$$A = \sqrt{E_{pro}} \quad , \quad \sigma_0^2 = \frac{N_0}{2} \quad (3.4)$$

여기에서 E_{pro} 는 제안한 시스템의 비트당 에너지를 말한다.

수식 (3.3)는 제안한 시스템의 비트당 에너지와 BPSK의 비트당 에너지의 관계를 말한다. 이 관계를 다시 쓰면 아래의 수식과 같다. 제안한 시스템에서는 송신단에서 패리티 비트를 첨가하여 보내기 때문에 BPSK와 같은 에너지를 사용하기 위해서는 BPSK의 비트당 에너지에 $(n-1)/n$ 배를 해야한다.

$$E_{pro} = kE_b \quad , \quad \text{where } k = \frac{n-1}{n} \quad (3.5)$$

수식 (3.4)과 수식 (3.5)을 수식 (2.11)에서 유도된 제안한 시스템의 오류 확률식에 대입하면 아래의 수식이 된다. 따라서 수식 (3.6)는 제안한 시스템을 BPSK시스템에 적용할 경우의 오류확률이 된다.

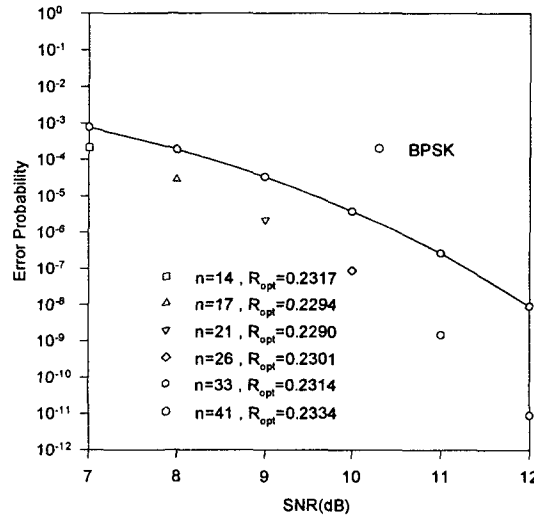
<표 3>

| SNR | n | R_{opt} | P_B |
|-------|-----|-----------|-----------|
| 7 dB | 14 | 0.2317 | 2.177e-4 |
| 8 dB | 17 | 0.2294 | 2.873e-5 |
| 9 dB | 21 | 0.2290 | 2.215e-6 |
| 10 dB | 26 | 0.2301 | 8.735e-8 |
| 11 dB | 33 | 0.2314 | 1.490e-9 |
| 12 dB | 41 | 0.2334 | 8.876e-12 |

$$P_B = Q\left(\sqrt{\frac{2kE_b}{N_0}}\right) - \left[Q\left(R\sqrt{\frac{2kE_b}{N_0}}\right) - Q\left((1+R)\sqrt{\frac{2kE_b}{N_0}}\right) \right] \cdot \left[1 - Q\left((1-R)\sqrt{\frac{2kE_b}{N_0}}\right) \right]^{n-1}$$

$$\begin{aligned}
& - \binom{n-1}{2} \times \left[Q\left(\sqrt{\frac{2kE_b}{N_0}}\right) - Q\left((1+R)\sqrt{\frac{2kE_b}{N_0}}\right) \right] \cdot \left[1 - Q\left((1-R)\sqrt{\frac{2kE_b}{N_0}}\right) \right]^{n-3} \cdot \left[Q\left((1+R)\sqrt{\frac{2kE_b}{N_0}}\right) \right]^2 \\
& + (n-1) \times \left[Q\left((1-R)\sqrt{\frac{2kE_b}{N_0}}\right) - Q\left(\sqrt{\frac{2kE_b}{N_0}}\right) \right] \cdot Q\left((1+R)\sqrt{\frac{2kE_b}{N_0}}\right) \cdot \left[1 - Q\left((1-R)\sqrt{\frac{2kE_b}{N_0}}\right) \right]^{n-2} \\
& + \binom{n-1}{3} \times \left[Q\left((1-R)\sqrt{\frac{2kE_b}{N_0}}\right) - Q\left(\sqrt{\frac{2kE_b}{N_0}}\right) \right] \cdot \left[Q\left((1+R)\sqrt{\frac{2kE_b}{N_0}}\right) \right]^3 \cdot \left[1 - Q\left((1-R)\sqrt{\frac{2kE_b}{N_0}}\right) \right]^{n-4}
\end{aligned} \tag{3.6}$$

표는 유도된 수식 (3.6)를 이용하여, 신호대 잡음비에 따른 최적의 n 과 R_{opt} 값에
서 P_B 값을 나타낸다. 그리고 그림 4는 이를 그림으로 나타낸 것이다.



<그림 4> BPSK 시스템과 제안한 시스템의 성능 비교

그림 4에서 신호대 잡음비가 7dB 일 때 제안한시스템은 BPSK 시스템보다 약 0.915dB 신호대 잡음비 이득이 있고, 신호대 잡음비가 8dB 일 때는 약 1.081dB 신호대 잡음비 이득이 있고, 신호대 잡음비가 9dB 일 때는 약 1.23dB 신호대 잡음비 이득이 있음을 알 수 있다.

IV. 결 론

본 논문에서는 송신시 한 비트 패리티 검사 비트를 임의의 길이의 비트 시퀀스에 첨가하여 전송할 때, 수신시 이를 이용하여 오류까지 정정할 수 있게 하는 시스템을 제안하였으며 또한 제안한 시스템의 오류확률을 유도하여 분석하였다.

제안한 시스템의 알고리즘은 전체적으로 간단하다. 송신시에는 일정한 길이의 비트에 한 비트 우수 패리티를 첨가하면 되고, 수신시에는 결정변수의 값에 따라 4 가지 레벨로 양자화한 후, 그 정보를 사용하여 오류를 정정하면 된다. 따라서 제안한 시스템은 단순하기 때문에 실제적으로 구현하기가 쉽다.

송신시의 비트 시퀀스의 길이를 임의로 선택하여 보낼 때, 제안한 시스템의 오류 확률식을 근사적으로 구하였다. 또한 유도된 수식의 타당성을 확보하기 위해 컴퓨터 시뮬레이션치와 비교 설명하여 거의 일치함을 보였으며, 오류를 최소화할 수 있도록 결정변수의 영역을 나눌 수 있게 하는 값을 수치해석 방법을 사용하여 구하였다.

제안한 시스템을 BPSK 시스템과 비교 설명하기 위해 특정한 신호대 잡음비마다 최적의 비트 시퀀스의 길이 및 결정변수의 영역을 구분하는 수치를 제시하였다. 예를 들면 신호대 잡음비가 8 dB 일 때 송신시 패리티 비트를 포함하여 17 비트를 전송하고, 수신시 영역을 구분하기 파라미터(Parameter)인 a 의 값이 결정변수의 신호성분의 0.2294 배이면 BPSK 시스템 보다 약 1.081dB 이득이 있다.

개인적으로 본 논문을 통하여 디지털 통신에 대하여 폭넓게 생각해 보았고, 앞으로 제안한 방법을 바탕으로 좀더 복잡한 알고리즘을 사용한 시스템을 연구하여 성능의 향상을 기대할 수 있을 것이다.

참 고 문 헌

- [1] B. Sklar, *Digital Communications*, Prentice Hall, 1988.
- [2] J. G. Proakis, *Digital Communications*, McGraw-Hill, 1995.
- [3] R. E. Ziemer and W. H. Tranter, *Principles of Communications*, Houghton Mifflin, 1990.
- [4] A. B. Carlson, *Communications*, McGraw-Hill, 1986.

- [5] M. K. Simon, S. M. Hinedi and W. C. Lindsey, *Digital Communication Techniques*, Prentice Hall, 1995.
- [6] J. M. Wozencraft and I. M. Jacobs, *Principles of Communication engineering*, John Wiley & Sons.
- [7] W. Stallings, *Data and Computer Communications*, Prentice-Hall, 1994.
- [8] H. L. Van Trees, *Detection, Estimation, and Modulation Theory*, John Wiley & Sons, 1968.