

**실리콘 전계 에미터 어레이 및 티타늄 질화물이 코팅된 실리콘 전계 에미터
어레이의 전자방출 특성**
(Electron Emission Characteristics of Si FEAs and TiN-coated Si FEAs)

한국전자통신연구원 : **최민수, 강승열, 송윤호, 이진호, 조경익**
충남대학교 재료공학과 : **임영언**

전계방출(field emission) 현상을 이용하는 진공미세소자는 평판 디스플레이, 고속 스위칭 소자, 미세 센서 등에 응용되기 위해서 최근 연구가 활발히 진행되고 있다. 이들 소자 중에서 실리콘 전계방출 어레이(Si field emitter array: Si FEA)는 기존의 발달된 반도체 공정과의 호환 및 구동회로와의 집적화가 가능하다는 장점을 가지고 있지만, 전자방출의 안정성이 낮고, 수명이 짧은 단점을 가지고 있다[1]. 본 실험에서는 3극형(triode-type) 실리콘 전계 에미터 어레이를 제작하고 티타늄 질화물(TiN)을 Si 팁 위에 코팅함으로써, 기존의 Si FEA의 장점을 유지함과 동시에 그들이 갖는 안정성과 수명의 문제를 해결하고자 하였다.

우선 실리콘 (100) 웨이퍼를 사용하여 $POCl_3$ 도핑함으로써 음극 전극을 형성하였으며, 열산화법으로 산화막을 성장시켜 패터닝한 후, 산화막을 건식식각하여 $1.2 \mu\text{m}$ 의 마스크용 디스크를 만들었다. 2단계 건식식각 공정으로 실리콘 팁을 형성한 다음 팁을 더욱 뾰족하게 만들기 위해서 첨예화 산화 공정을 수행하였으며, 성장된 열산화막을 6:1 BHF 용액으로 모두 제거하였다. 그 위에 티타늄을 스퍼터링 방법으로 증착한 후 급속열질화(rapid thermal nitridation) 처리를 하고, 화학증착법으로 게이트 산화막을 증착한 후, 스퍼터링 방법으로 TiW를 증착하여 게이트 전극막을 형성하였다. 그 다음, 스피ن-온-글래스(spin-on-glass)를 증착한 후, 에치-백(etch-back) 공정[2]을 수행하여 팁의 상부 산화막을 노출시킨 다음 6:1 BHF 용액에서 게이트 산화막을 식각하여 팁을 노출시켰다. 그 후 게이트 전극을 리소그래피와 식각공정으로 패터닝하여 TiN이 코팅된 Si FEA를 얻었다.

위의 방법으로 얻어진 두 종류의 FEA의 전계방출 특성을 5×10^{-7} Torr 이하의 진공챔버 내에서 측정하였다. 그 결과, 티타늄질화물이 코팅된 Si FEA는 기존의 Si FEA보다 동작개시 전압(turn-on voltage)이 약 20 V정도 감소하였고, 일정한 게이트 전압에서 방출전류가 20 배 이상 크며, 팁의 수명 또한 긴 것으로 관찰되었다. 또한 대부분의 금속 팁에서처럼 TiN이 코팅된 Si FEA에서도 안정한 전자방출을 얻기 위해서는 고전계 하에서의 열처리와 같은 적절한 사전처리[3]가 필요한 것으로 나타났다.

참고문헌

1. Yoon-Ho Song, et al., 4th ASID Proc., p. 211, Hong Kong, Feb, 1997.
2. Jin Ho Lee, et al., 9th IVMC '96 Tech. Digest, p.380, St. Petersburg, Russia, July, 1996.
3. C. A. Spint et al., IEEE transactions on electron devices, vol.38, No.10, Oct, 1991.