

증착 조건에 따른 비정질 실리콘 박막의 고상결정화 거동과 미세구조의 변화
(Solid Phase Crystallization Behaviors and Microstructures of Amorphous Silicon Films
Dependent on Deposition Conditions)

서울대학교 금속공학과 : 황석민, 류명관, 김기범

서울대학교 신소재공동연구소 : 민석홍

박막트랜지스터는 최근 평판 표시기로 각광 받고 있는 AMLCD(Active Matrix Liquid Crystal Display)를 구성하는 핵심 소자이다. 현재 박막트랜지스터에서는 전하의 이동로인 채널이 형성되는 활성층으로 기존의 비정질 실리콘 대신에 전계효과이동도가 큰 결정질 실리콘을 사용하고자 하는 연구가 많이 진행이 되고 있다. 결정질 실리콘을 제작하는 방법 중에는 저압 화학기상증착법 등으로 비정질 박막을 증착한 후 열처리를 통해 결정화시키는 고상결정화가 대표적이다. 고상결정화로 얻어진 결정질 실리콘의 미세구조를 살펴보면 최종 결정립의 모양이 타원형 혹은 수직상이고 결정립 내부에 쌍정과 같은 결정결합들이 많이 존재한다. 이러한 결정입계와 결정결합들은 전하의 이동을 방해하므로 결과적으로 박막트랜지스터의 소자의 성능을 저하시킨다. 따라서, 결정화 후 보다 큰 결정립을 만들어 유효결정입계면적을 줄이려는 연구가 진행되어왔다.

최근 본 연구자들은 비정질 실리콘 박막 증착 초기에 산소를 주입하여 계면에서의 산소농도를 높일 경우 계면에서의 핵생성이 억제되고 박막 표면에서부터 결정화가 진행되는 것을 관찰하였다. 특히, 박막표면에서부터 성장한 결정립들의 경우 계면에서 성장한 결정립들이 $0.3\sim 1\mu\text{m}$ 크기의 타원형태를 가지는데 비해 $3\sim 5\mu\text{m}$ 크기의 등축정 형태를 가지는 것을 관찰하였다.¹⁾ 즉, 고상결정화시 표면에서부터 결정립이 성장해나갈 경우 전하이동에 방해가 되는 유효결정입계면적을 줄일 수 있음을 확인하였다.

기존의 고상결정화 과정에서 계면에서의 핵생장이 우세한 이유는 계면에서의 structural orderness가 표면에 비해 크기 때문인 것으로 생각된다. 본 연구에서는 박막표면에서의 structural orderness를 향상시키기 위해 증착과정 중에 증착온도를 점차 증가시켜 얻은 비정질 실리콘과 일정한 증착온도 하에서 증착된 비정질 실리콘을 고상결정화시킨 후 결정화 양상과 미세구조를 비교하고자 한다. 비정질 실리콘 박막은 SiH_4 , Si_2H_6 을 원료가스로 하여 저압화학기상증착법으로 증착하였다. 증착시 공정온도는 $400^\circ\text{C}\sim 600^\circ\text{C}$ 사이였으며, 고상결정화는 열처리온도 600°C 에서 질소 분위기 하에서 실시하였다. 결정화 과정과 미세구조 관찰을 위해 X-선 회절기와 투과 전자 현미경을 이용하였다. 분석 결과, 증착 과정 중에 증착 온도를 증가 시켜 박막 표면에서의 structural orderness를 향상시킨 비정질 실리콘의 경우 증착 온도가 일정했던 비정질 실리콘에 비해 고상결정화시 표면으로부터의 핵생성 및 성장에 의한 등축정 형태의 결정립들이 형성되었음을 확인하였다.

참고 문헌

- 1) M. K. Ryu, S. M. Hwang, K. B. Kim, and S. H. Min, Appl. Phys. Lett. (to be published)