

## 건식세정에 의한 Si 표면의 금속불순물 제거에 관한 연구

Studies on the removal of metallic impurities on Si surface by dry cleaning

박용, 이종무, 안태항\*, 전형탁\*

인하대학교 금속공학과

한양대학교 금속공학과

### 1. 서론

반도체 소자가 고집적화 됨에 따라 공정의 신뢰도 및 수율향상을 위해 Si 기판 세정에 관한 관심이 증가하였다. 특히 차세대 소자인 giga급 이상의 소자 개발에 있어서는 반도체 소자 생산을 위한 단위공정의 수의 증가에 따라 사용되는 chemical양이 상당히 증가하였고 실리콘 기판이 불순물에 의해 오염될 가능성이 높아지게 되었다. 따라서 chemical의 양을 줄이는 방법과 오염물질이 없는 초청정 Si 기판을 얻기 위한 세정공정에 관한 연구는 필수 불가결하게 되었다. 일반적으로 Si 기판의 주 오염물질로는 particles, organics, metallics, native oxide등이 있다. 특히 금속불순물은 이온주입공정이나 RIE등과 같은 실제 단위공정중에  $10^{11} \sim 10^{13}$  atoms/cm<sup>2</sup> 정도로 오염이 되고 있으며 Si 보다 전기음성도가 높은 Cu 및 전기음성도가 같은 Fe과 같은 금속불순물은 Si 기판표면위에 오염되어 실리콘 내부로 쉽게 확산하여 Si band gap내에 trap을 형성하여 minority carrier lifetime을 감소시키고 PN junction leakage current를 증가시키며 oxide breakdown voltage를 감소시키는 경향이 있다. 또한 DRAM과 같은 메모리소자의 핵심 구조인 MOS를 형성하는 공정에서 게이트 산화막을 성장시키기 전에 실리콘 표면의 불순물이 완벽히 제거되어야 MOS 디바이스가 신뢰성이 있는 동작을 하게 되며, 이를 달성하기 위하여 금속오염의 경우 실리콘 표면에서의 농도가  $1 \times 10^{10}$  atoms/cm<sup>2</sup> 이하가 되어야 하는 것으로 알려져 있다. 그러므로 반도체 소자의 생산성 및 신뢰성을 향상시키기 위해서는 Cu 및 Fe과 같은 금속불순물은 반드시 제거되어야만 한다.

따라서 본 연구에서는 Fe에 대한 건식세정 효과에 대한 결과를 보이고자 한다.

### 2. 실험 방법

P-type, B-doped(100), 4", 비저항 10~20 $\Omega$ cm인 Si wafer를 piranha cleaning(H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> = 4 : 1)을 10분 동안 실시하여 wafer표면에 있는 유기오염을 제거하였다. 다음으로 HF solution(HF : DI water = 1 : 10)에 10초 동안 세정하여 자연산화막을 제거하였다. HF세정이 끝난 기판은 DI water rinse(5min)와 spin dry(10min)처리한 후 DI wafer에 FeCl<sub>3</sub> 표준화학용액의 농도가 1ppm이 되도록 한 오염원에 5분동안 침잠시켜 인위적으로 Fe를 오염시켜서 DI water rinse(5min)와 spin dry를 실시하였다. 이렇게 준비된 시편을 처리시간, 기판온도, rf power를 변화시켜서 리모트 수소 플라즈마로 세정하여 SIMS, TXRF, 와 AFM으로 금속불순물 잔류량과 표면거칠기를 측정하였으며 AES로 Si 표면의 금속불순물의 형태와 존재를 확인하였으며 SPV로 소수전하수명과 표면재결합 등을 측정하였다.

### 3. 실험결과

처리시간이 짧을수록 세정효과가 좋았고 표면거칠기 역시 좋았다. 기판온도가 올라갈수록 세정효과가 좋았으며 rf power가 증가할수록 세정효과는 좋았으나 표면거칠기는 오히려 증가하였다. 최적조건은 짧은 플라즈마 처리시간과 낮은 rf power플라즈마에서 찾을 수 있었다.