

주입가스 차단을 이용하여 불연속 증착방법에 의해 제조된 LPCVD 비정질 실리콘 박막의 고상 결정화

(Solid Phase Crystallization of LPCVD Amorphous Silicon Films Fabricated by Discontinuous Deposition Using Interrupted Gas Supply)

홍익대학교 금속·재료공학과 정세진, 노재상

서 론 지난 수년간 다결정 실리콘 박막 트랜지스터에 대한 관심이 증가되어왔으며 특히 AMLCD (active-matrix-liquid-crystal-display)의 제조에 관심이 집중되고 있다. 일체형 디스플레이 회로(디스플레이 구동회로와 화소작동소자)를 집적하기 위해서는 다결정 실리콘 TFT의 특성이 우수한 전하 이동도, 누설전류의 감소 등의 몇가지 사항이 요구된다. 특히 드레인 공핍층 내에 존재하는 결정립계에서의 전하 포획 밀도에 따라 그만큼의 누설전류 변화를 초래하게 되므로 결정립을 증가시킬 목적이 대두된다. 본 연구진은 앞서의 연구를 통해 a-Si/SiO₂ 계면의 증착온도를 변화시키면서 50 Å 두께의 비정질 박막을 증착한 후, 연속적으로 500 °C 증착온도의 950 Å 비정질 실리콘을 증착하면 고상 결정화시 핵생성에 필요한 잠복기 및 핵생성 속도는 초기 비정질 실리콘의 증착조건에 의해 결정된다는 사실을 실험적으로 처음 관찰하였다. 소위 '핵생성 계면제어'된 비정질 실리콘 박막을 고상 결정화시 결정립 크기의 증가를 관찰할 수 있었다. 본 연구에서는 또다른 핵생성 계면 제어방법을 고안하였는바 상대적으로 매우 얇은 비정질 실리콘을 증착한 후 일정시간 주입가스를 차단하여 인위적으로 반응기내의 불순물을 유입하고 그 위에 reference 비정질 실리콘을 증착하는 불연속 증착방법을 처음으로 개발하여 불순물 효과에 의해 a-Si/SiO₂ 계면에서의 핵생성을 억제하므로써 2배 이상 증가한 결정립 크기를 얻을 수 있었다.

실험 방법 4" p-type (100) wafer에 1000 Å 두께의 열산화막(SiO₂)을 증착한 후, 그 위에 LPCVD를 이용하여 Si₂H₆ 가스를 사용한 비정질 실리콘 박막을 증착하였다. a-Si/SiO₂ 계면에 440, 480, 500 °C - 0.35 Torr 증착조건에 상대적으로 매우 얇은(~50 Å) 비정질 실리콘 박막을 증착시키고 약 3분간 주입가스를 차단한 후, 그 위에 500 °C, 0.35 Torr의 조건으로 증착시킨 1000 Å 두께를 갖는 다층 비정질 실리콘 박막을 제조하였다. 증착된 비정질 실리콘 박막은 N₂ 분위기의 관상로에서 열처리 시간에 따른 결정화 거동을 XRD를 이용하여 관찰하였으며 결정립의 크기 및 미세구조는 TEM을 이용하여 단면 및 평면 명시야상 등의 방법으로 관찰하였다.

실험결과 및 고찰 열산화막위에 1000 Å 두께를 갖는 비정질 박막을 430~550 °C, 0.35 Torr의 증착조건으로 증착시킨 후 600°C 열처리하면 증착온도 감소에 따라 잠복기 및 XRD의 (111)회절강도가 단조증가하나 440 °C 이하의 증착온도에서는 잠복기의 증가에도 불구하고 (111) 회절강도가 다시 감소하게 되는데 이는 증착시간이 지수적으로 증가함에 따라 증착시 불순물이 유입되어 결정립의 핵생성 및 성장에 영향을 주었기 때문이라 판단된다. 이러한 사실에 착안하여 열산화막 위에 우선 ~50 Å의 얇은 비정질 실리콘층을 0.35 Torr의 증착압력에서 증착온도를 440, 480, 500°C로 변화시켜 증착시키고 일정시간동안 주입가스를 차단하여 반응기내에서 oxygen과 같은 불순물 유입을 의도적으로 유도한 후, 그 위에 500 °C, 0.35 Torr의 조건으로 증착시킨 1000 Å 두께를 갖는 다층 비정질 실리콘 박막을 제조하였다. 이는 반응기 내에 잔류해 있던 불순물들이 핵생성이 우선적으로 일어나는 a-Si/SiO₂ 계면 근처에 유입되어 결정립 성장에는 영향을 주지 않고 단지 핵생성만을 제어하고자 하였다. 이를 600°C 열처리하여 XRD 분석한 결과 500 °C, 0.35 Torr의 조건으로 증착시킨 1000 Å reference 박막에 비해 잠복기가 3배 이상 증가하였으며 (111) 회절강도도 2배 이상 증가하였다. 그러나 50 Å 두께의 하부 비정질 박막의 증착온도에 따른 고상 결정화 거동의 차이는 거의 관찰되지 않았다. 불연속 증착에 의해 제조된 비정질 실리콘 박막을 열처리 후 TEM으로 관찰한 결과 500 °C, 0.35 Torr의 증착조건으로 1000 Å 증착한 경우 결정립의 크기가 0.8 μm인데 비해 불연속증착에 의해 핵생성을 제어한 박막의 경우는 2 μm 이상이었다. TEM으로 박막의 단면을 관찰한 결과 불연속 증착에 의한 박막의 경우 상부 ~950 Å의 비정질 실리콘의 결정화가 완료되었음에도 불구하고 하부의 ~50 Å의 비정질 실리콘은 oxygen과 같은 불순물이 많이 함유되어 결정화가 완료되지 않았음을 볼 수 있었다.

결 론 불연속 증착방법에 의해 제조된 비정질 실리콘 박막의 고상 결정화 거동을 관찰한 결과 불순물 유입에 의해 a-Si/SiO₂ 계면근처의 핵생성이 억제되어 조대한 결정립을 얻을 수 있었다. 그리고 50 Å 두께의 하부 비정질 박막의 증착조건에 관계없이 유사한 고상 결정화 거동이 관찰되었다. TEM 관찰결과 ~950 Å 두께의 상부 비정질 실리콘의 결정화가 완료되었음에도 불구하고 하부의 ~50 Å의 비정질 실리콘은 oxygen과 같은 불순물이 많이 함유되어 결정화가 완료되지 않았음을 볼 수 있었다.