

송전선보호계전기 시험을 위한 RTDS에서의 2회선 송전선로 Model구축 및 동특성시험

정창호* 이재규 윤남선 안복신
LG산전(연)시스템연구소

김석일
한전 계통운영처 계전기계획부

Dynamic Characteristics Test and Test Model Establish on Double Circuit for Protective Relay Test Using Real Time Digital Simulator

Chang-Ho Jung* , Jae-Gyu Lee, Nam-Seon Yoon, Bok-Shin Ahn, Sok-il Kim
LG Industrial Systems R&D Center KEPCO

Abstract - This paper describes dynamic characteristics test of distance relay and current differential relay using Real Time Digital Simulator on double circuit transmission line.

First, The double circuit T/L modeling on RTDS was proposed and the results from the proposed model were compared with those of PSS/E. This comparison shows the possibility of dynamic test using the RTDS.

The relay included about 20 test items which are apt to include maloperation of protective relays in critical situations.

2. Test Model 구축

2회선 송전선로에서 충분한 시험이 이루어지도록 하기 위해 그림 1(a)와 같은 양전원 4모선계통을 선정하였으며 선로정수는 실제 선로정수를 입력하였다. 또한 Mutual Impedance의 효과와 Zero Sequence Impedance효과가 나타나도록 그림 1(d)와 같이 선로정수를 2회선에서 1회선으로 축약하였다. 그리고 RTDS에 입력하기 위하여 축약한 선로정수를 정상회로와 영상회로를 분리하여 그림 2와 같이 수정하여 입력한 다음 고장지점을 바꾸어 가며 시험을 실시하였다.

1. 서 론

송전선 보호계전기는 그 특성상 가장 많은 신뢰성이 요구되는 전력계통 보호설비중 하나이며 그 설비자체가 가진 신뢰성만큼이나 계전기의 정상적 동작을 방해하는 사고요인이 너무도 다양하여 이를 정상적으로 운전하기란 많은 운영상 어려움이 있다. 또한 이러한 사고의 요인들을 실제상황에 적합하게 가공하기가 어려워 운용 전에 시험을 다양하게 수행하지 못하는 어려움도 안고 있었다.

따라서 이러한 문제점을 해결하기 위하여 Real Time Digital Simulator(RTDS)를 이용하였다. Real Time Digital Simulator는 다양한 사고의 형태를 실시간으로 모의할 수 있을 뿐만 아니라 분석이 가능하여 계통보호설비의 시험용으로 많이 응용되고 있는 장비이다.

본 시험에서는 이러한 RTDS를 이용하여 계전기를 시험할 수 있도록 2회선 송전선로에서의 시험 Model을 구축하였으며 구축한 시험Model을 PSS/E S/W의 결과와 비교하여 활용 가능성을 입증하였다. 또한 실제 이 시험 Model을 이용하여 Digital거리계전기와 PCM전류차동계전기에 대한 동특성 시험 등 다양한 시험을 실시하였다.

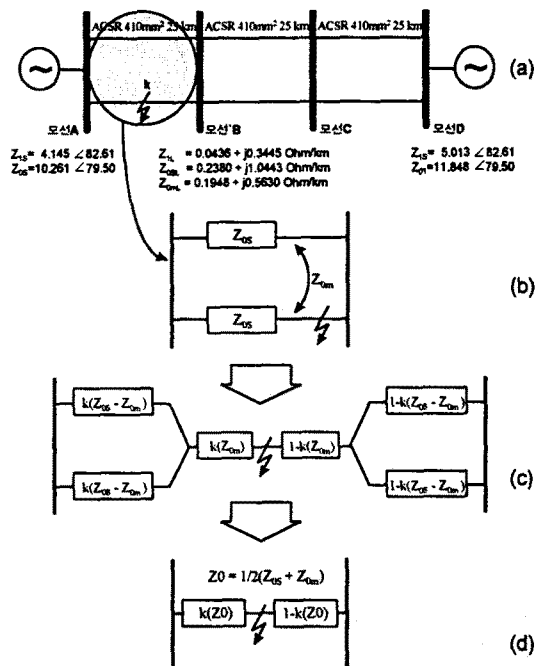


그림 1. 영상회로 축약과정

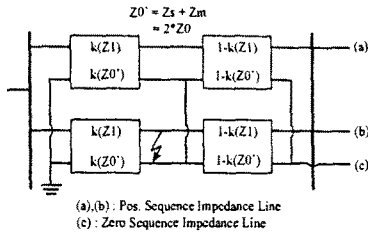


그림 2. RTDS 입력회로 및 선로정수

여기서 Modeling한 RTDS입력회로와 선로정수가 어느 정도의 정확성을 갖는가를 알기 위하여 그림 1의 (a)의 계통을 수계산이 편리하도록 편단전원으로 고치고 모선 A, 모선 B만을 갖는 계통에서 1선 지락, 3상 단락시 고장전류, 고장전압을 RTDS의 출력과 PSS/E의 결과 그리고 수계산한 결과를 서로 비교하였다.(표 1)

표 1. 고장전류, 전압 비교 (단위 I(A), V(kV))

Fault Point	Fault Type		RTDS	PSS/E	수계산	Error(%)
모선 A	1φG	I	14,381	14,456	14,463	0.52
		V	0	0	0	0.00
	3φS	I	21,551	21,430	21,435	0.56
		V	0	0	0	0.00
모선 B	1φG	I	5,540	5,670	5,571	2.29
		V	54.74	54.69	54.70	0.09
	3φS	I	10,476	10,467	10,469	0.09
		V	45.49	45.48	45.49	0.02
50%	1φG	I	5,473	5,430	5,430	0.79
		V	44.26	44.39	44.39	0.29
	3φS	I	9,009	9,001	9,001	0.09
		V	39.12	39.11	39.11	0.03
오차평균						0.4

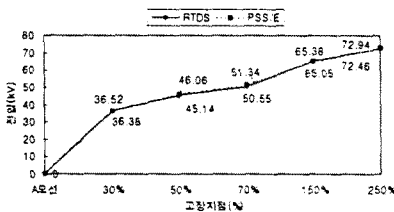


그림 3. A상 지락시 고장전압 비교

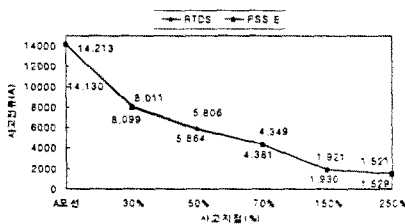


그림 4. A상 지락시 고장전류 비교

비교결과 오차평균이 0.4% 정도로 거의 일치하여

Modeling이 어느 정도 정확성을 갖는 것으로 판단하여 실제 시험계통인 그림 1(a)의 계통에서 고장 전류 및 전압의 크기를 PSS/E 결과와 RTDS 출력을 다시 비교하여 RTDS에서의 계전기 시험이 제안한 Model로 충분히 가능함을 확인하였다.(그림 3, 그림 4)

3. 시험방법 및 시험항목

시험은 먼저 RTDS S/W인 PSCAD를 이용하여 앞에서 Modeling한 방법대로 시험계통을 완성한 후 입력된 선로정수를 계전기에 정정한다. 이때 거리 계전기의 보호범위는 Zone-1, Zone-2, Zone-3 각각 75%, 150%, 250%로 설정하고, Zone-1은 순시, Zone-2 Time은 0.3초, Zone-3 Time은 0.5초로 정정하였다. 그런 다음 RTDS를 통하여 출력된 아날로그 출력은 실시간으로 각각의 계전기 설치점의 CT, PT의 2차 전류, 전압으로 증폭기에서 증폭된 뒤 계전기에 입력된다. 그리고 계전기가 Trip되면 그 출력은 다시 RTDS에 입력되어 해당 선로의 차단기가 Open된다.(그림 5) 시험항목은 ①Zone1,2,3 단락 및 지락 Reach Test, ②PCM전류차동계전기 내부고장 Test, ③Scheme Test(Blocking Logic, PO, PU), ④Power Swing Blocking Test, ⑤CT Saturation Test, ⑥WEI Scheme Logic Test, ⑦High Impedance Fault Test, ⑧Fault Current Reversal Test, ⑨Short Time Fault Test, ⑩Reclosing Test, ⑪Memory Action Test, ⑫Evolving Test 등 약 20여 항목이며, CT Saturation Test 및 Fault Current Reversal Test 결과만을 간략히 서술하였다.

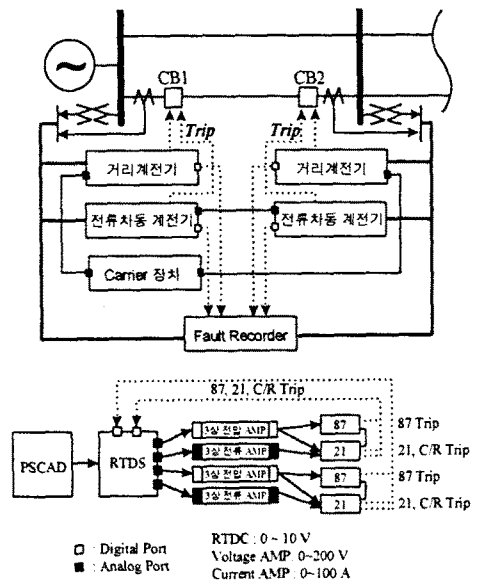


그림 5. RTDS를 이용한 시험방법

3.1 CT Saturation Test

그림 6은 CT Saturation Test결과 Fault Recorder의 출력력을 표시한 것이다.

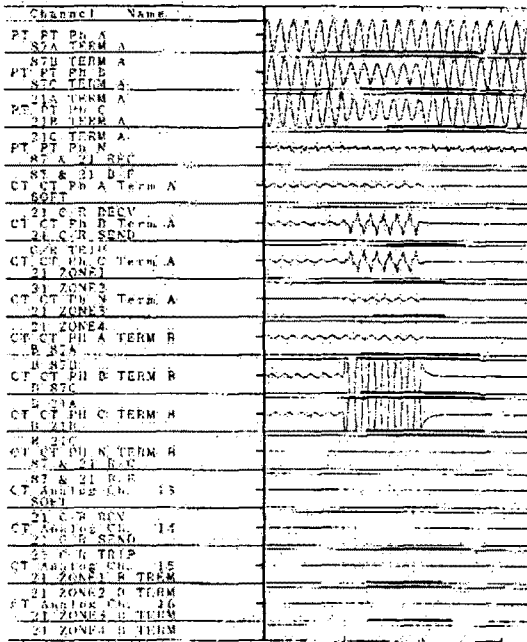


그림 6. CT Saturation Test결과

시험방법은 RTDS CT Model을 A모선측 CT가 포화하기 쉽도록 한 다음 75% 지점에서 BC상 단락고장을 일으켜 A모선측 계전기가 CT가 포화된 입력을 받을 경우 계전기가 정상적으로 동작하는지를 감시하는 시험이다. 그 결과 A모선측에 설치된 계전기는 87 Trip, C/R Trip, Zone-2, Zone-3 Element가 동작하였고, B모선측에 설치된 계전기는 87 Trip, 21 Trip, C/R Trip, Zone-1,2,3 Element가 동작하였다. Scheme은 Blocking Scheme을 사용한 경우이다. 이러한 방법으로 모든 시험항목에 대하여 각각의 시험에 맞도록 계전기를 정정하고 RTDS의 Event Sequence 및 Model를 바꾸어가며 실시하였다.

3.2 Fault Current Reversal Test

그림 7은 Blocking Scheme하에서 Blocking Signal 송수신 협조를 평가하기 위한 Fault Current Reversal Test의 RTDS Event Sequence를 나타낸 것이다. 계전기가 설치된 선로에 인접한 타선로의 90%지점에서 1선 지락고장을 그림 7과 같은 Sequence로 발생시킨다. 그러면 B모선의 계전기는 외부고장으로 판단하여 Trip Blocking Signal을 A모선의 계전기측에 송신하고 A모선의 계전기 Blocking Signal을 수신하여 C/R Trip이 저지된다. 이후 타선로의 차단기(CB3)가 Open됨과 동시에 고장전류는 반전되고 A모선 계전기와 B모선의 계전

기는 서로 Trip Blocking Signal을 반대로 주고 받는다.(그림 8) 이와 같이 Trip Blocking Signal을 주고받는 도중 시간협조가 되지 않을 경우 계전기가 Trip될 수 있으므로 이러한 경우 계전기가 정상적으로 동작하는지를 감시하는 시험이다.

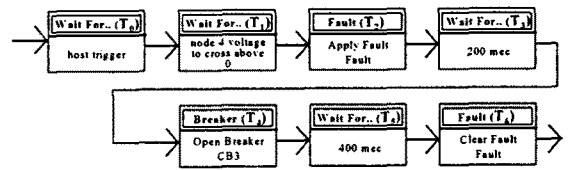


그림 7. 고장전류반전시험을 위한 RTDS Event Sequence

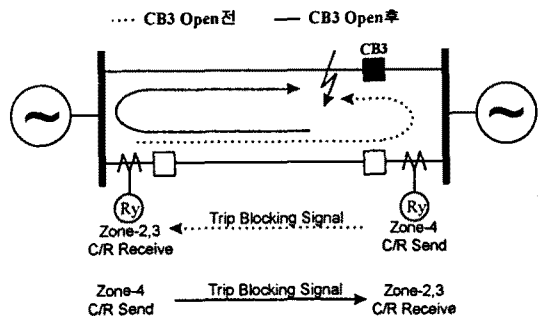


그림 8. RTDS을 이용한 고장전류반전시험

4. 결론

Real Time Digital Simulator는 여러 가지의 고장유형을 모의할 수 있고 실제계통의 CT, PT 2차 전류, 전압의 크기로 시험이 가능하기 때문에 계전기의 사용전 실증시험에 적합하다. 따라서 본 시험에서는 이를 응용하여 계전기가 오동작 하기 쉬운 시험항목을 선정하여 시험을 실시하였고, 이를 통해 계전기의 특성을 파악하여 계전기 정정에 큰 도움이 되었다. 또한 계전기 제작시 보호알고리즘 검증에도 도움이 되리라 사료되며, 앞으로 실제 계통에서 일어날 수 있는 여러 고장유형을 연구, 모의하여 다양한 계통사고에 대한 계통보호능력을 갖추어 나갈 예정이다.

(참고 문헌)

- [1] 정창호, 김일동 외, "RTDS를 이용한 Digital거리계전기의 동특성 시험에 관한 연구" 대한전기학회 추계학술대회, pp.109-111, 1996.11
- [2] 전력연구원, "직접접지계통 송전선로 고저항 지락 보호대책 연구", 중간보고서, pp.203-257, 1996.11