

**접합 SOI 웨이퍼내의 계면고찰**  
( Characterization of Interface in Bonded Silicon-on-Insulator Wafer )

홍필영, \*문동찬, \*\*강성건, \*\*서광, \*\*김홍락, \*\*류근걸  
(주)포스코홀스 연구개발팀  
\*광운공과대학교  
\*\*포항산업과학연구원 재료표면연구팀

### 요약

웨이퍼 접합기술을 이용한 SDBSOI(Silicon Direct Bonding Silicon-on-Insulator) 웨이퍼가 다른 SOI 제조기술보다 소자가 형성되는 상부실리콘층의 품질이 우수하고, 상부실리콘 박막과 절연층인 실리콘 산화막의 두께조정이 용이한 장점을 갖고 있어서, 차세대 웨이퍼로서 활발히 연구되어지고 있다. 본 연구에서는 접합웨이퍼를 제조하기 위하여 먼저 웨이퍼 표면을 청정하게하고, 진공 접합 공정을 하고, 후속 열처리 공정을 실시하여 완전히 접합되도록 하였다. 접합 웨이퍼는 표면상태가 각각 Si/Si, Si/SiO<sub>2</sub>, SiO<sub>2</sub>/SiO<sub>2</sub>인 세가지 종류를 만들어서 제조하였고, 접합계면상태를 IR Topograph 및 TEM 으로 분석하여 청정과 Flatness가 중요한 변수임을 확인하였다.

## 1. 서론

SOI 기술은 반도체 집적회로소자가 극소화되므로 인하여 발생하는 동작속도 감소, 내방사성 열악, 소자분리 불완전 등의 기존의 반도체소자에서 심각하게 대두된 문제점을 제거하는 기술로서, 소자가 형성되는 상부실리콘층을 실리콘 산화막을 사용하여 하부 실리콘 기판을 절연시키는 방법으로 상당히 주목받고 있는 차세대 반도체 웨이퍼 제조기술이다. 이러한 SOI 웨이퍼를 제조하는 기술중에서 SDB(Silicon Direct Bonded) 기술은 상부실리콘층의 높은 결정성 및 절연층인 실리콘 산화막의 두께조정이 용이하므로 활발히 특성 및 응용연구가 이루어지고 있다. 본 연구는 세가지 형태의 접합구조인 Si/Si, Si/SiO<sub>2</sub>, SiO<sub>2</sub>/SiO<sub>2</sub> 를 만들어서 접합계면의 특성을 조사하였다.

## 2. 실험

접합계면을 연구하기 위하여 6인치 실리콘 웨이퍼의 접합을 실시하였는데, 산화막이 없는 실리콘 웨이퍼와 산화막을 형성한 실리콘 웨이퍼의 두가지 종류를 사용하였다. 산화막은 건식산화방식으로 1050℃의 온도에서 111분간 실시하여 약 1000Å 을 성장시켰다. 접합전 실리콘 웨이퍼 표면과 산화막 표면을 청정세정을 실시하여, 접합계면결합의 원인이 되는 먼지, 유기물, 금속불순물 등을 제거하였다.

Si/Si 접합을 하기위해서, 먼저 실리콘 웨이퍼를 2 H<sub>2</sub>SO<sub>4</sub> : 1 H<sub>2</sub>O<sub>2</sub> 혼합용액으로 세정하고, 1 HF : 100 H<sub>2</sub>O 에 수분간 dipping하여 표면의 먼지및 불순물을 제거하였다. 접합은 진공접합과 열처리접합의 두단계로 진행하였는데, 전자는 상온에서 웨이퍼를 로딩한 후 진공분위기 2x10<sup>-3</sup> Torr 공정을 거치고, 후자는 산소분위기의 1100℃ 고온 산화로에서 1시간정도 열처리공정을 진행하였다.

SiO<sub>2</sub>/SiO<sub>2</sub> 접합을 하기위해서, 먼저 웨이퍼 산화막 표면의 유기물, 금속불순물 등을 제거하기 위하여 시료를 2 H<sub>2</sub>SO<sub>4</sub> : 1 H<sub>2</sub>O<sub>2</sub> 혼합용액으로 세정하고, 1 HF : 100 H<sub>2</sub>O 에 수십초간 dipping하였다. 접합은 위에 실시한 방식으로 두단계 공정을 거쳤다.

Si/SiO<sub>2</sub> 접합을 하기위해서, 먼저 웨이퍼 표면과 산화막 표면을 각각 별도로 위에 실시한 방법을 써서 청정세정하여 표면의 이물질을 제거하고, 접합은 위에 실시한 방식으로 두단계 공정을 거쳤다.

이와같이 제조된 SDBSOI(Silicon Direct Bonded Silicon-on-Insulator)웨이퍼들의 접합계면특성을 IR(Infrared) Topography 시스템과 TEM(Transmission Electron Microscope)으로 분석하였다.

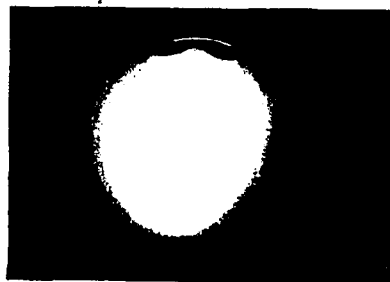
### 3. 결과 및 토의

Si/Si 접합에서는 Flat Zone 부분에 불완전 접합부분이 보이고, SiO<sub>2</sub>/SiO<sub>2</sub> 접합에서는 Ring 패턴과 Void가 관찰되고, Si/SiO<sub>2</sub> 접합에서는 불완전 접합부분과 Void가 보이고 있다. 진공접합 후의 열처리 공정을 통해서도 이 결함들이 거의 제거되지 않는 것으로 보아, 완벽한 접합계면을 이루고, 웨이퍼 수율향상을 기하기 위해서는 접합 전의 웨이퍼 청정및 Flatness 상태가 절대적으로 중요한 것 같다.

그림 1. 은 Super Flatness 와 Normal Flatness 웨이퍼의 접합계면상태의 비교이다.

### 4. 참고문헌

1. J.B.Lasky, Appl.Phys.Lett. 48(1), 6 January 1986, p78
2. Takao Abe et.al, Jpn.J.Appl.Phys. Vol.29, No.12, December 1990, L2311
3. H.Ohashi et.al, '87-IEDM Tech. Digest, p678
4. W.P.Maszara, J.Electrochem. Soc., Vol.138, No.1, 1991, p341



(a) Normal Flatness



(b) Super Flatness

그림 1. Si/Si 접합 웨이퍼 계면상태의 IR Topography