

인이 *in-situ*로 도핑된 다결정 실리콘의 열처리 온도에 따른 비저항의 변화  
(Resistivity Behavior of *In-situ* Phosphorous Doped Poly-silicon with Annealing Temperature)

현대전자 메모리 연구소 김민수, 임 찬, 박영진, 김종철

연락처: 김민수

(467-701) 경기도 이천시 이천우체국 사서함 1010호

현대전자 메모리 연구소 선형 공정 2실 연구원

E-Mail: mskim@dse@hei510.hyundai.co.kr

TEL: (0336)30-4466, FAX: (0336)30-4545

## I. 서 론

반도체 소자에서 *in-situ* phosphorous doped Si의 응용 범위는 워드 라인, 비트 라인에서 축전지의 전극 등에 이르기까지 광범위하게 사용되고 있다. 이러한 이유로 *in-situ* doped Si의 물성에 대한 연구가 다각적으로 이루어지고 있으며, 특히 고온(850°C 이상)에서의 열처리에 의한 Si 막의 저항이나 구조에 대한 연구가 오래 전부터 심도 있게 이루어져왔다. 그러나, 향후 고집적 소자에서는 shallow junction형성을 위하여 낮은 thermal budget이 요구됨에 따라 열처리 온도 영향의 체계적인 연구가 필요하다. 본 연구에서는 인(phosphorous)을 dopant로 한 *in-situ* doping 법으로 비정질 Si를 증착하여 600°C부터 900°C의 온도범위로 열처리하여, 막의 저항 특성 변화를 살펴보았으며, 700°C에서 비저항이 극대값을 가지는 현상이 발견되었고, 그 원인을 조사하여 보고하고자 한다.

## II. 실험 방법

실험에 사용한 시편은 <100> 방향의 p-type Si 기판 위에 SiO<sub>2</sub> 1000Å을 성장시킨 후 LPCVD 장비에서 *in-situ* phosphorous doped Si를 550°C에서 1500Å의 두께로 증착하였다. 증착된 막의 후속 열처리 조건은 600°C에서 900°C까지 50°C 간격으로 30분 동안 실시하였다. 비교적 낮은 온도에서 저항의 거동을 알아보기 위해 600°C에서 열처리 시간을 30분에서 300분까지 변화시켜 살펴보았으며, 700°C와 900°C의 반복 열처리에 의한 저항 거동을 살펴보았다. 조건별로 저항을 측정된 후 SIMS, TEM, SEM, XRD 등을 이용하여 물리·화학적 특성 변화를 분석하였다.

## III. 실험 결과

그림 1은 열처리 온도에 따른 저항의 변화를 보이고 있다. 열처리 온도가 600°C에서 900°C로 증가함에 따라서 phosphorous doped Si의 저항값이 증가하다가 700°C에서 극대치에 도달한 후 감소하는 것을 알 수 있다.

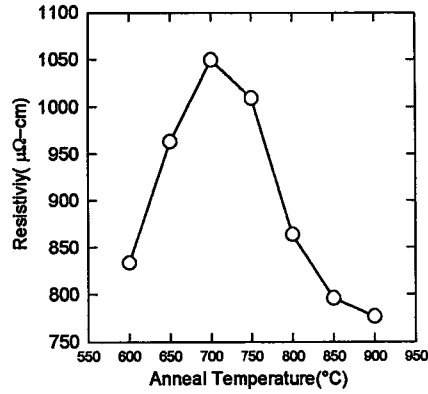
그림 2와 그림 3은 열처리 온도에 따른, phosphorous doped Si의 <111> 방향의 XRD peak intensity와 SIMS로 측정된 *in-situ* phosphorous doped Si내의 phosphorous 농도를 보여주고 있다. 열처리 온도의 증가는 doped Si의 결정성을 향상시키고 doped Si내 phosphorous 농도의 감소를 수반한다. 일반적으로 doped Si 결정성 향상은 막의 저항을 감소시키고, phosphorous 농도의 감소는 저항을 증가시키는 것으로 알려져있다. 그러나 이와 같은 해석은 그림 1의 열처리 온도 700°C에서 저항의 극대치가 나타나는 현상을 설명하지 못한다.

그림 4와 그림 5는 최초의 열처리 이후에 열처리 시간 또는 열처리 온도를 연속적으로 변화시키면서 측정된 저항의 특성을 나타내고 있다. 그림 4로부터 600°C에서 열처리한 시편의 경우 열처리 시간이 길어짐에 따라 저항이 증가하는 것을 알 수 있으며, 그림 5에서는 700°C와 900°C의 반복 열처리에 의한 저항의 변화를 보여주고 있으며, 열처리 온도가 900°C인 경우가 700°C인 경우에 비하여 낮은 저항값을 갖는다는 것을 알 수 있다.

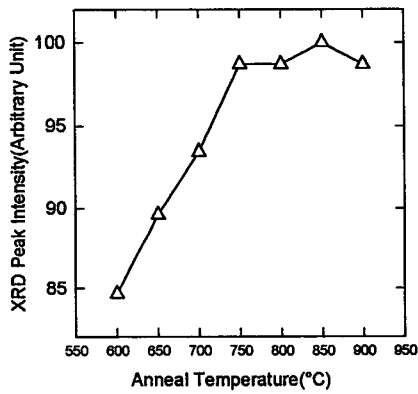
이와 같은 현상은 다음과 같이 해석된다. *In-situ* doped Si이 비정질 상태에서 많은 양의 phosphorous를 포함하는 경우에 일정 온도(~700°C)이하에서 열처리 온도가 증가하거나, 열처리 시간이 길어짐에 따라서 결정립 내의 phosphorous가 결정립계로 segregation되는 양이 증가한다. 이로 인하여 결정립 내의 dopant 농도가 감소하고, doped Si의 저항은 증가된다. 반면 일정 온도(~700°C)이상에서 열처리 온도의 증가는 Si 결정립 내 phosphorous에 대한 solubility를 증가시켜 결정립계에서 결정립 내로 역이동에 의한 phosphorous 양이 증대되어 doped Si의 저항은 감소된다.<sup>1)</sup> 그림 5에 있어서 최초의 700°C 열처리한 경우에 비하여 900°C 열처리 거친 후 700°C에서 다시 열처리된 doped Si의 저항이 감소했다. 이것은 최초의 700°C 열처리 과정에서 형성된 결정립이 후속 900°C 열처리 과정에서 결정립 미세 성장이 이루어진데 원인이 있는 것으로 사료된다.

## IV. 참 고 문 헌

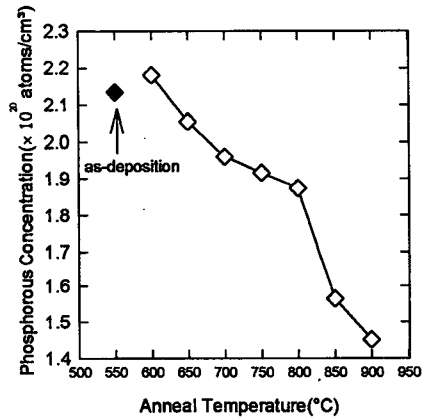
- 1) Mohammad M. Mandurah, Krishna C. Saraswat, C. Robert Helms, Theodore I. Kamins, J. Appl. Phys. 51(11), 5755(1981)



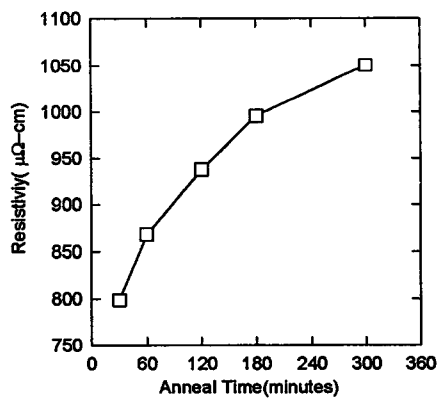
**Fig. 1. Resistivity of *in-situ* doped poly-Si with anneal temperature (30 min. annealed)**



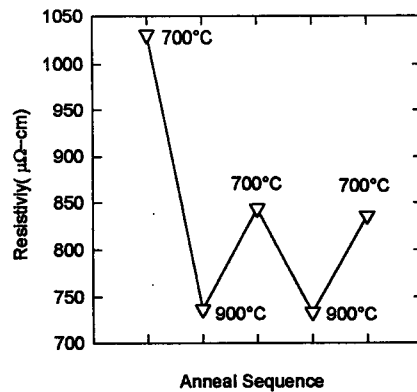
**Fig. 2. XRD peak intensity of <111> direction of *in-situ* doped poly-Si with anneal temperature**



**Fig. 3. Phosphorous concentration (by SIMS) within *in-situ* doped poly-Si with anneal temperature**



**Fig. 4. Resistivity of *in-situ* doped poly-Si with successive anneal time (600°C annealed)**



**Fig. 5. Resistivity behavior of *in-situ* doped poly-Si with cyclic anneal**