

[초 청]

차세대 고집적 DRAM Capacitor를 위한 고유전박막

이 대 훈

현대전자 메모리연구소

DRAM의 집적도가 표 1과 같이 계속 높아짐에 따라서 반도체 공정에서 사용되던 기존의 사진식각 기술, 소자분리기술, 금속배선기술, 그리고 capacitor형성기술 등은 대부분 그 기술적 한계에 봉착하고 있다. 특히, capacitor형성 기술에서 있어서 capacitor면적(A_{cap}) 및 동작전압(V_{op})이 감소함에 따라서 그 어려움은 더욱 심화되고 있다. 기존에 사용되어 오던 NO 구조의 실리콘유전체는 요구되는 충전용량을 확보하기 위해서 막의 두께를 감소시켜왔으나, 전자의 tunneling 효과 등에 기인하여 SiO_2 로의 등가환산 두께로 약 40Å 이하로 사용하기 힘들어졌다. 이러한 문제점을 해결하기 위해서 3차원의 capacitor 구조가 개발되어 왔으나, 유효면적의 확보를 위해서 3차원구조의 높이를 높일 경우 제조공정상의 어려움 및 주변회로부분과의 심한 단차발생 등의 원인으로 인하여 그 높이가 제한되며 최대 허용높이는 약 0.5 μm 가 될 것으로 판단되고 있다. 따라서 차세대 고밀도 DRAM에서 필요한 충전용량(>약 25fF/cell)을 확보하기 위해서는 새로운 고유전박막의 필요성이 대두되고 있다.

그림 1은 각각의 집적도에서 simple stack구조의 capacitor를 취하는 경우 요구되는 충전용량의 확보를 위한 SiO_2 로의 등가환산 두께와 capacitor stack height의 관계를 보여주고 있다. 그림에서 알 수 있듯이 높이를 0.5 μm 로 제한할 경우 256M DRAM부터 이미 NO구조의 실리콘유전체는 사용이 불가능하며 Ta_2O_5 의 경우에도 1 giga에서는 필요한 충전용량을 확보할 수 없게 된다. 그림 2는 실린더 구조의 capacitor를 취하는 경우로써 역시 최대 stack높이를 0.5 μm 로 생각할 때 NO 구조의 실리콘유전체는 256 mega, Ta_2O_5 는 1 giga까지 사용할 가능성이 있으나 그 이상에서는 불가능할 것으로 예측되고 있다. 그러므로 차세대 DRAM capacitor의 충전용량 확보를 위해서는 고유전율을 갖는 재료에 대한 연구가 필수불가결한 것으로 판단된다.

고유전율을 갖는 대표적인 물질은 perovskite구조(ABO_3)의 $BaTiO_3$ 계열인 $(Ba,Sr)TiO_3$ [BST]와 $PbTiO_3$ 계열인 $(Pb,La)(Zr,Ti)O_3$ [PLZT]이며 이들에 대한 연구가 많이 진행되어 왔다. DRAM capacitor 유전체용으로는 상온에서 상유전체특성을 보이는 $(Ba_{0.8}Sr_{0.2})TiO_3$ 및 $(Pb_{0.9}La_{0.1})TiO_3$ 등이 유력시 되고 있으며, PZT 또는 PLZT의 경우에는 비휘발특성을 갖는 Ferroelectric RAM(FRAM) 소자개발에 응용되고 있다. 고유전율박막의 공통된 특징은 막의 두께 감소와 함께 그 전기적특성, 특히 유전율과 누설전류, 이 현저히 악화되는 문제점을 안고 있다. 이러한 현상은 전극과 고유전율 사이에서 형성되는 계면특성 및 유전박막의 미세구조와 밀접한 관련이 있는 것으로 파악되고 있으며, 이러한 문제점의 해결을 위해서 다양한 전극물질 및 전극구조 그리고 유전박막형성 방법이 제시되고 있다. 가장 대표적인 하부전극으로는 Pt와 RuO_2 를 들 수 있으며 확산방지 및 신뢰도 향상을 위해서 TiN, Ti, Ru 등의 buffer layer가 응용되고 있다.

Giga급에서 BST박막을 이용한 경우 필요 충전용량을 확보하기 위해서는 3차원적인 capacitor구조를 피할 수 없으며, 따라서 측면에서도 균일한 두께를 얻을수 있어야 한다. 즉, 단차 피복성이 우수한 CVD공정이 요구되고 있다. CVD공정의 성패는 출발물질의 선택에 달려있다고 해도 과언이 아니다. BST박막의 제조에 사용되고 있는 출발물질은 금속유기화합물 $[Ba(dpm)_2, Sr(dpm)_2]$ 로서 아직까지 만족할만한 특성을 보이지 못하고 있다. 이러한 상황에서 BST박막의 DRAM 응용을 앞당기기 위해서는 무엇보다도 먼저 우수한 출발물질의 개발이 우선되어야 하고 다양한 CVD증착기술이 개발되어야 할 것이다. 이를 위해서 산.학.연 모두가 가일층 분반하여 보다 더 창조적 연구결과가 나와야 할 것으로 생각된다.

표 1. DRAM 집적도 증가에 따라 요구되는 각 parameters.

집적도	최소선폭(μm)	동작전압(V)	capacitor 평면면적(μm^2)	cell 면적 (μm^2)	SiO ₂ 등가환산 두께(nm)
256 mega	0.25	2~2.5	0.28	0.75	0.32
1 giga	0.18	2	0.14	0.38	0.19
4 giga	0.12	1.5	0.07	0.19	0.09

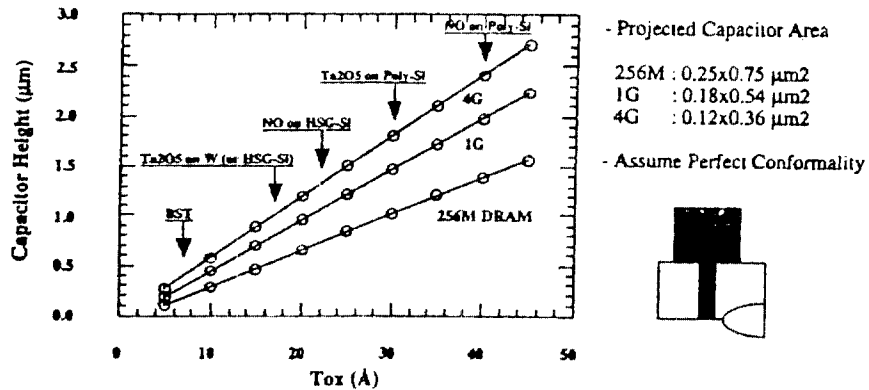


그림 1. Simple stack capacitor 구조를 갖는 각 집적도의 DRAM에서 25fF/cell의 조건을 만족시키는 capacitor height와 SiO₂등가 환산두께의 관계

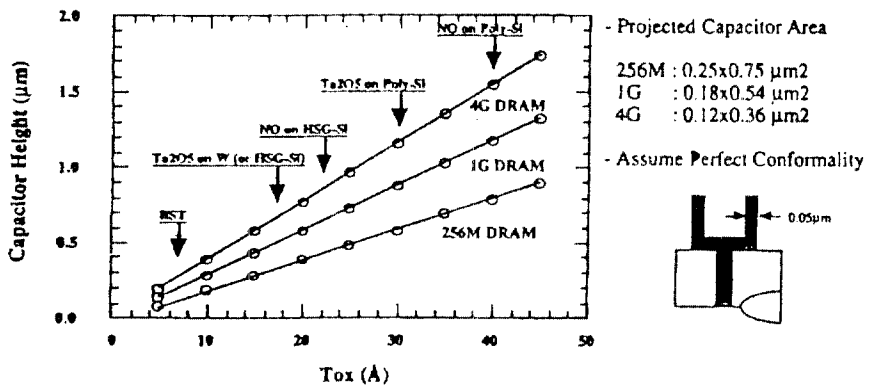


그림 2. Cylindrical capacitor 구조를 갖는 각 집적도의 DRAM에서 25fF/cell의 조건을 만족시키는 capacitor height와 SiO₂등가 환산두께의 관계