

# RESURF LDMOS와 VDMOS의 ON 저항 비교연구

°박 일 용\* · 황 규 한\* · 최 연 익\*

\*아주대학교 전기전자공학부

## Comparison of the On-Resistance between the RESURF LDMOS and the VDMOS

°Il-Yong Park\* · Kue-Han Hwang\* · Yearn-Ik Choi\*

\*School of Electrical Eng. Ajou University

### ABSTRACT

The on-resistance characteristics of the RESURF LDMOS and VDMOS are compared. The on-resistance vs. breakdown characteristics of the RESURF LDMOS is analytically investigated. The on-resistance of RESURF LDMOS is as almost same as that of VDMOS.

### 1. 서론

전력 MOSFET는 바이폴라 트랜지스터에 비해 입력 임피던스가 크고, 스위칭속도가 빠르며 열적으로 안정할 뿐만 아니라 넓은 SOA(Safe Operating Area)를 가지기 때문에 600 V 이하의 전압 범위에서 전력 전자 응용 회로에의 사용이 증가하고 있다. 전력 MOSFET의 전류 정격은 소자의 on 저항과 항복전압에 의해 결정되므로 on 저항을 낮추고 항복전압을 높이는 방향으로 연구가 진행되고 있다. 일반적으로 전력 MOSFET의 on 저항은 항복전압의 2.5 승에 비례하는 것으로 알려져 있으며[1], VDMOS(Vertical Double-diffused MOS)가 LDMOS(Lateral Double-diffused MOS)에 비해 on 저항 특성이 더 좋다고 알려져 있다. 그러나 200 V 이하의 PIC(Power Integrated Circuits)에는 LDMOS가 IC에 적합하기 때문에, 저전압용 LDMOS에 대한 연구가 활발히 진행되고 있다.

본 논문에서는 얇은 에피층을 사용하면서 높은 항복전압을 얻을 수 있는 RESURF LDMOS의 on 저항을 조사하고, VDMOS 및 non-RESURF LDMOS와 비교함으로써 RESURF LDMOS가 on 저항 특성에 있어서 non-RESURF LDMOS뿐만 아니라 VDMOS 보다도 우수함을 보이고자 한다.

### 2. ON저항 비교

#### 1) VDMOS

그림 1(a)는 VDMOS의 단면구조를 나타낸 것이다. 게이트와 소오스는 소자의 윗부분에 있고, 드레인은 소자의 밑에 위치한다. VDMOS는 셀 구조로 되어 있고 수 많은 셀들이 드레인을 공유하고, 전류가 흐르는 경로가 짧기 때문에 전류밀도가 높다. VDMOS의 on 저항은 채널 저항, accumulation 저항, 에피 저항의 세 가지로 나눌 수 있으며, 각각을 그림 1에 나타냈다. On 저항은 채널간의 거리, 에피 두께, 에피 농도에 따라 달라지므로 주어진 항복전압을 유지하면서 최소의 on 저항을 갖는 셀을 찾기 위해 많은 연구가 진행되어 왔다. 본 논문에서는 S. D. Kim[2]등이 제안한 식을 이용하여 최소 on 저항을 갖는 최적 셀에 대하여 on 저항을 계산하였다.

VDMOS의 항복전압에 대한 on 저항의 계산결과를 그림 2에 나타냈다. ----은 계산결과이고 굵은 실선은 이상적인 on 저항이다. 낮은 항복전압에서는 에피층의 두께가 셀 간격에 비해 작으므로 채널저항과 accumulation 저항 성분이 큰 반면 높은 항복전압에서는 두껍고 낮은 농도의 에피층이 사용되기 때문에 셀 간격에 비해 에피층의 두께가 더 커지고 에피 저항이 on 저항의 대부분을 차지하게 된다. 그림 2에서 보면 100 V 이하의 저전압에서는 채널 성분의 비중이 커서 이상적인 on 저항보다 훨씬 큰 값을 보이고 있고, 따라서 향후 on 저항을 낮추기 위하여 많은 연구가 진행되리라 기대하고 있다.

#### 2) LDMOS

LDMOS는 일반적으로 VDMOS에 비해 전류밀도가 낮다고 알려져 있지만, 수평형 소자이기 때문에 IC에

### 3. 결론

본 논문에서는 RESURF LDMOS의 항복전압식으로 부터 RESURF LDMOS의 on 저항에 대한 해석적인 식을 구하였고, non-RESURF LDMOS 및 VDMOS와 비교하였다. RESURF LDMOS의 on 저항은 non-RESURF LDMOS에 비해 크게 감소하였고, 최적화된 VDMOS의 on 저항보다도 낮은 값을 나타냈다. 본 연구 결과는 power IC의 소자로서 최적화된 RESURF LDMOS를 채택할 경우, 공정이 복잡한 VDMOS를 채용한 경우와 on 저항에 있어서 거의 대등한 결과를 제시하고 있다.

이 연구는 95년도 한국과학재단 연구비 지원에 의한 결과임 (과제번호 : 95-0100-05-01-3)

### 참고문헌

- [1] B.J. Baliga, *Power Semiconductor Devices*, PWD Pub. co., pp.372-373, 1996.
- [2] S.D. Kim, et al., "An accurate on-resistance model for low voltage VDMOS devices," *Solid-State Electronics* Vol. 38, No. 2, pp. 345-350, 1995.
- [3] S.K. Chung et al., "An analytical model for minimum drift region length of SOI RESURF diodes," *IEEE Electron Device Letters*, Vol. 17, No. 1, pp. 22-24, 1996.
- [4] M. Morikawa et al., "A 30-V 75-mΩ·mm<sup>2</sup> power MOSFET for intelligent driver LSIs," *Proc. ISPSD*, pp. 150-154, 1992.
- [5] M. Hoshi et al., "Low on-resistance power MOSFET using double metal process technology," *Proc. ISPSD*, pp.61-64, 1991.
- [6] R. S. Wrathall et al., "Charge controlled 80 V lateral DMOSFET with very low specific on-resistance designed for an integrated power process," *Proc. IEDM*, pp.954-957, 1990.

적합하다. 그림 1(b)에 LDMOS의 단면도를 나타냈으며 LDMOS의 on 저항은 채널저항과 드리프트 영역의 저항으로 이루어져 있다. RESURF 원리를 적용하여 에피층을 설계하면[4] 기존의 non-RESURF형 LDMOS에 비해 에피층의 농도를 높이고 두께를 얇게 함으로써 on 저항을 작게 할 수 있다. RESURF 소자의 항복전압식은 S.K.Chung 등에 의해 제안되었으며[3], 수직방향의 항복전압과 수평 방향의 항복전압이 같은 조건으로부터 최적의 드리프트 영역의 길이를 구할 수 있다[3]. RESURF 소자의 항복전압은 드리프트 영역의 길이가 길어질수록 증가하다가 특정한 길이 이상이 되면 포화되어 더 이상 증가하지 않게 된다. 따라서 주어진 항복전압을 얻을 수 있는 최소 드리프트 영역의 길이를 사용하면 기존의 LDMOS에 비해 on 저항이 작게 되리라 예상된다.

RESURF LDMOS의 단위면적당 on 저항은 드리프트 저항과 채널 저항을 합하여 다음과 같이 나타낼 수 있다.

$$R_{on} = R_{ch} + R_{dr} \quad (1)$$

여기서  $R_{ch} = \frac{L_{ch}}{W_{ch} C_{ox} \mu_n (V_G - V_{th})} \cdot L_{opt}$ 이고,  $L_{ch}$ 는 채널의 길이,  $W_{ch}$ 는 채널의 폭,  $C_{ox}$ 는 산화막 커패시턴스,  $\mu_n$ 은 전자의 이동도,  $V_G$ 는 게이트 전압,  $V_{th}$ 는 문턱전압, 그리고  $L_{opt} = 2.568 \times 10^{-6} BV^{1.167}$ 로서 RESURF LDMOS의 최적길이이다. 드리프트 영역의 저항은 전류가 에피층으로 균일하게 흐른다고 가정하여  $R_{dr} = \rho \cdot L_{opt}$ 으로 계산하였다. 그림 2에 식(1)을 이용한 계산결과와 기존에 발표된 RESURF LDMOS의 on 저항을 표시했다. 그림에서 실선은 RESURF LDMOS의 on 저항의 계산치이고, ■은 실험치이다[4,5,6]. 또한 ---은 non-RESURF 형 LDMOS의 on 저항을 가리킨다.

Non-RESURF형 LDMOS의 on 저항은 VDMOS의 on 저항에 비해 상당히 높으며, 항복전압이 80 V일 때 on 저항은 각각 8.0 mΩ·cm<sup>2</sup>, 2.2 mΩ·cm<sup>2</sup>으로 non-RESURF LDMOS의 경우 VDMOS보다 약 3.5배 큰 값을 갖는다. 식 (1)을 이용하여 계산한 RESURF LDMOS의 on 저항은 non-RESURF LDMOS의 on 저항에 비해 현저한 감소를 보였으며, 최적화된 VDMOS의 on 저항보다도 낮은 값을 나타냈다. 실험치는 Non-RESURF LDMOS에 비해서 매우 작은 RESURF LDMOS의 on 저항에 대한 이론치와 대략 일치하고 있으며 VDMOS에 비해서도 오히려 10 %정도 낮은 값을 나타내고 있다.

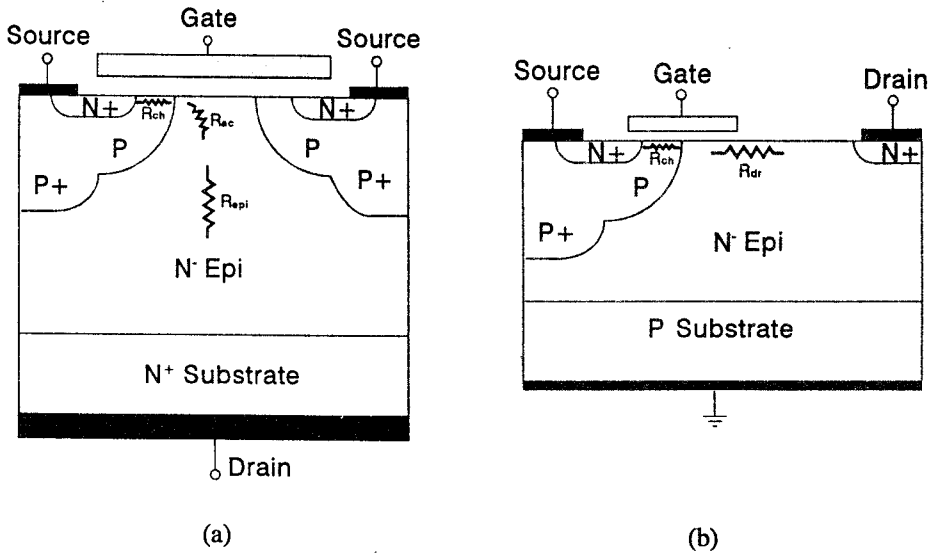


그림 1. 전력 MOSFET의 단면도.  
 (a) VDMOS (b) LDMOS

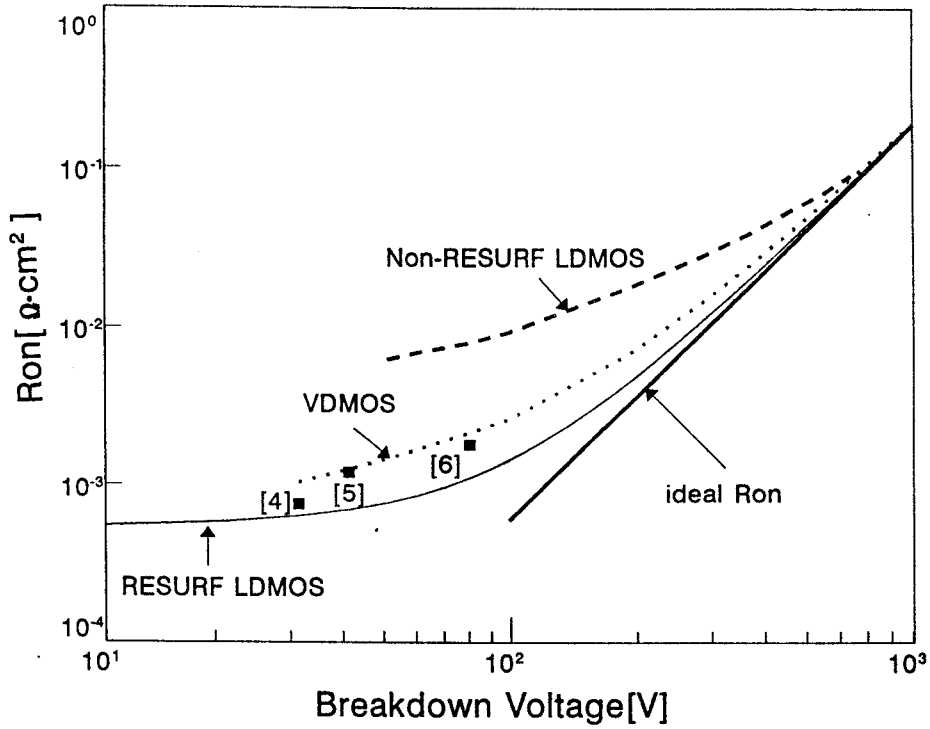


그림 2. 항복전압에 대한 단위면적당 on 저항.