

Photoresist reflow 공정을 이용한 자기정합 오프셋 poly-Si TFT

유준석^o, 박철민, 민병혁, 한민구
 서울대학교 전기공학부

Self-Aligned Offset Poly-Si TFT using Photoresist reflow process

Juhn-Suk Yoo, Cheol-Min Park, Byung-Hyuk Min and Min-Koo Han
 School of Electrical Engineering, Seoul National University

Abstract

The polycrystalline silicon thin film transistors (poly-Si TFT) are the most promising candidate for active matrix liquid crystal displays (AMLCD) for their high mobilities and current driving capabilities. The leakage current of the poly-Si TFT is much higher than that of the amorphous-Si TFT, thus larger storage capacitance is required which reduces the aperture ratio for the pixel. The offset gated poly-Si TFTs have been widely investigated in order to reduce the leakage current. The conventional method for fabricating an offset device may require additional mask and photolithography process step, which is inapplicable for self-aligned source/drain ion implantation and rather cost inefficient. Due to mis-alignment, offset devices show asymmetric transfer characteristics as the source and drain are switched. We have proposed and fabricated a new offset poly-Si TFT by applying photoresist reflow process. The new method does not require an additional mask step and self-aligned ion implantation is applied, thus precise offset length can be defined and source/drain symmetric transfer characteristics are achieved.

1. 서론

Active matrix LCD의 핵심 소자인 다결정 실리콘 박막 트랜지스터(poly-Si TFT)는 비정질 실리콘 박막 트랜지스터에 비해 전기적 이동도가 크기 때문에 화소 array 및 구동 회로를 하나의 기판 위에 형성시킬 수 있는 장점이 있다. [1] 그러나, poly-Si TFT는 누설전류가 크므로 화소의 스위칭 소자로 사용 시 화소 전압을 일정하게 유지하기 곤란하여 디스플레이의 선명도가 감소하고 화면이 미세하게 깜박거리는 현상(flickering)이 발생한다. [2] 이러한 문제점을 해결하기 위하여 오프셋 트랜지스터가 연구되고 있으나 기존의 소자 제작 공정에 비하여 포토 마스크가 추가되어 공정이 복잡해지고 소스 영역과 드레인 영역의 오프셋의 길이가 같지 않기 때문에 비대칭적인 전기적 인 특성을 보이는 단점이 있다. [3]

본 논문에서는 추가의 마스크 공정을 사용하지 않은 새로운 구조의 오프셋 poly-Si TFT를 제안하고 제작하여 기존의 poly-Si TFT와 특성을 비교, 분석하였다.

2. 새로운 소자의 구조

그림 1은 제안된 소자의 개략적인 구조를 나타내고 있다. 본 논문에서 제안하는 새로운 오프셋 소자는 주 게이트(Main-Gate)와 주 게이트의 양쪽 옆에 위치하고 있는 부 게이트(Sub-Gate)의 두 부분으로 이루어져 있다. 주 게이트와 부 게이트 사이에 photoresist reflow 방법을 이용하여 게이트 산화막이 식각되지 않게 게이트 패턴을 하기 때문에 소스/드레인 및 게이트 전극 형성 시 자기 정합 이온 주입이 가능하다. 이 공정에서 주 게이트와 부 게이트 사이에 식각되지 않은 부분을 확장 절연막(Expanded Oxide)이라 하였다. 부 게이트에 의해 확장된 절연막이 이온 주입시 오프셋 마스크 역할을 하여 채널 영역에 도우 팜이 되지 않은 오프셋 영역을 형성하게 한다. 그리고 부 게이트에는 전극이 연결되지 않기 때문에 게이트 전극과 소자의 활성 영역 사이에 게이트 전압이 직접 인가되지 않는 영역이 존재하여 이 부분이 오프셋 영역의 역할을 한다. 제안된 소자의 전체 오프셋 영역의 길이는 주 게이트와 부 게이트 사이의 간격의 길이, 부 게이트의 길이 그리고 제작 공정 시 부 게이트의 바깥벽 쪽으로 reflow (side-flow) 되는 photoresist의 길이를 합한 것이 된다.

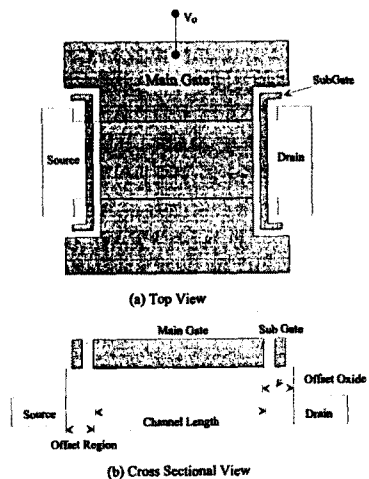


그림 1. 제안된 오프셋 박막 트랜지스터의 개략도

3. 제작 방법 및 공정 순서

본 논문에서 제작한 새로운 소자의 주요 공정 순서는 그림 2에 제시되어 있다. 실리콘 웨이퍼 위에 습식 산화로 500nm의 산화막을 형성한 것을 기판으로 사용하였다. 소자의 활성층으로 사용하기 위해 100nm 두께의 도핑되지 않은 비정질 실리콘 박막을 550℃에서 LPCVD를 사용하여 증착하였다. 활성층의 결정화는 750℃에서 40초 동안 rapid thermal anneal (RTA) 장비를 사용하여 수행하였다. 100nm 두께의 게이트 절연막을 APCVD를 사용하여 증착한 후 LPCVD로 200nm의 게이트 다결정 실리콘 박막을 증착하였다. 일반적인 photolithography 공정으로 게이트 패턴을 한 후에 다결정 실리콘 박막을 RIE 식각하였다. 절연막을 식각하기 전에 photoresist를 160℃에서 30분 동안 reflow 하였다 (그림 3(c)). 그 후 게이트 절연막을 식각하고 (그림 2(d)) photoresist를 벗겨 냈다. 폴리실리콘 게이트를 식각할 때 주 게이트와 부 게이트 사이에 있던 절연막은 reflow 된 photoresist가 마스크로 작용하여 식각되지 않고 남게 된다. 따라서 소오스와 드레인의 자기 정합 이온 주입 시 오프셋 절연막의 하부에 있는 다결정 실리콘의 활성층은 도핑되지 않고 오프셋 영역으로 형성된다.

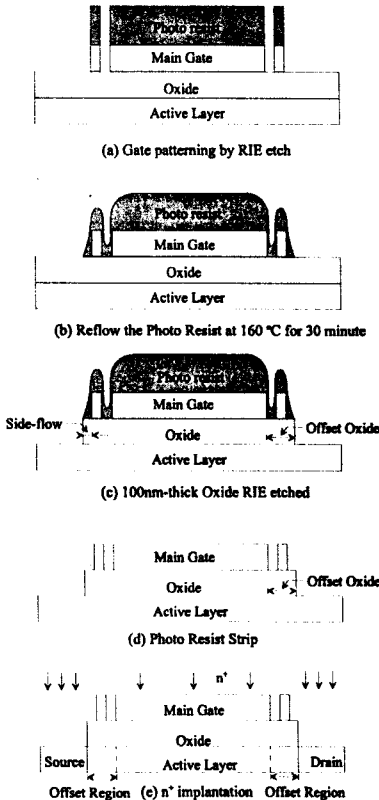


그림 2. 오프셋 절연막 제작을 위한 중요 공정 흐름도

소오스/드레인과 게이트의 도우핑을 위해 $5 \times 10^{15} \text{ cm}^{-2}$ 의 phosphorous 이온을 30KeV의 에너지로 자기 정합 방법에 의해 그림 2(e)와 같이 주입하였다. Phosphorous 이온은 750℃에서 40초 동안 RTA로 활성화 되었다.

그림 3은 photoresist reflow 방법을 이용해 만들어진 확장 절연막의 단면을 보여 주고 있다. SEM 사진에 보이는 주 게이트와 부 게이트 사이의 간격은 0.5 μm 이고 부 게이트의 길이는 0.8 μm , 그리고 side-flow의 길이는 0.3 μm 이다. 소자를 제작하기 전에 주 게이트와 부 게이트 사이의 간격은 0.2 μm 부터 0.8 μm 까지 그리고 부 게이트의 길이는 0.2 μm 부터 1.2 μm 까지의 SEM pattern을 설계하여 제작하였다. 실험에서 성공적으로 제작된 모든 pattern에서 side-flow의 길이는 부 게이트의 길이에 관계 없이 약 0.3 μm 의 길이를 보였다. 따라서, 0.7 μm 부터 2.3 μm 까지의 전체 오프셋 길이를 갖는 소자를 이전의 실험을 바탕으로 하여 구현하였다.



그림 3. 오프셋 절연막의 SEM 사진

4. 결과 및 고찰

여러 가지 오프셋 길이를 가진 새로운 소자의 전달 특성 ($I_D - V_G$)을 측정하여 비교한 결과가 그림 4에 명시되어 있다. 이때 소오스와 드레인 전압은 10V를 인가하였다. 제작된 소자의 채널의 길이와 너비는 각각 10 μm 와 10 μm 이고 오프셋이 아닌 일반적인 구조의 소자부터 오프셋의 길이가 1.3 μm 인 소자까지 관찰하였다. 소자의 on 전류는 소오스와 드레인에 직렬로 연결된 기생 저항 때문에 오프셋의 길이가 증가할수록 감소한다. 그러나 제안된 박막 트랜지스터의 off 전류는 일반적인 구조보다 매우 작고 오프셋의 길이가 증가할수록 on 전류와 off 전류의 비율은 급격히 증가하다가 최적값을 지나서는 다시 감소하는 것을 알 수 있다 (그림 5).

LCD 화질에 큰 영향을 미치는 on/off 전류 비가 오프셋 길이에 민감한 반응을 보이며 오프셋 길이가 1.1 μm 인 소자의 on/off 전류 비는 1×10^6 으로 가장 크게 나타났다. 이때의 off 전류는 약 20pA로 나타났다. 오프셋 길이가 1.1 μm 보다 클 경우에는 on 전류가 급격히 감소하여 on/off 전류 비가 급격히 감소하는데 이는 LDD(Lightly doped drain) 소자와 달리 오프셋 부분이 도핑되지 않았

므로 전달 특성이 오프셋 길이에 매우 민감함을 나타낸다. 따라서 오프셋 길이를 정확하게 정의하는 것이 소자 특성에 매우 중요함을 의미한다.

본 소자는 페틴이 용이한 poly-Si 부 게이트의 크기로 오프셋 길이가 결정되므로 오프셋 길이를 비교적 정확하게 조정할 수 있다는 장점이 있다. 또한, 자기 정렬 이온 주입 방법을 사용하므로, 소오스와 드레인에 대칭적인 오프셋 길이를 형성할 수 있다. 본 소자의 대칭적 특성을 검토하기 위해 의도적으로 비대칭적 오프셋 길이를 갖는 소자를 제작하여 그 특성을 비교하였다. 1.1 μm 의 대칭적 오프셋 길이를 갖는 소자와 1.5 μm , 0.3 μm 의 비대칭적 오프셋 길이를 갖는 소자에 대해 소오스와 드레인을 바꿔 측정한 전달 특성 곡선이 그림 6에 명시되어 있다.

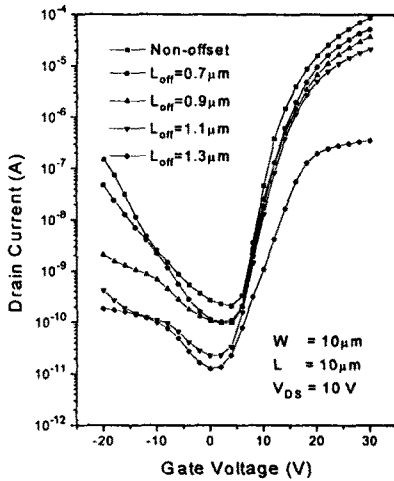


그림 4. 일반적인 구조와 제안된 오프셋 구조의 박막 트랜지스터의 I_D - V_G 특성 곡선. 오프셋의 길이는 0.7 μm 부터 1.3 μm . $V_d=10\text{V}$

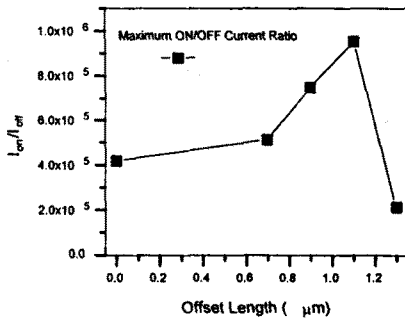


그림 5. 오프셋 길이에 따른 on/off 전류비의 변화

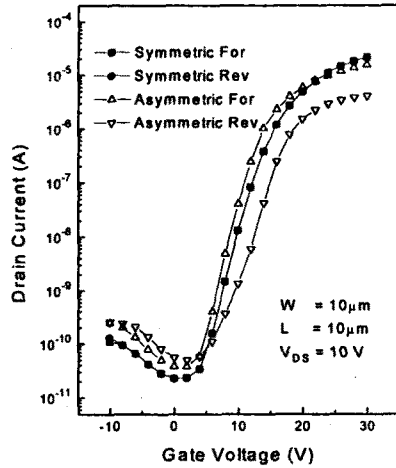


그림 6. 오프셋 길이가 1.1 μm 인 대칭적 소자와 오프셋 길이가 각각 1.5 μm , 0.3 μm 인 비대칭적 소자를 소오스와 드레인을 바꿔 측정한 전달 특성 곡선

FOR.: Forward Drain Bias, REV.: Reverse Drain Bias

5. 결론

본 논문에서는 photoresist reflow 공정을 이용하여 추가의 마스크 없이 자기 정렬된 오프셋 poly-Si TFT를 제작하고 분석하였다. 새로운 소자의 off 전류는 기존의 소자에 비해 매우 감소하였으며 on/off 전류 비가 매우 증가하였다. 최적 특성을 보이는 소자의 오프셋 길이는 1.1 μm 이며 이때 소자의 off 전류는 $2 \times 10^{-10}\text{A}$ 이고 on/off 전류 비는 1×10^6 이었다. 본 소자는 자기 정렬 이온 주입이 가능하므로 대칭적 오프셋 구조를 형성하기가 용이하며, 소오스와 드레인을 바꿔 전달 곡선을 비교하여 그 특성을 확인하였다.

Reference

- [1] H. Oshima, and S. Morozumi, "FUTURE TRENDS FOR TFT INTEGRATED CIRCUITS ON GLASS SUBSTRATES," *IEDM*, pp.157-160, 1989.
- [2] K. Suzuki, "Pixel Design of TFT-LCDs for High-Quality Images," *SID 92 Digest*, pp.39-42, 1992.
- [3] K. Tanaka, H. Arai, S. Kohda, "Characterization of off-set-structure polycrystalline silicon thin-film transistors," *IEEE Electron Device Lett.*, vol. 9, pp. 23-25, 1988.