

SOI BMFET의 고온 특성 분석

임무섭^o, 김성동, 한민구, 최연익*

서울대학교 전기공학부
*아주대학교 전기전자공학부

High Temperature Characteristics of SOI BMFET

Lim Moo-Sup^o, Kim Seung-Dong, Han Min-Koo, Choi Yearn-Ik*

School of Electrical Eng., Seoul Nat'l Univ.
*School of Electrical Eng., Ajou Univ.

Abstract The high temperature characteristics of SOI BMFET are analyzed by the numerical simulation and compared with MOS-gated SOI power devices at high temperatures. The proposed SOI BMFET combines bipolar operation in the on-state with unipolar FET operation in the off-state, so that it may be suitable for high temperature operation without any significant degradation of performance such as the leakage current and blocking capability. The simulation results show that SOI BMFET with a higher doped n-resurf layer is the most promising device for high temperature application as compared with MOS-gated SOI power devices, exhibiting the low on-state voltage drop as well as the excellent forward blocking capability at high temperature.

1. 서론

최근의 연구에 의하면 SOI 기판을 이용한 IGBT는 SOI 기판의 고온에서의 우수한 절연능력에도 불구하고 200℃ 이상에서 급격한 누설전류의 증가로 소자로써 사용할 수 없음을 보여주고 있다[1]. 반면에 BSIT나 BJFET와 같은 바이폴라 모드 전계효과 트랜지스터(Bipolar Mode Field Effect Transistor)는 온도의 증가에 따라 누설전류가 감소(부의 온도계수를 가짐)하기 때문에 고온 동작에 적합하다는 사실이 이미 잘 알려져 있다[2]. 그러나, 스위칭 소자로써 중요한 특성인 정상-오프 특성면에서 온도의 증가에 따라 전압 장벽이 낮아져 정상-오프 특성이 저하될 수도 있다.

우리는 정상-오프 특성을 갖는 동시에 순방향 전압 강하가 작고 스위칭 속도가 빠른 SOI BMFET을 발표하였다[3]. 본 논문에서는 2차원 소자 시뮬레이터인 MEDICI를 사용해 고온이 SOI BMFET의 순방향 차단 특성, 전류이득 등에 미치는 영향을 분석하였다. 시뮬레이션의 결과로 200℃ 이상에서도 높은 차단전압과 작은 순방향 전압 강하 그리고 정상-오프 특성을 갖는 SOI BMFET 소자가 드리프트 영역의 불순물 농도를 조절함으로써 가능함을 알 수 있었다. 또 드리프트 영역에 저저항의 n층을 삽입한 개선된 구조에 대해서도 분석을 한 결과 200℃ 이상에서도 뛰어난 온-상태 특성과 LDMOS와 견줄만큼 적은 누설전류를 가짐을 볼 수 있었다.

2. 소자의 구조 및 시뮬레이션

정상-오프 특성을 갖는 SOI BMFET의 특성을 2차원 소자 시뮬레이터인 MEDICI를 이용해 27~200℃의 범위에서 분석하였다. MEDICI는 반송자통계, 모빌리티(mobility), Band gap narrowing 등의 온도 의존도가 포함되어 있다. 그림 1에서와 같이 p-type 기판 위에 3μm 두께의 n-type 층을 갖는 SOI 웨이퍼를 이용하였다. 참고 문헌 [3]에서 논의된 바와 같이 p+ 게이트 접합의 수직 확산 깊이와 채널길이 그리고 드리프트 영역의 불순물 농도에 따라 온-상태 특성뿐만 아니라 정상-오프 특성이 변한다. p+게이트 영역은 가우스분포를 가정했고 최대농도는 $1e19\text{ cm}^{-3}$, 수평 확산 계수는 0.8, 드리프트 영역의 길이는 20μm이다.

소자의 기본적인 동작 원리는 게이트 전압이 0V일때 채널 영역이 전압 장벽에 의해 전류의 경로가 제한되고, 순방향 바이어스일때 채널 영역이 전도도 변조(conductivity modulation)를 일으켜 전압 강하가 작게 된다. 온도의 증가에 따른 영향을 보기 위해 채널 길이(d), 드리프트 영역 길이(Nd)를 변수로 시뮬레이션을 하였다.

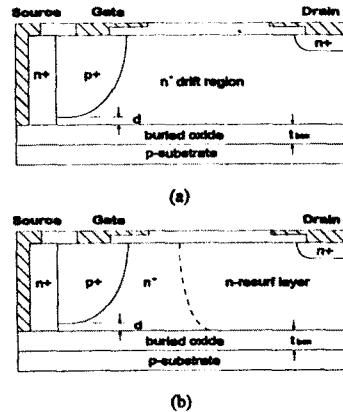


그림 1. SOI BMFET 소자(a)와 개선된 SOI BMFET(b) 소자의 단면도

3. 시뮬레이션 결과 및 분석

3-1. 오프 상태 특성

SOI BMFET 소자의 오프 상태에서 누설전류는 확산전류와 발생전류로 이루어지며 실리콘의 경우 상온

에서 발생전류가 주요 성분이다. 그러나 온도가 증가함에 따라 확산전류 성분이 커지게 된다. 일반적으로 SOI 전력용 소자는 완벽한 절연격리 때문에 높은 온도에서 발생전류가 주요 성분임이 알려져 있다[4,5]. 그리고 그 누설 전류는

$$I_L = I_{gen} = qV_{sc} \frac{n_i}{\tau_{sc}} \quad (1)$$

로 나타낼 수 있다. 여기서 q 는 전자 전하량, V_{sc} 는 공간 전하 영역의 체적, n_i 는 진성반도체의 반송자 밀도, τ_{sc} 는 공간 전하 발생 수명(space charge generation life time)이다. 따라서 누설 전류는 진성 반도체에 비례하고 곧, 온도에 거의 지수적으로 증가한다.

SOI BMFET 소자는 채널 영역의 전압 장벽의 크기 (ϕ)가 누설 전류의 주요 변수이므로 누설 전류는 다음과 같이 나타낼 수 있다[6].

$$I_d = I_0 e^{-\phi/V_t} \quad (2)$$

여기서 I_0 는 상수, V_t 는 열전압이다. 온도가 증가함에 따라 전압 장벽은 낮아지고[5] (2)식에서 알 수 있듯이 누설전류가 지수적으로 증가함을 알 수 있다.

채널 깊이(d)가 변할때 온도가 누설 전류에 미치는 영향이 그림 2에 나타나 있다. 채널 깊이와 온도가 증가함에 따라 누설 전류가 지수적으로 증가하는데 이는 진성 반도체의 반송자가 지수적으로 증가하기 때문이다. 그림 3은 채널 영역의 전압 장벽을 나타낸다. 200°C에서의 전압 장벽이 27°C에서의 전압 장벽 보다 작음을 볼 수 있다. 또 채널 깊이가 깊을수록 전압 장벽이 작아져 누설 전류가 커지게 된다.

저저항의 n 층을 갖는 개선된 구조는 그림 4에서 볼 수 있듯이 누설전류는 약간 증가하지만 항복전압이 향상됨을 알 수 있다. 드립프트 영역의 불순물 농도는 항복 전압과 전류 이득에 영향을 미친다. 항복 전압은 RESURP 원리를 적용해 표면의 전계를 최소화하는 농도에서 최대화 할 수 있다.

그림 5는 여러 가지 드립프트 영역의 불순물 농도에 따른 150°C와 200°C 일때의 순방향 차단 특성을 보여주고 있다. 정상-오프 특성을 유지하는 범위에서의 불순물 농도 값을 사용했으며 불순물 농도가 증가함에 따라 누설 전류가 감소함을 알 수 있다.

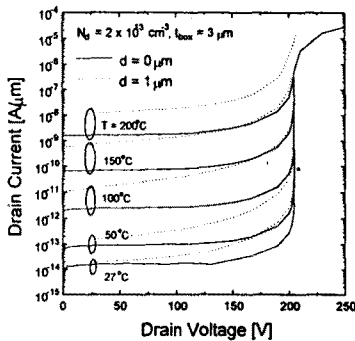


그림2 SOI BMFET 소자의 온도에 따른 순방향 차단 특성

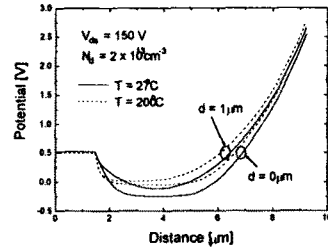


그림3. 채널 수평 방향으로의 전압 장벽 분포

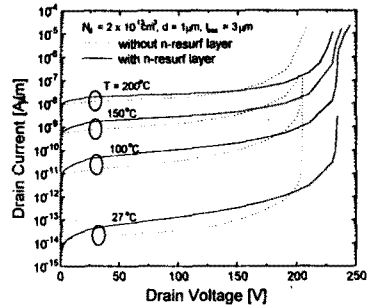


그림 4. SOI BMFET 소자와 개선된 소자의 온도에 따른 순방향 차단 특성

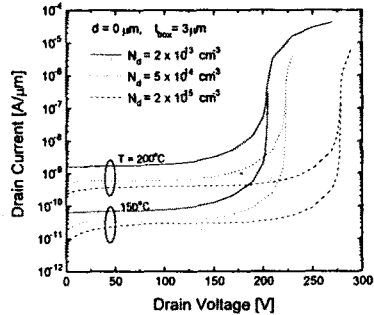


그림 5.드립프트 영역의 농도 변화에 따른 차단 특성

3-2. 온 상태 특성

DC 전류 이득에 대한 온도의 영향이 그림 6에 나타나 있다. 저전류 레벨에서의 드레인 전류는 채널 영역의 전압 장벽에 의해 조절됨을 알 수 있고 따라서 채널 깊이가 깊어질수록 전류 이득은 크게 된다. 또 매물 산화막의 두께가 커지면 전압 장벽이 작아지기 때문에 마찬가지로 전류 이득이 커짐을 알 수 있다. 마지막으로 드립프트 영역의 불순물 농도에 의한 영향은 전류 레벨이 높아질수록 불순물 농도에 대한 의존도가 크게 증가하는 것을 알 수 있었는데 이는 전도도 변조 효과 때문이라 볼 수 있다. 즉, 불순물 농도가 증가할수록 전도도 변조 효과가 작아져 전류 이득은 감소하게 된다. 한편, 온도의 증가는 저전류 레벨에서는 전류 이

득을 더 크게, 고전류 레벨에서는 전류 이득을 더 작게 함을 볼 수 있다.

그림 7은 채널 깊이와 드리프트 영역의 불순물 농도에 따라 온도의 함수인 순방향 전압 강하를 보여 주고 있다. 순방향 전압 강하는 드레인 전류가 30A/cm² 일 때 얻어진 값이다. 순방향 전압 강하는 소자의 구조에 따라 두 세배 정도의 차이를 보였으며 온도의 증가에 따라 증가하였다. 증가 이유는 온도의 증가로 엠바이플라 모빌리티(ambipolar mobility)가 감소 하기 때문이다.

그림 7에서 주목할 점은 채널 깊이와 드리프트 영역의 불순물 농도를 크게 함으로써 순방향 전압 강하를 크게 줄일 수 있다는 것이다. 그러나 순방향 전압 강하를 작게하는 설계는 누설 전류를 크게 하기 때문에 이 둘 사이에는 상관 관계가 존재한다.

그림 8은 전력 소자의 가장 중요한 두 변수인 항복전압과 순방향 전압 강하를 고려해 200℃에서의 항복전압과 27℃에서의 순방향 전압 강하를 SOI LIGBT 소자와 비교한 것이다. SOI BMFET 소자의 순방향 전압 강하는 드레인 전류가 30A/cm² 일 때 얻어진 값이며 SOI LIGBT 소자의 순방향 전압 강하는 마찬가지로 30A/cm² 일 때 얻어진 값이다.

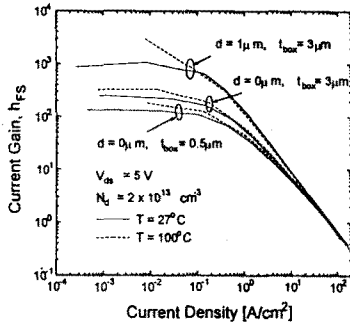


그림 6. 채널 깊이와 매물 산화막 두께에 따른 전류 이득

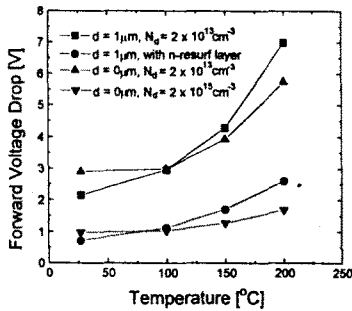


그림 7. 채널 깊이와 드리프트 영역의 불순물 농도에 따른 순방향 전압 강하

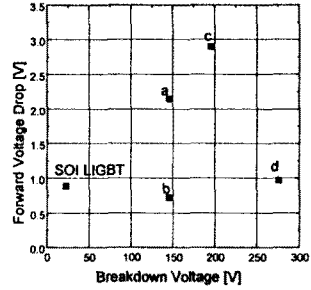


그림 8. SOI BMFE와 SOI LIGBT의 트레이드 오프 곡선

a: $d = 1\mu\text{m}$, $N_D = 2 \times 10^{13}\text{cm}^{-3}$, b: $d = 1\mu\text{m}$, 개선된 구조, c: $d = 0\mu\text{m}$, $N_D = 2 \times 10^{13}\text{cm}^{-3}$, d: $d = 0\mu\text{m}$, $N_D = 2 \times 10^{15}\text{cm}^{-3}$.

3. 결론

본 논문에서는 SOI BMFET의 고온 동작을 수치해석적 Simulation을 이용하여 분석하였다. 그 결과로부터 저저항의 n층을 갖는 SOI BMFET 소자가 다른 SOI 전력 소자와 비교해 가장 유망한 소자임을 알 수 있었다. 왜냐하면 고온에서 순방향 전압 강하와 동시에 우수한 순방향 차단 능력을 갖기 때문이다. 결론적으로 제안된 SOI BMFET 소자는 고온 응용에 가장 적합한 소자임을 알 수 있었다.

REFERENCE

- [1] V. Godbold and J. L. Hudgins, "Temperature variation effects in MCTs, IGBTs, and BMFETs," IEEE PESC Rec., 1993, pp. 93-98
- [2] Constapel and J. Korec, "Forward blocking characteristics of SOI power devices at high temperatures," in Proc. of ISPSD, 1994, pp.117-121
- [3] S. D. Kim et. al., "An SOI lateral BMFET for power IC application," in Proc. of EPE-MADEP, 1995, pp. 240-244
- [4] Sunkavalli, B. J. Baliga and Y. S. Huang, "High temperature performance of dielectrically isolated LDMOSFET: Characteristics, simulation and analysis," in Proc. of ISPSD, 1994, pp. 359-364
- [5] S. M. SZE, 1981, "Physics of Semiconductor Devices," 2nd ed. New York, John Wiley & Sons.
- [6] S. Bellone, "On-state modeling of power JFET structures in the bipolar-mode," Solid State Electron., vol. 28, 1985, pp. 317-324